

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ
БЮДЖЕТНОЕ
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«ВЯТСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»
Институт математики и информационных систем
Факультет автоматики и вычислительной техники
Кафедра электронных вычислительных машин

Отчёт по лабораторной работе №4
по дисциплине
«Информатика»
«Построение комбинационных и последовательных схем»

Выполнил студент гр. ИВТб-1303-06-00 _____ /Гортоломей И.К./
Проверил доцент кафедры ЭВМ _____ /Коржавина А.С./

Киров
2025

Цель

Цель работы: закрепить на практике знания о минимизации системы булевых функций, об элементах памяти и получить навыки реализации простейших арифметических и последовательных устройств.

Задание

1. Выполнить минимизацию булевых функций, представить функции различных базисах – основном логическом базисе (О), в базисе Шеффера (Ш), Пирса (П) или Жегалкина(Ж) в соответствии с вариантом, после чего построить схему в системе Logisim и выполнить проверку.
2. Построить четырехразрядный полный сумматор, складывающий 2 двоичных четырехразрядных числа и учитывающий единицу переноса. Построить схему сумматора в Logisim, проверить его работоспособность.
3. Построить схемы прямого (на +1) и обратного (на -1) 4-разрядных двоичных счетчиков на счетных (Т) триггерах. Построить схемы счетчиков в Logisim, проверить их работоспособность.
4. Гирлянда. На базе счетчика, дешифратора построить схему, включающие светодиоды в определенном порядке в зависимости от варианта. Построить схему в Logisim, проверить его работоспособность.
5. Построить схему дешифратора семисегментного индикатора.
6. Построить схему 4-разрядного последовательного сдвигового регистра. Сдвиг в любую сторону, запись последовательная по битам, чтение параллельное.
7. Построить схему последовательного (shift-add) 8-разрядного умножителя на сдвиговом регистре.
8. Построить схему 64-разрядного сумматора с ускоренным переносом.

Решение

1. задание.

Первая функция

x_1	x_2	x_3	f_1
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Диаграмма Вейча-Карно (f_1)

f_1		x_2, x_3			
x_1		00	01	11	10
		0	0	1	1
	1	1	0	1	0

Вторая функция

x_1	x_2	x_3	x_4	f_2
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

Диаграмма Вейча-Карно (f_2)

f_2		x_3, x_4			
x_1, x_2		00	01	11	10
	00	1	1	1	1
	01	1	1	1	1
	11	0	1	0	1
	10	1	0	1	0

Минимизированные булевы функции:

$$f_1 = \overline{x_1}x_2 + x_1\overline{x_2x_3} + x_2x_3 \text{ (O)}$$

$$f_2 = \overline{x_1} + \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4} + \overline{x_2} \cdot x_3 \cdot x_4 + x_2 \cdot \overline{x_3} \cdot x_4 + x_2 \cdot x_3 \cdot \overline{x_4} \text{ (O)}$$

Перевод функции f_1 в базис Шеффера (Ш):

$$x \mid y = \overline{x \cdot y}, \quad \overline{x} = x \mid x, \quad x + y = \overline{x \mid y}, \quad x \cdot y = \overline{x \mid y}$$

$$(a) \quad f_3 = \overline{\overline{\overline{\overline{\overline{x_1}x_2 + x_1\overline{x_2x_3} + x_2x_3}}}}$$

$$(b) \quad f_3 = \overline{\overline{\overline{x_1}x_2} \cdot \overline{\overline{x_1\overline{x_2x_3}} \cdot \overline{x_2x_3}}}$$

$$(c) \quad f_3 = (\overline{x_1} \mid x_2) \mid (x_1 \mid \overline{x_2} \mid \overline{x_3}) \mid (x_2 \mid x_3)$$

$$f_3 = ((x_1 \mid x_1) \mid x_2) \mid (x_1 \mid (x_2 \mid x_2) \mid (x_3 \mid x_3)) \mid (x_2 \mid x_3) \text{ (Ш)}$$

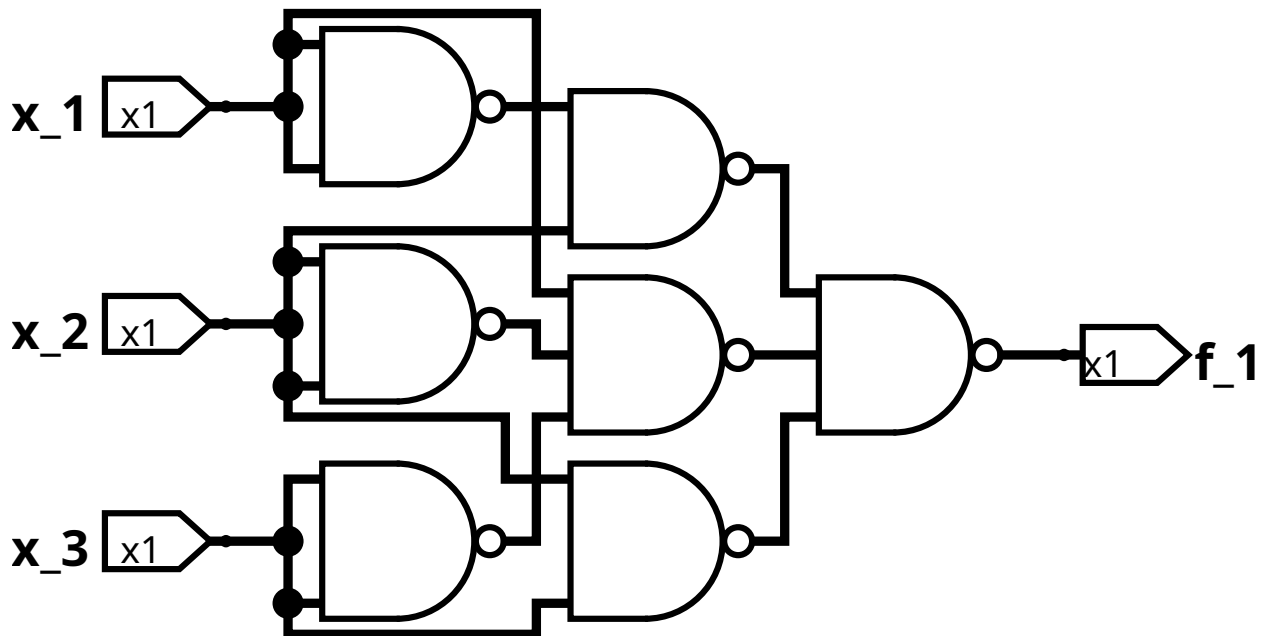


Рис. 1: функция f_3 (Ш)

2. задание.

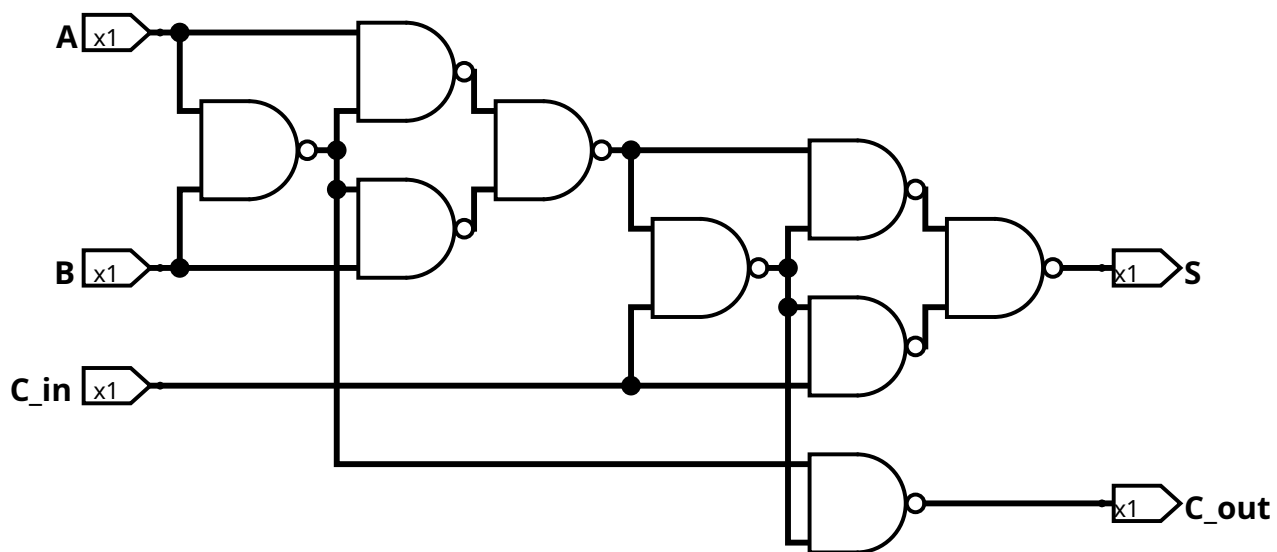


Рис. 2: элемент summ

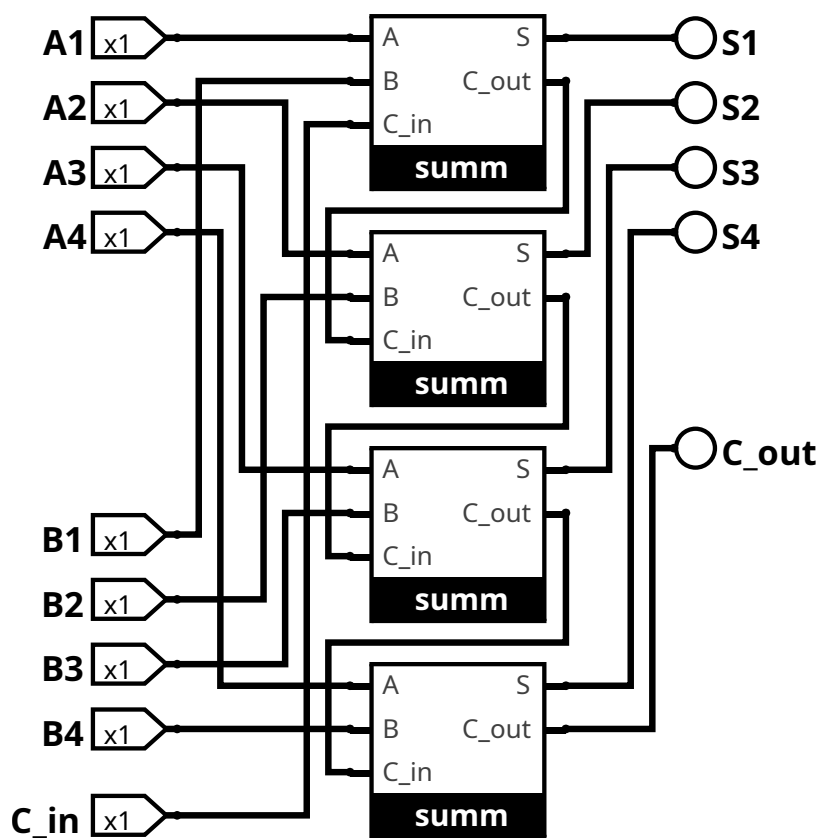


Рис. 3: 4-разрядный полный сумматор

3. задание.

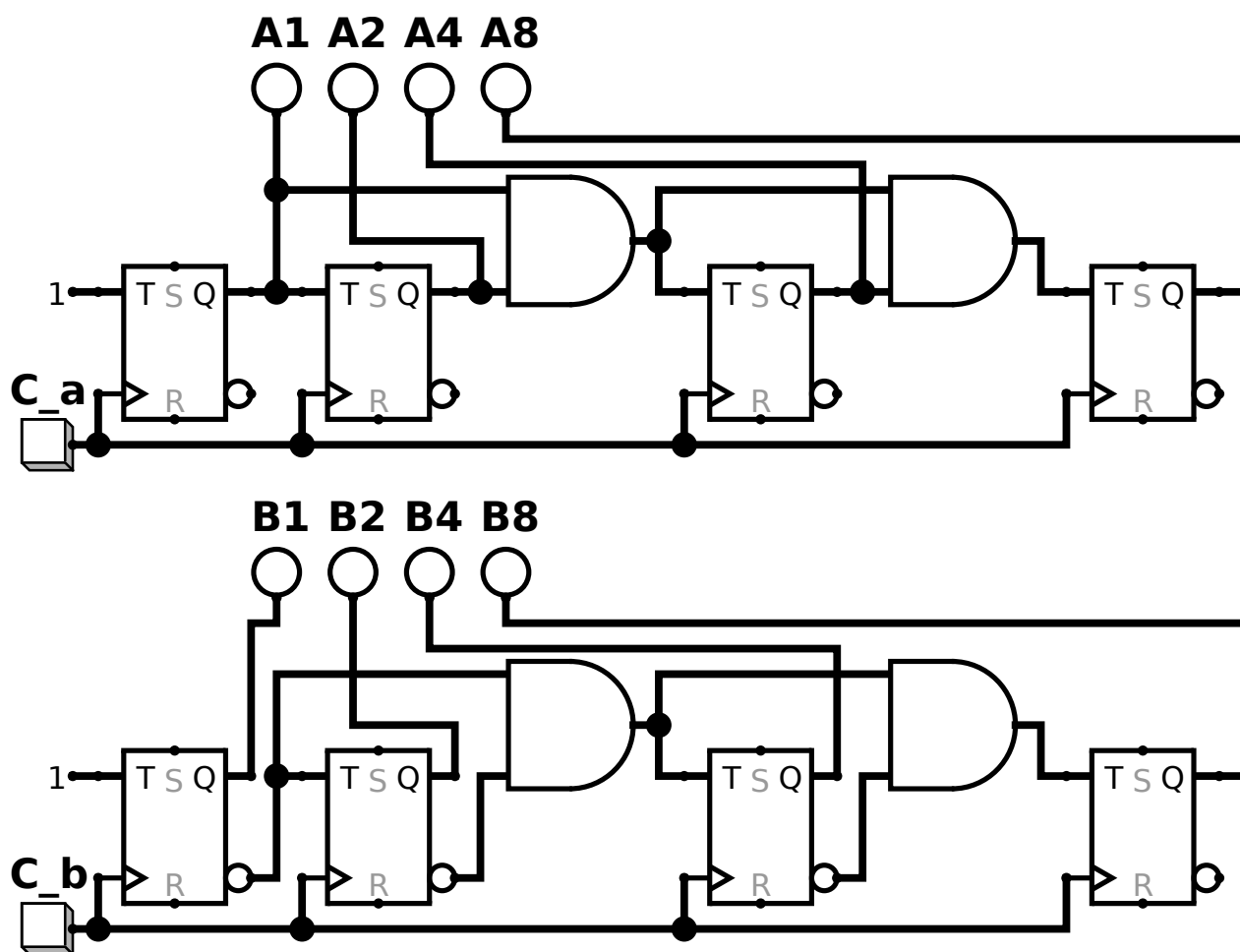


Рис. 4: прямой и обратный счётчик

4. задание.

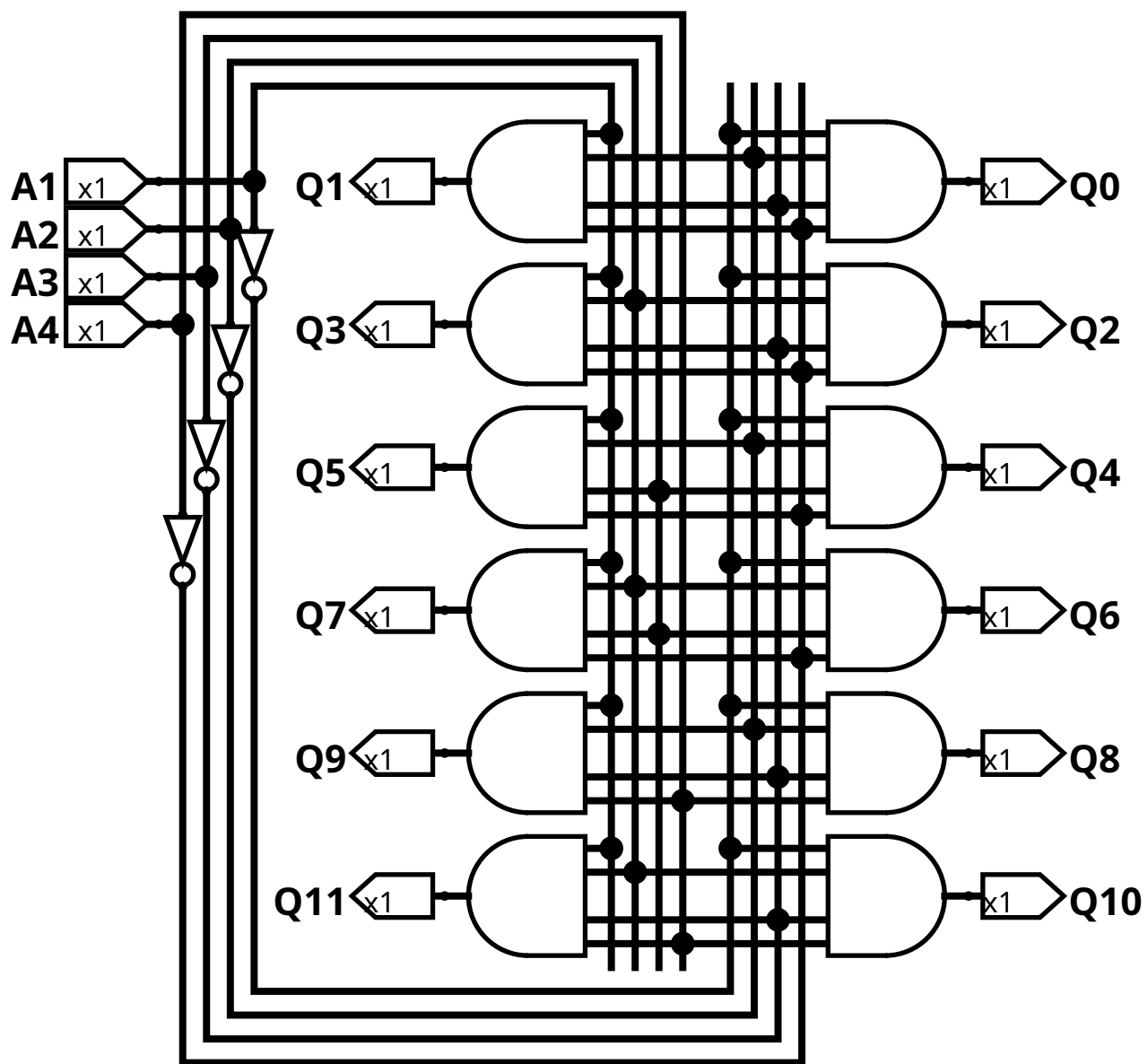


Рис. 5: элемент dec

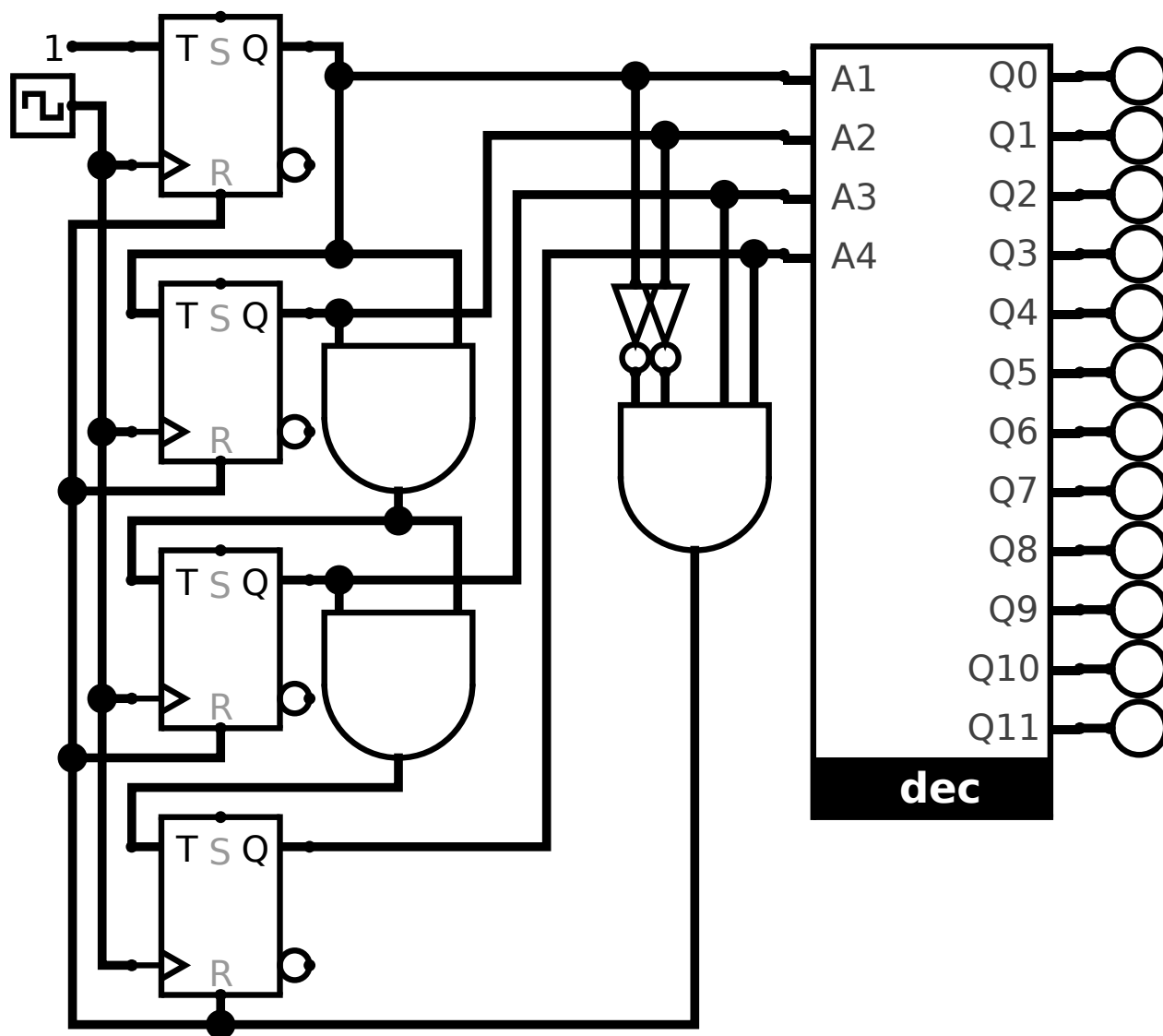


Рис. 6: гирлянда

5. задание.

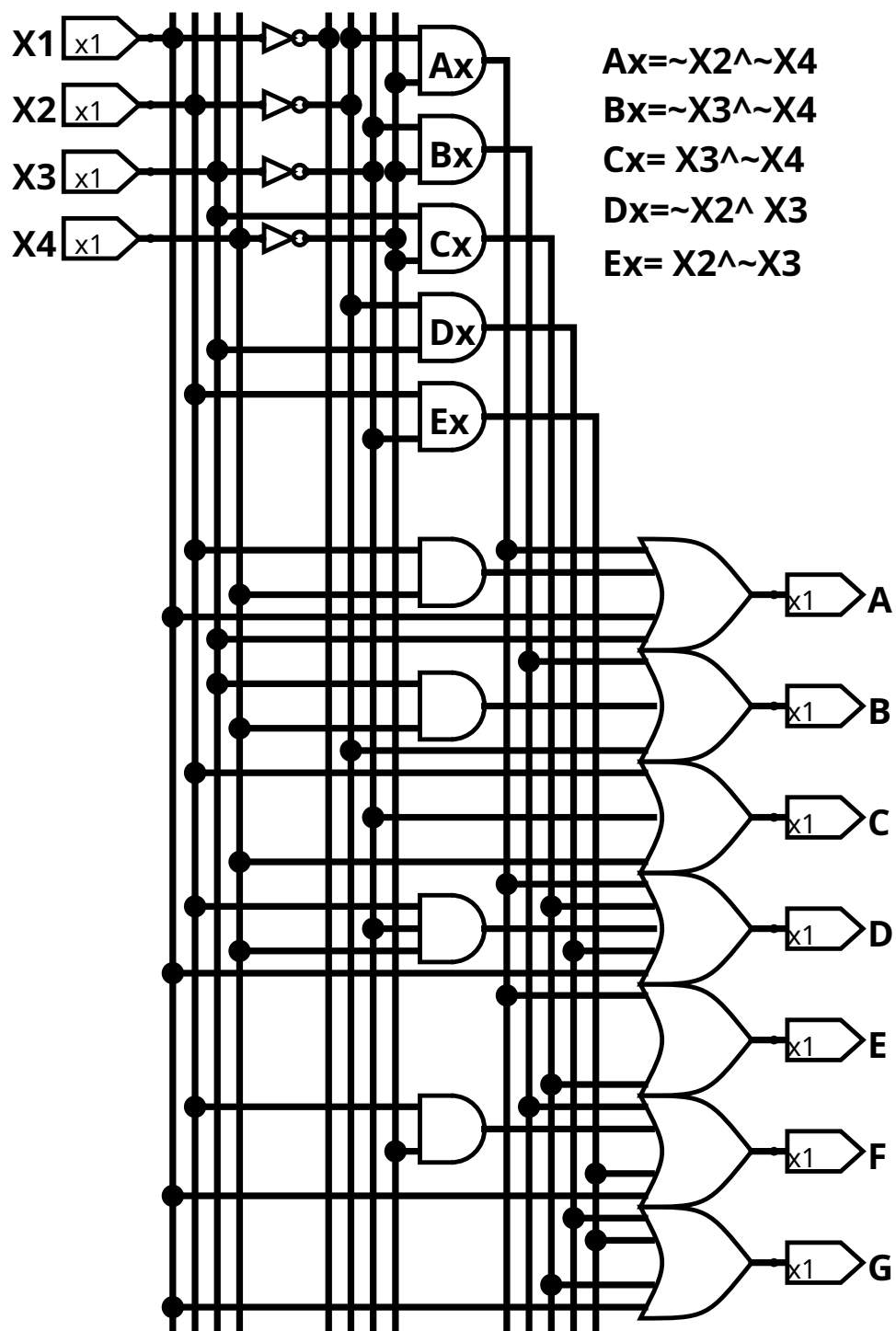


Рис. 7: дешифратор семисегментного индикатора

6. задание.

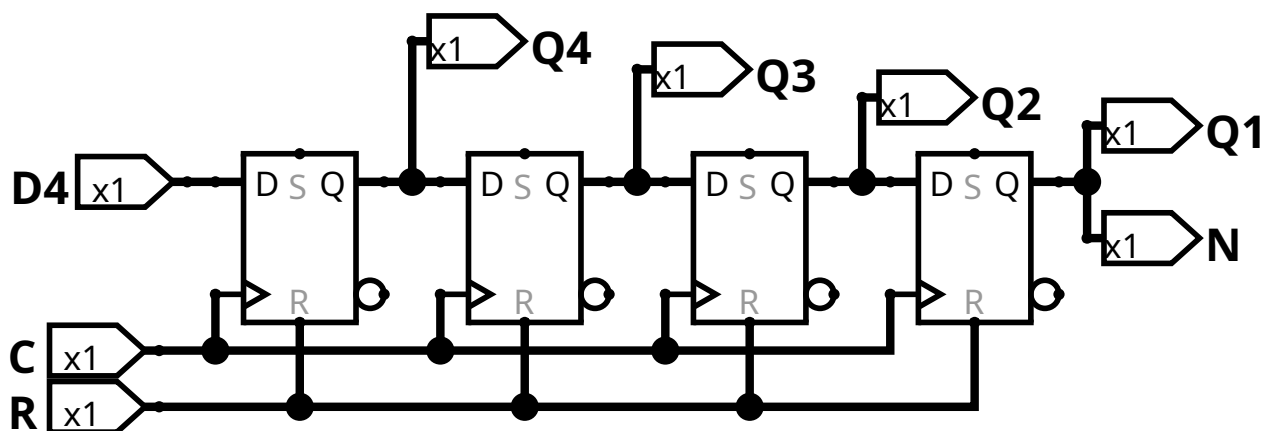


Рис. 8: 4-разрядный последовательный сдвиговый регистр (сдвиг в право)

8. задание.

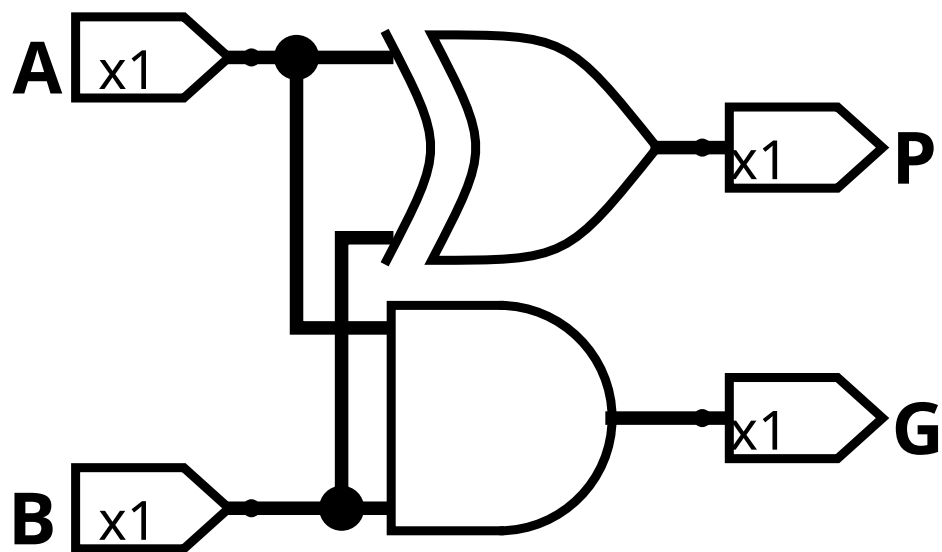


Рис. 9: 1-разрядный предвычислитель

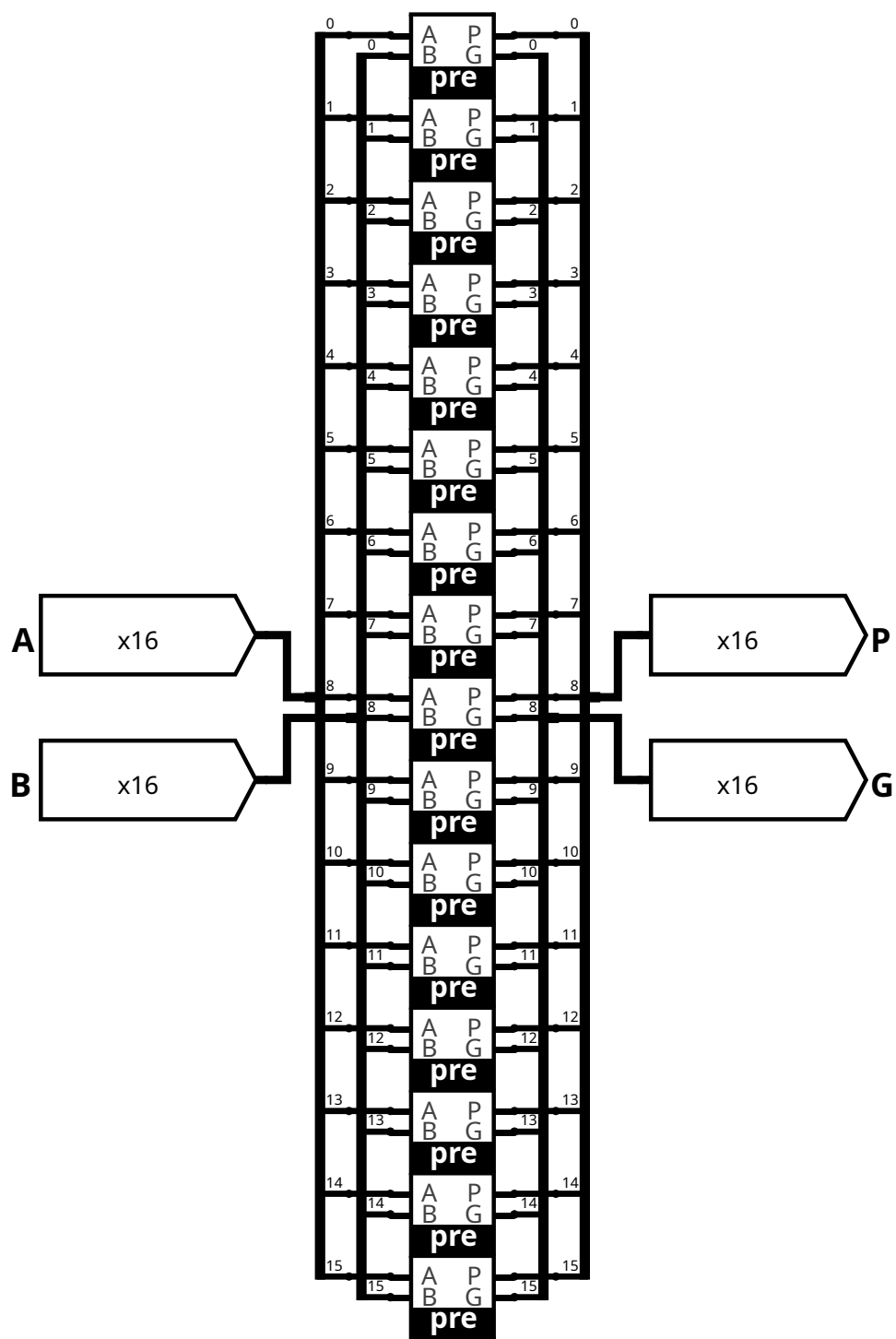


Рис. 10: 16-разрядный предвычислитель

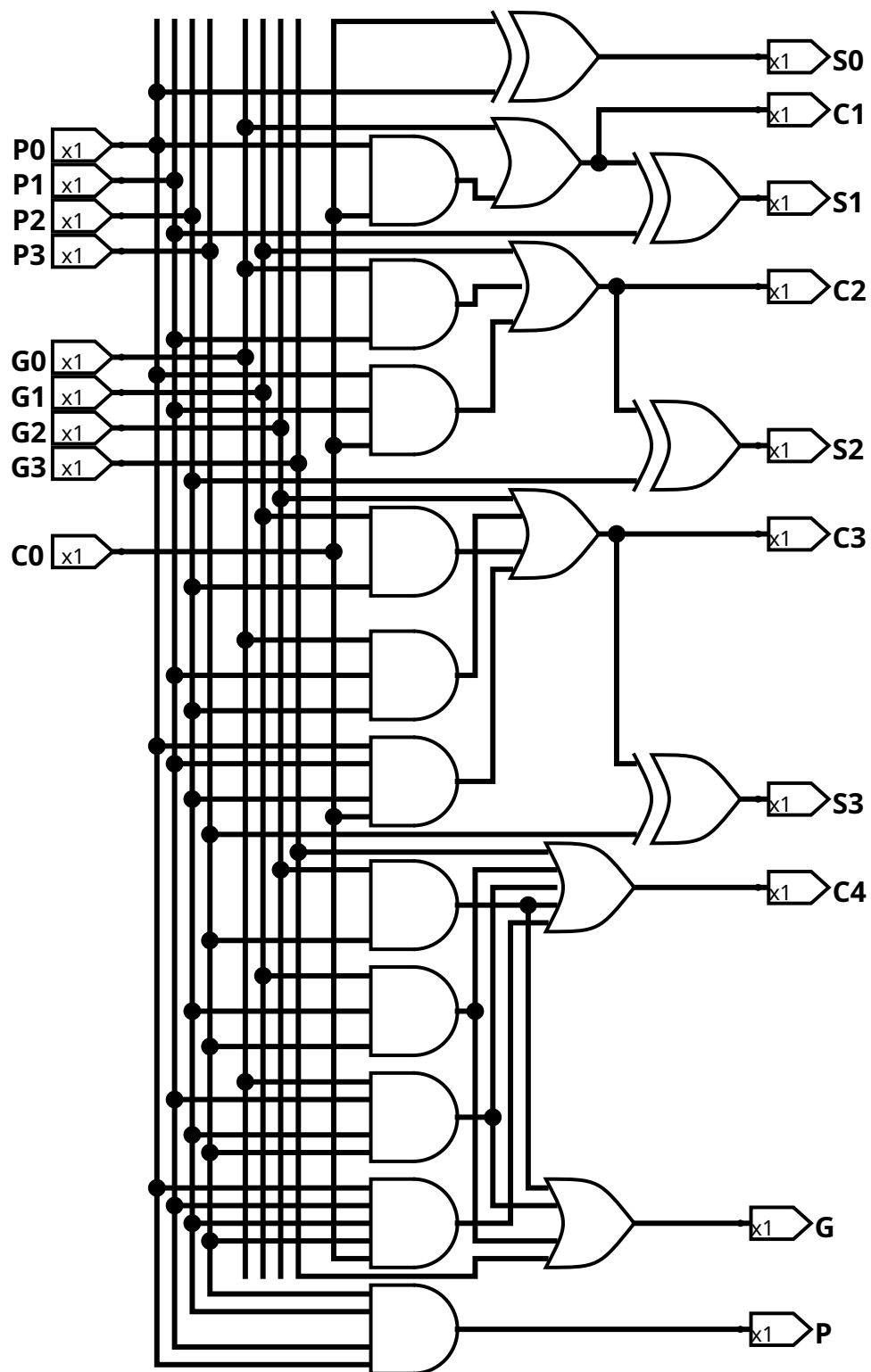


Рис. 11: 4-разрядный сумматор с ускоренным переносом

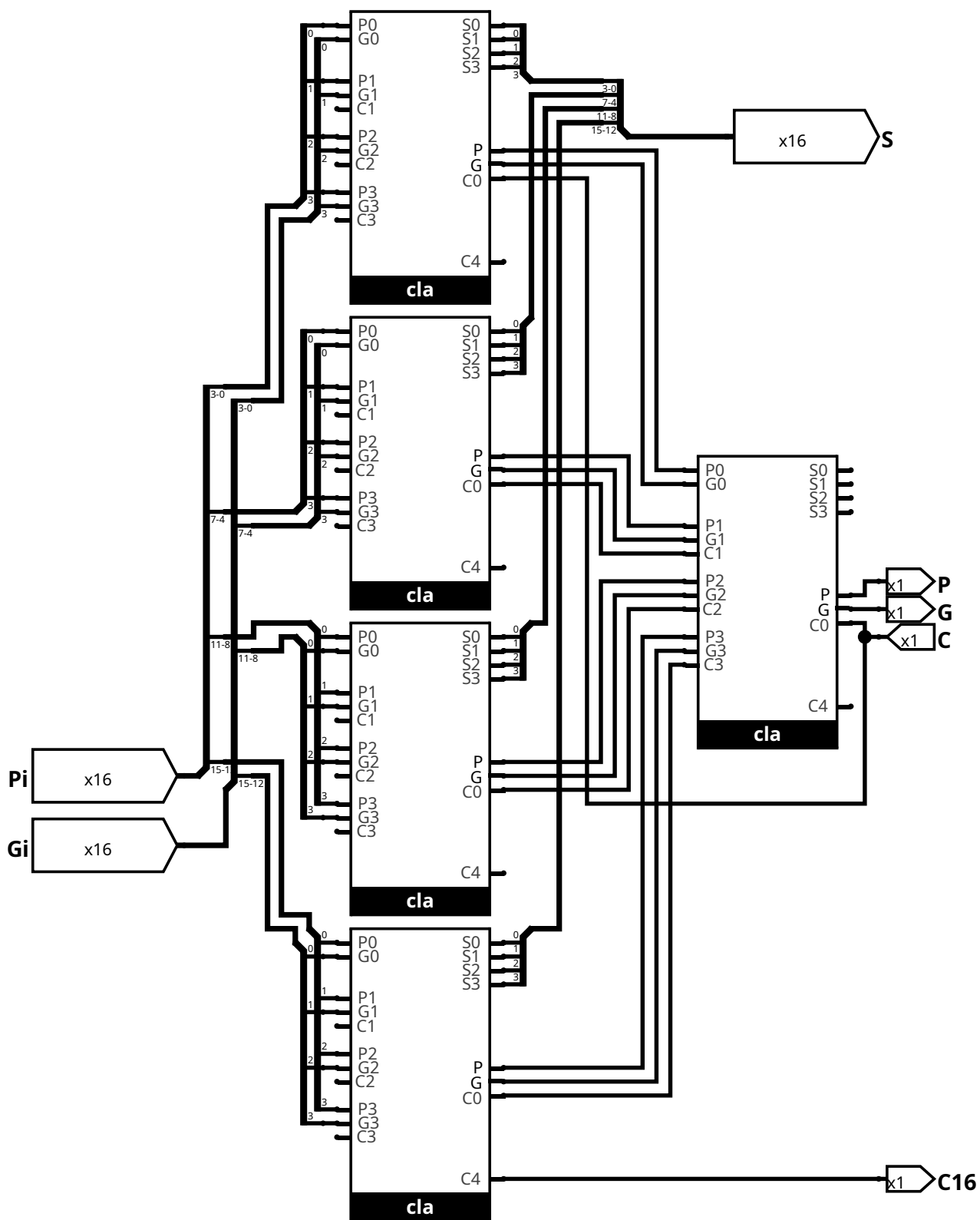


Рис. 12: 16-разрядный сумматор с ускоренным переносом

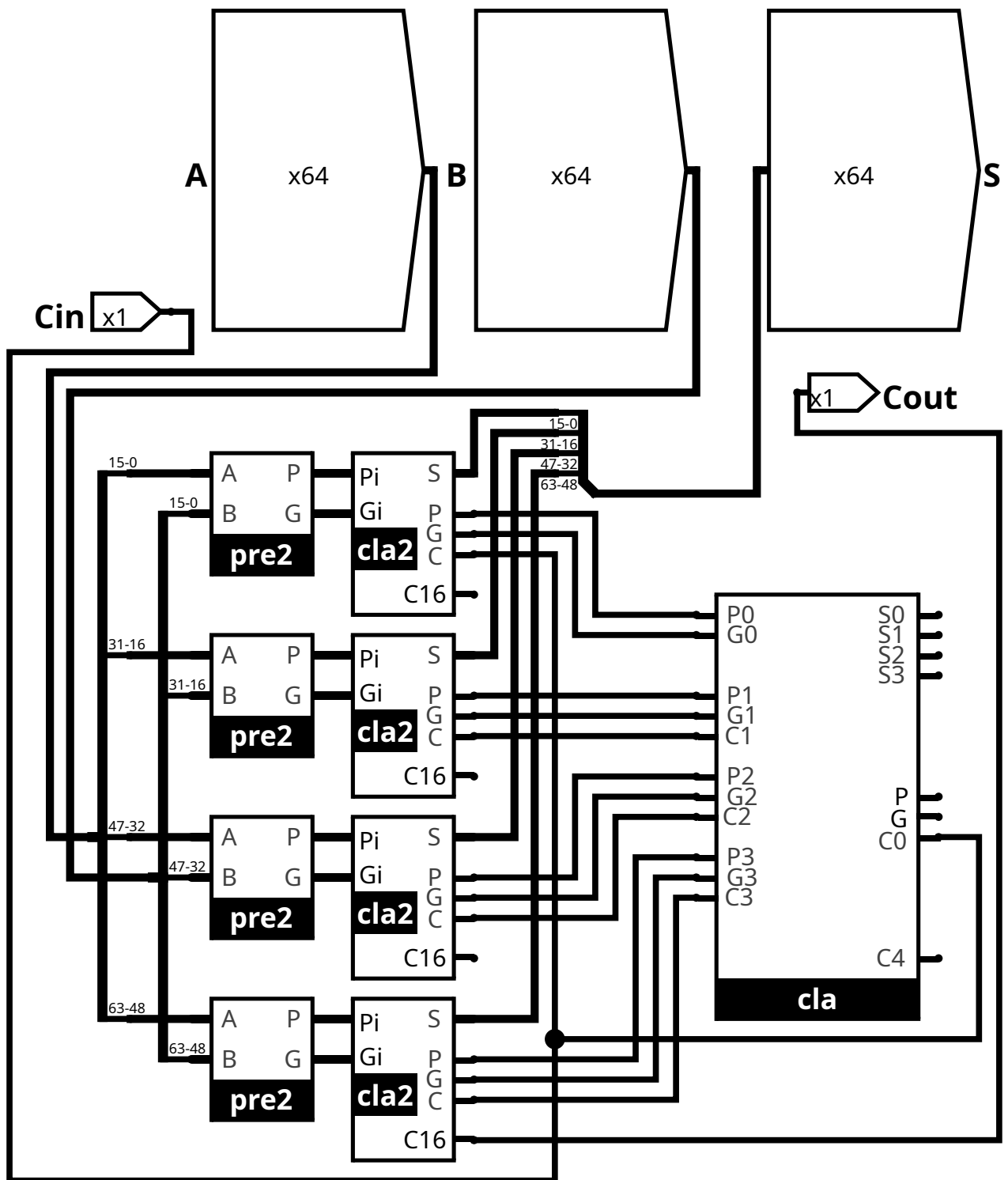


Рис. 13: 64-разрядный сумматор с ускоренным переносом

Выводы

При выполнении лабораторной работы закрепил знания о минимизации функции, научился работать с D и T триггерами, запомнил метод перевода функции из Основного логического базиса в базис Шеффера. Приобрёл навыки работы с Logisim-Evolution, а именно: создания подсхем, редактирования внешнего вида подсхем, работы с шиной (сворачивание и разворачивание), управления вводом (кнопки, переключатели, светодиоды) и отладки (запуск схемы с заданной частотой, запуск на один шаг).