

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ  
БЮДЖЕТНОЕ  
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«ВЯТСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

Институт математики и информационных систем  
Факультет автоматики и вычислительной техники  
Кафедра электронных вычислительных машин

Отчёт по лабораторной работе №4  
по дисциплине  
«Информатика»  
«Построение комбинационных и последовательных схем»

Выполнил студент гр. ИВТб-1303-06-00 \_\_\_\_\_ /Гортоломей И.К./  
Проверил доцент кафедры ЭВМ \_\_\_\_\_ /Коржавина А.С./

Киров  
2025

## Цель

Цель работы: закрепить на практике знания о минимизации системы булевых функций, об элементах памяти и получить навыки реализации простейших арифметических и последовательных устройств.

## Задание

1. Выполнить минимизацию булевых функций, представить функции различных базисах – основном логическом базисе (О), в базисе Шеффера (Ш), Пирса (П) или Жегалкина(Ж) в соответствии с вариантом, после чего построить схему в системе Logisim и выполнить проверку.
2. Построить четырехразрядный полный сумматор, складывающий 2 двоичных четырехразрядных числа и учитывающий единицу переноса. Построить схему сумматора в Logisim, проверить его работоспособность.
3. Построить схемы прямого (на +1) и обратного (на -1) 4-разрядных двоичных счетчиков на счетных (Т) триггерах. Построить схемы счетчиков в Logisim, проверить их работоспособность.
4. Гирлянда. На базе счетчика, дешифратора построить схему, включающие светодиоды в определенном порядке в зависимости от варианта. Построить схему в Logisim, проверить его работоспособность.
5. Построить схему дешифратора семисегментного индикатора.
6. Построить схему 4-разрядного последовательного сдвигового регистра. Сдвиг в любую сторону, запись последовательная по битам, чтение параллельное.
7. Построить схему последовательного (shift-add) 8-разрядного умножителя на сдвиговом регистре.
8. Построить схему 64-разрядного сумматора с ускоренным переносом.

## Решение

1. задание.

2. задание.

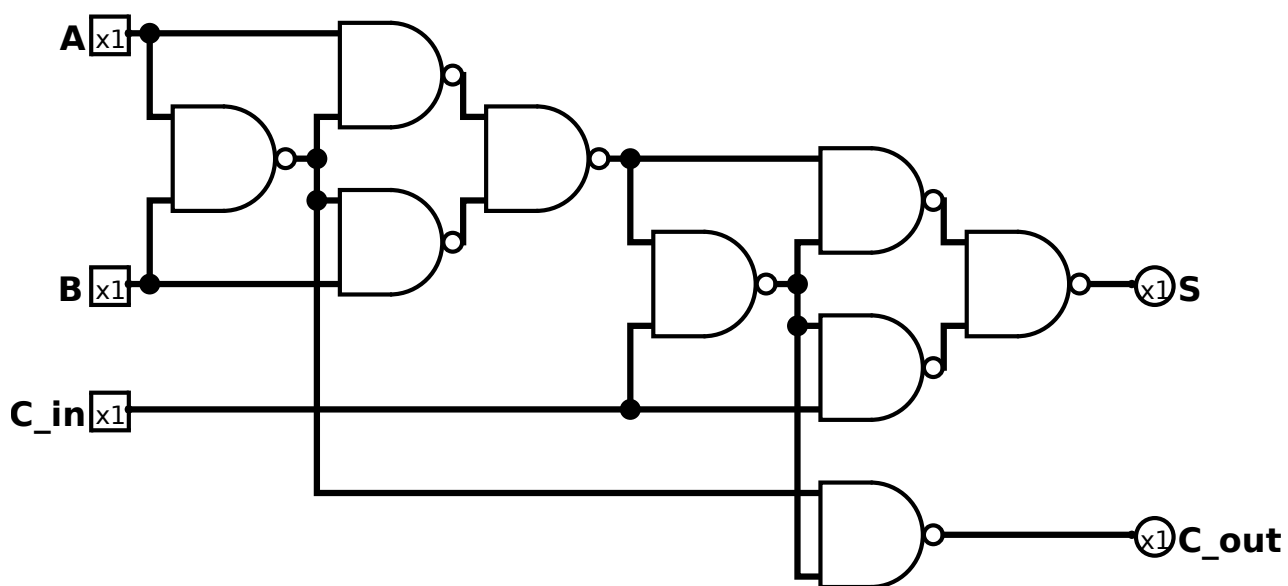


Рис. 1: элемент summ

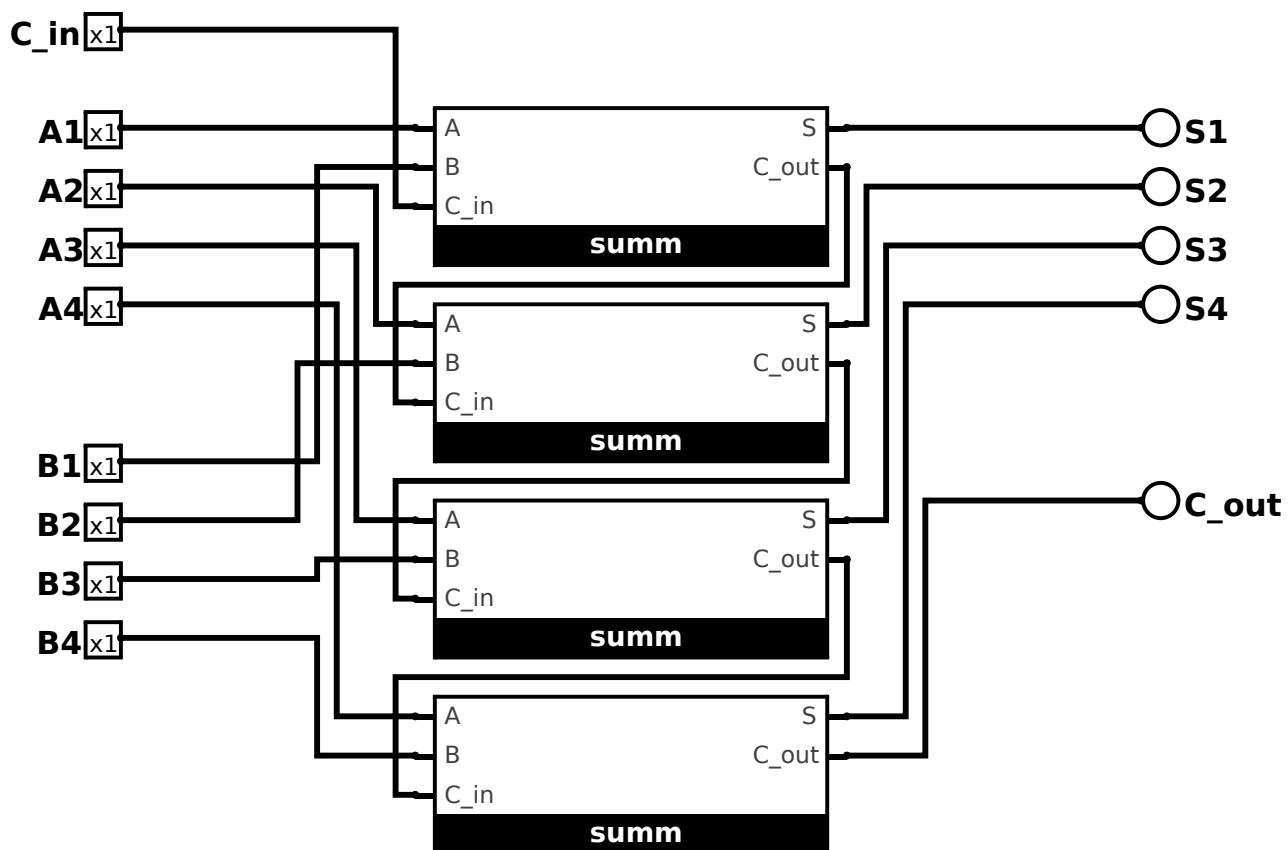


Рис. 2: четырехразрядный полный сумматор

sas

## Выводы