



# Compteurs

## Objectifs

Le but de ce TP est de manipuler des processus synchrones en simulation et en synthèse.

## 1 Compteurs simples

### 1.1 Simulation

1. Écrivez le programme complet (entité et architecture) du composant compteur simple avec horloge et reset, exemple illustrant les processus synchrones dans le cours. Vous ajouterez à ce composant une sortie retenue qui vaut '1' lorsque le compteur vaut 0 et '0' autrement ;
2. Utilisez la fonctionnalité **Project** → **New Source** → **VHDL Test Bench** pour générer rapidement un *pattern* de test ; avec ce composant, le code généré du test est presque complet, il faut juste modifier le **Stimulus process** en remontant le **reset** après l'attente de 100 ns.

### 1.2 Diviseur d'horloge

Concevez, développez et testez (simulation) un composant générique<sup>1</sup> qui, à partir d'une horloge donnée, génère une horloge avec une fréquence divisée par la valeur du paramètre générique (nommé **facteur**). Vous vous inspirerez du compteur précédent mais dans un souci de simplicité, la variable qui permet de compter sera de type **natural**.



**Attention :** Le générateur automatique de code du *test bench* ne sait pas gérer la généricité ; il vous faut rajouter le paramètre générique au niveau du rappel du composant (**generic**) et au niveau de l'instantiation du composant (**generic map**).



**Attention :** Le générateur automatique de code du *test bench* a aussi du mal avec les horloges et crée un process pour générer l'horloge en entrée du composant (c'est bien) mais aussi pour générer l'horloge en sortie (moins bien) : il faut effacer ce second process.

---

1. l'interface est donnée sous moodle

### 1.3 Synthèse/Implementation

1. À partir des fichiers de base `Nexys4.vhd` et `Nexys4.ucf`, programmez la carte FPGA avec le compteur de la section 1.1.
2. Vous ajouterez au circuit votre diviseur d'horloge pour obtenir une horloge à 1 Hz à partir de l'horloge de la carte dont la fréquence est de 100 MHz, ainsi que le décodeur Sept Segments qui vous permettra de visualiser le comptage.

Conseil valable tout le temps : n'hésitez pas à dessiner le circuit à implanter sur la carte.

## 2 Afficher les 8 Sept-Segments

Concevez, développez et testez un composant qui permet d'afficher 8 valeurs différentes sur les 8 Sept-Segments.

Le principe est d'afficher de manière cyclique chacune des valeurs en sélectionnant chaque Sept-Segments pendant une période suffisamment rapide pour duper l'oeil.

Une horloge à 1 kHz permet d'avoir un affichage correct.

Il vous est conseillé de concevoir un composant autonome qui remplacera l'afficheur Sept-Segments du TP2 si l'affichage se fait sur plus de 1 Sept-Segments.

Pour tester cet afficheur, vous pouvez reprendre l'additionneur 4 bits et afficher simultanément les deux valeurs en entrée, la somme, la retenue et 0 ailleurs.