



Premiers pas avec la carte FPGA Nexys4

Objectifs

Le but de ce TP est de tester les composants développés lors du premier TP en les implantant sur la carte FPGA Nexys4.

Première partie

Sources VHDL

Récupérer le fichier d'archive Nexys4.tar et placer-le dans votre répertoire où se trouvent déjà les sources VHDL/*Sources* ; ce fichier contient 2 répertoires :

- le répertoire **dec7seg** qui contient un composant fourni, décodeur 7 segments, qui est l'exemple sur lequel nous allons nous appuyer au cours de cette prise en main. Ce composant est décrit sous la forme de 3 fichiers :
 - un fichier **dec7seg.vhd** qui décrit un composant qui convertit un chiffre hexadécimal en 7 segments,
 - un fichier **Nexys4.vhd** qui est le composant principal qui utilise le composant précédent et le connecte à certains ports de la carte (**switchs**, **7 segments**),
 - un fichier **Nexys4.ucf** qui fait le lien entre les noms de ports de la carte utilisés par le composant précédent et leurs noms réels sur la carte.

Les deux derniers fichiers sont spécialement adaptés à l'exemple du décodeur 7 segments.

- le répertoire **config** qui contient les deux fichiers (**Nexys4.vhd** et **Nexys4.ucf**) sans composants connectés. Ce sont ces deux fichiers desquels vous devrez partir par la suite quand vous commencerez le développement de nouveaux composants.



Attention : Le logiciel que nous utilisons pour ce module VHDL n'a pas l'air d'aimer les noms de répertoires avec espace : évitez donc d'utiliser de tels noms.

Deuxième partie

Implantons le décodeur 7 segments

1 lancement de Xilinx ISE

Le logiciel utilisé pour générer le binaire qui sera transféré sur la carte est le même que celui utilisé pour la simulation lors du TP1 : Xilinx ISE (rappel : commande `xilinx`).

2 Création d'un projet pour tester le décodeur 7 segments

De la même manière que vous avez créé les projets lors du TP précédent, créez un projet pour le décodeur.

Suivre le menu **File** → **New Project** ; la fenêtre de la Fig. 1 s'ouvre.

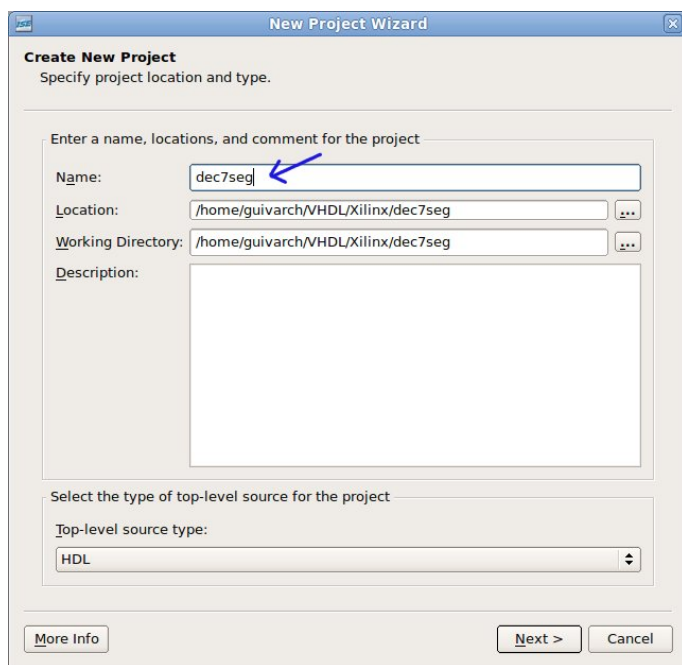


FIGURE 1 – Création d'un nouveau projet

2.1 Nom du projet

Vous n'avez à priori que le nom du projet à renseigner (ici `dec7seg`, le répertoire Xilinx étant déjà créé).

2.2 Paramétrage de la carte FPGA et du simulateur

Rentrer exactement les valeurs données par la Fig.2 : les paramètres de la carte FPGA sont maintenant nécessaires¹.

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Artix7
Device	XC7A100T
Package	CSG324
Speed	-1
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93

FIGURE 2 – Paramétrage du simulateur

Taper **Next** pour passer à la fenêtre suivante.

2.3 Fin de la création d'un projet

Taper **Finish** pour revenir au Xilinx ISE Project Navigator.

1. Là aussi, ce paramétrage n'est à effectuer qu'une fois.

3 Ajout des fichiers sources du projet

De manière identique au TP1, suivez le menu **Project** → **Add Source** ; la fenêtre de la Fig.3 s'ouvre.

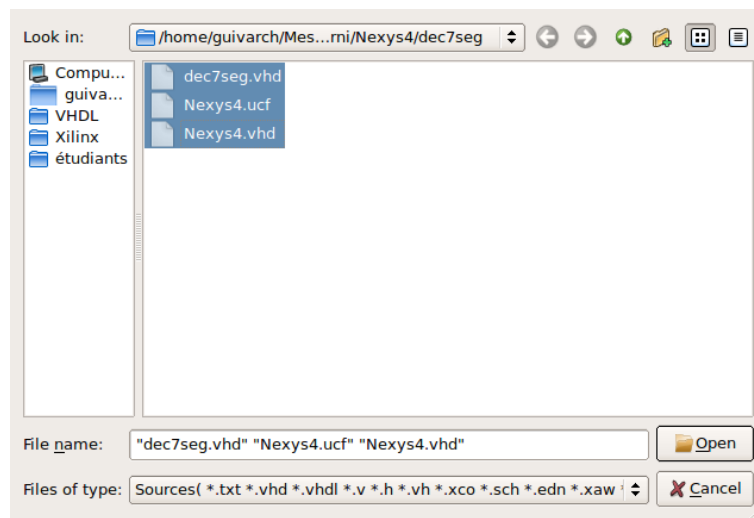


FIGURE 3 – Ajout des fichiers source du décodeur 7 segments

Naviguer pour trouver les 3 fichiers nécessaires : `dec7seg.vhd`, `Nexys4.vhd`, `Nexys4.ucf`.

4 Synthèse du décodeur 7 segments

4.1 Se positionner en mode Implementation

Dans le menu indiqué par la flèche bleue de la Fig.4, choisir la vue Implementation (c'est normalement celle par défaut).

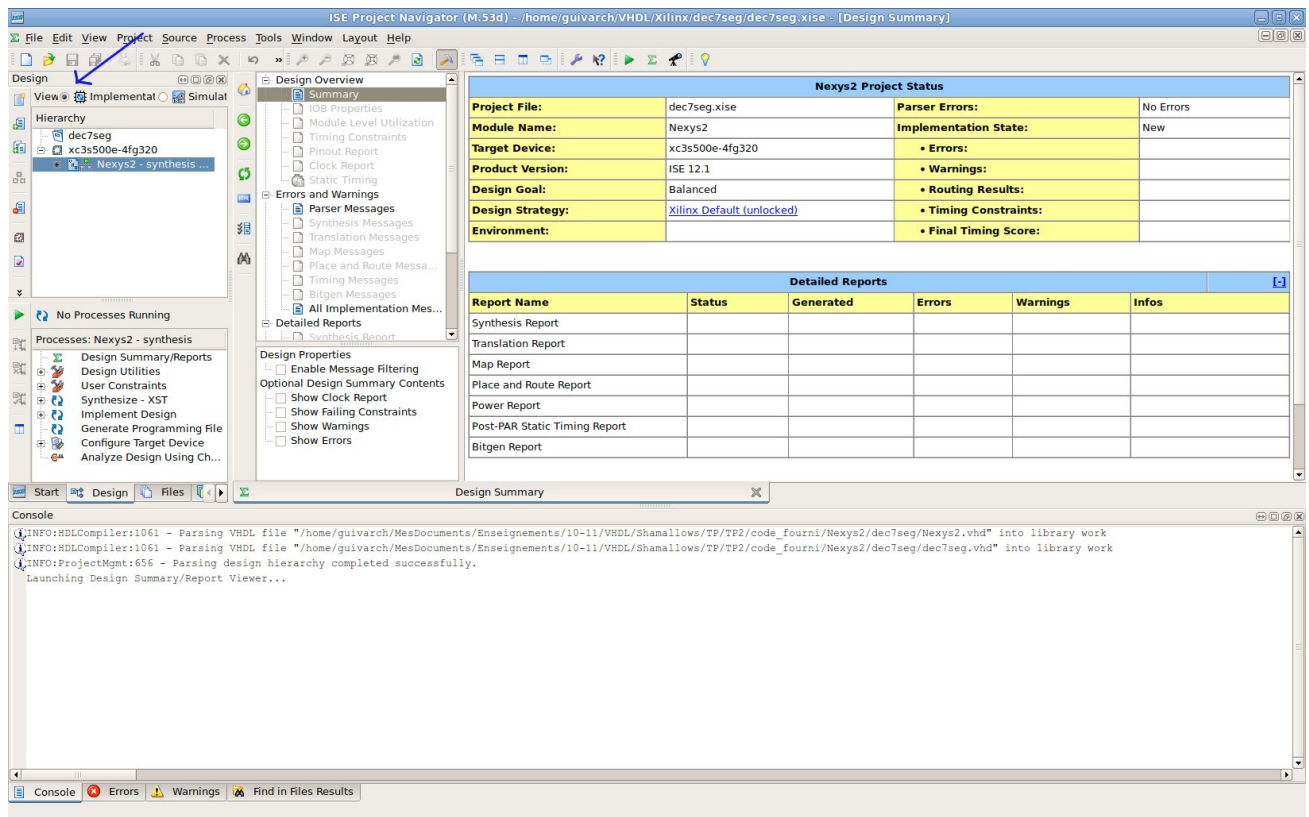


FIGURE 4 – Implementation

4.2 Génération du fichier de programme

Le fichier binaire du programme qui va être implanté sur la carte se génère de la façon suivante :

1. sélectionnez Nexys4 - synthesis (flèche bleue),
2. double-cliquez sur Generate Programming File (flèche pourpre).

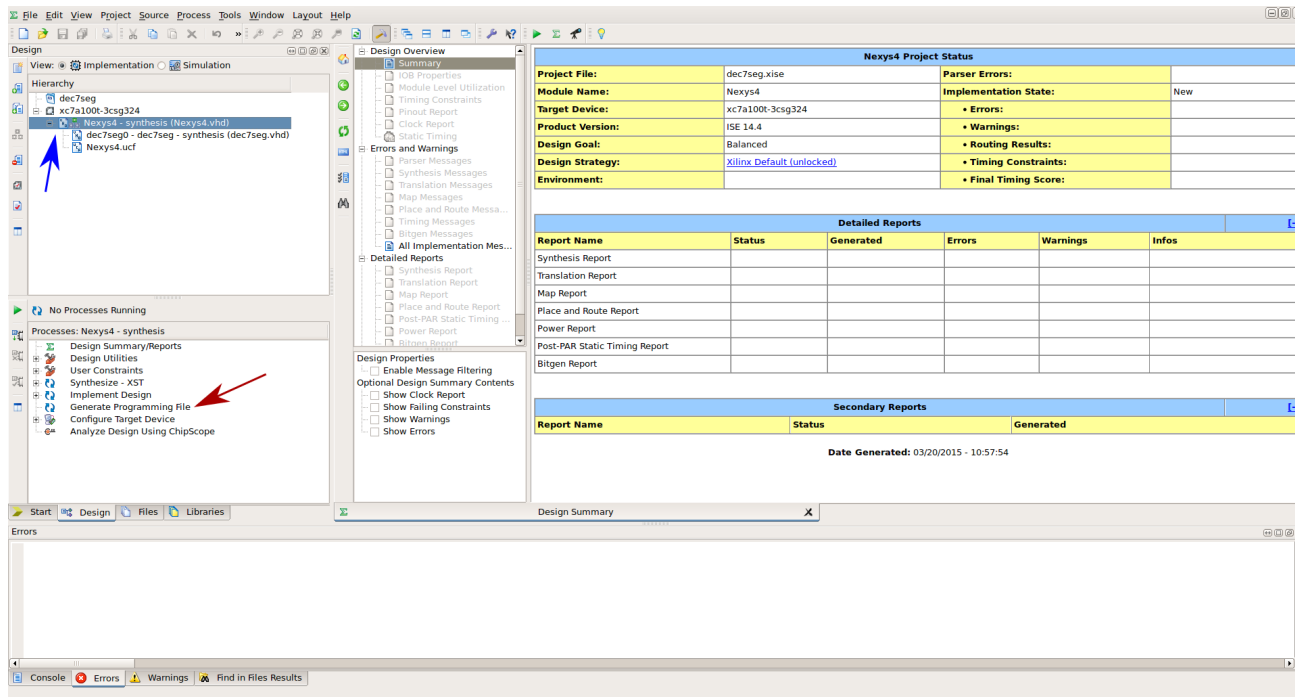


FIGURE 5 – Lancement de la génération du fichier programme

Après un temps certain, éventuellement des warnings et trois phases de synthèse, votre programme est généré sous la forme d'un fichier nommé **Nexys4.bit** (nom du composant principal).

4.3 Visualisation du RTL schematic et du Technology schematic

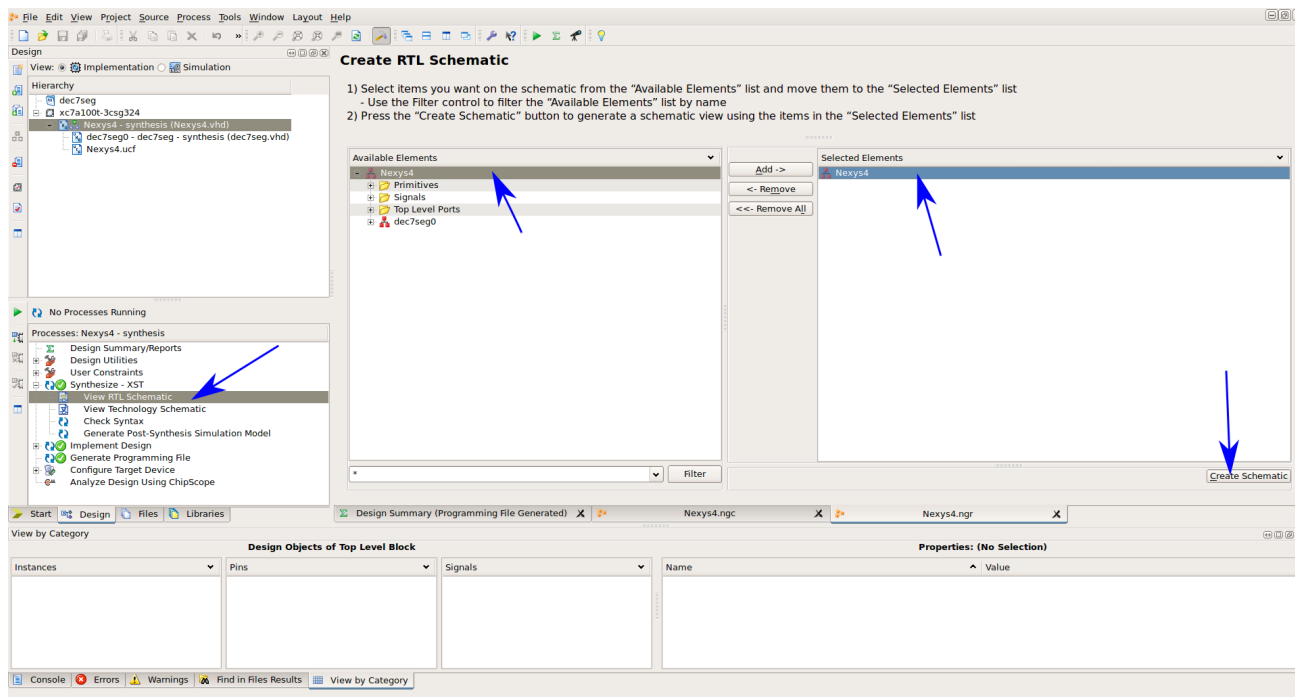


FIGURE 6 – Génération des schematics

Au niveau de la phase *Synthesize - XST*, vous pouvez visualiser les différents *schematics*.

Utilisez l'*Explorer Wizard* pour sélectionner le composant principal (Nexys4) et naviguez dans les différents niveaux de schémas.

4.4 Transfert du programme sur la carte

Avant toute chose, il vous faut connecter la carte (port USB) et l'allumer (switch isolé à un des angles). L'alimentation et la programmation se font par le câble USB.

La programmation se fait en ligne de commande.

1. dans un terminal, placez-vous dans le répertoire du projet. Si vous avez suivi les instructions, c'est le répertoire `VHDL/Xilinx/dec7seg`.
2. dans ce répertoire, vérifiez l'existence du fichier `Nexys4.bit`, c'est le fichier programme généré lors de la phase précédente.
3. programmez la carte en tapant la commande `nexys2prog Nexys4.bit`.
4. au bout d'un moment, le programme est sur la carte : le premier afficheur 7 segments s'allume.
5. vous pouvez vérifier que le composant est correct en manipulant les 4 switches les plus à droite.

Troisième partie

Un peu de développement

Vous pouvez maintenant implanter sur la carte, les additionneurs développés lors du premier TP :

1. l'additionneur 1 bit en utilisant les leds comme sortie,
2. l'additionneur 4 bits en utilisant dans un premier temps les leds ;
3. finissez en connectant la somme de l'additionneur en entrée du composant décodeur pour l'afficher sur l'afficheur 7 segments.

À chaque Composant, un nouveau répertoire Source et un nouveau Projet.



Attention : N'oubliez pas d'utiliser les fichiers `Nexys4.vhd` et `Nexys4.ucf` du répertoire `config` en les copiant dans le répertoire Source.