一、填空题（每题1分，共20分）

1. 设一程序的目标代码主要由3类指令集（算术和逻辑类，Load/Store类，转移类）组成，他们所占的比例分别是60%、20%、20%；已知这3类指令的CPI分别为1、2、4；若运行程序主机的频率为500MHz，则该程序的CPI为 1.8 ，MIPS为 277.8

CPI=1\*0.6+2\*0.2+4\*0.2=1.8

CPI：总时钟周期/总指令数 CPI：指令的平均周期数, CPU的性能指标

MIPS=(500\*10^6)/(1.8\*10^6)=277.8

MIPS=主频/CPI \* 10^6 MIPS：每秒钟处理了多少百万条指令

2. 总线是将计算机系统内多个功能设备部件连接起来相互通信的公共通道。总线的一次信息传输过程（一次总线操作的时间）包括 总线请求与仲裁阶段、寻址阶段、信息传送阶段、结束阶段 等四个阶段，总线的仲裁方式可有 集中式仲裁 方式和 分散式仲裁 方式

3.CPU作为运行指令的部件，从保证程序功能正确运行的角度看，应具有的功能有：指令执行顺序与操作的控制、时间控制、数据加工处理、异常和中断处理

4. 在计算机系统中CPU对外围设备的管理除程序查询方式、程序中断方式外，还有直接存储器（DMA）访问方式、通道方式、外围处理机方式。

通道与CPU分时使用存储器，实现了CPU内部的数据处理 和 I/O设备的并行工作

5.为了有效解决流水线中存在的“瓶颈”段问题，主要有两种方法：细分瓶颈段； 重复设置瓶颈功能段

6.在计算机系统中对存储系统的要求是：存储容量大，存储速度快，成本低，为了实现该目标，现代计算机大多采用的存储结构是：三级存储结构

（高速缓冲存储器、内存储器、外存储器）

-------------------------------------------------------------------------------------------------------

二、选择题（每题2分，共20分）

1. 假定某同步总线的工作频率为33MHZ,总线中有32位数据线,每个总线时钟传输一次数据,则该总线的最大数据传输率为

（一个时钟周期的时间T=1/33μs

数据传输率=4B（32位）/（1/33）=132MB/s）

A. 66MB/s B.132MB/s C.528MB/s D.1056MB/s

2.采用双符号位表示带符号数时，发生正溢的特征是双符号位为（负溢10）

A．00 B．01 C．10 D．11

3. 采用虚拟存储器的主要目的是

A．提高主存储器的存取速度；

B．扩大主存储器的存贮空间，并能进行自动管理和调度；

C．提高外存储器的存取速度；

D．扩大外存储器的存贮空间；

4. 微程序控制器中，机器指令与微指令的关系是 。

A. 每一条机器指令由一条微指令来执行 ；

B. 每一条机器指令由一段用微指令编成的微程序来解释执行 ；

C. 一段机器指令组成的程序可由一条微指令来执行 ；

D. 一条微指令由若干条机器指令组成 ；

5. 在CPU中，指令寄存器IR用来存放

（指令寄存器：保存当前正在执行的一条指令，程序计数器（PC）：跟踪后继指令的地址，程序状态字寄存器（PSW）：保存处理器的状态信息和中断优先级，地址寄存器（AR）：保存CPU当前访问的主存单元地址）

A．正在执行的指令 B．即将执行的指令 C．已执行的指令 D．指令地址

6. 定点小数是指 。

A．小数点固定在最低位数的后面 B．小数点固定在最高位数的后面

C．小数点的位置可以随意指定 D．没有小数的数

7. 下述I/O控制方式中，\_\_\_\_\_\_主要由程序实现。

A．PPU方式 B．中断方式 C．DMA方式 D．通道方式

8. 某单片机字长32位，其存储容量为4MB。若按字节（8位）编址，它的寻址范围是（32/8=4M，字32位，半字16位）

  A．1M    B．4MB    C． 4M    D． 1MB

9. 某8位无符号数 10010101 右移一位后的值为

（无符号右移=逻辑右移，算术右移需复制符号位到左边空位）

A．01001010B B. 00101010B C．10101010B D．11001010B

10. 同步控制是 。

A.  只适用于CPU控制的方式 B.  只适用于外围设备控制的方式

C.  由统一时序信号控制的方式    D.  所有指令执行时间都相同的方式

三 、简答题（每题8分，共16分）

1、指令格式结构如下，试分析指令格式及寻址方式特点。

15 10 9 8 7 4 3 0

|  |  |  |  |
| --- | --- | --- | --- |
| OP | - | 源寄存器 | 基址寄存器 |
| 位移量（16位） | | | |

解：同下1

（15 10 9 8 7 4 3 0

|  |  |  |  |
| --- | --- | --- | --- |
| OP | - | 源寄存器 | 变址寄存器 |
| 偏移量（16位） | | | |

①双字长二地址指令；

②操作码OP可指定2^6=64条指令；

③RS型指令，一个放在寄存器中，另一个操作数放在存储器中。

15 10 9 8 7 4 3 0

|  |  |  |  |
| --- | --- | --- | --- |
| OP | - | 目标寄存器 | 源寄存器 |

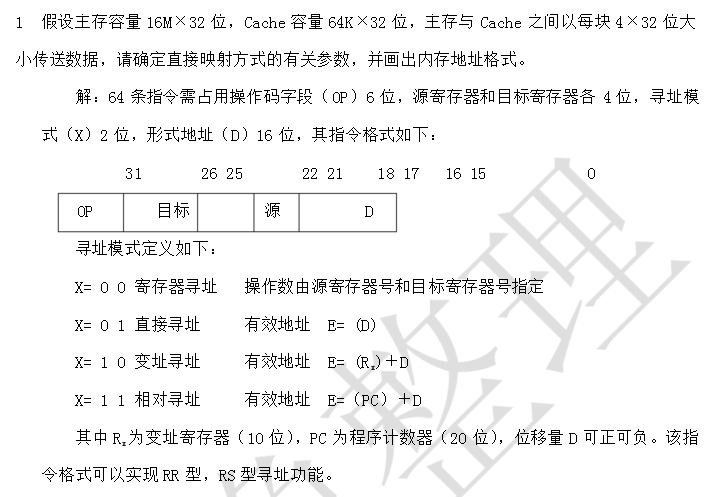
①单字长二地址指令；

②操作码OP可指定2^6=64条指令；

③RR型指令，两个操作数均在寄存器中；

④常用于RR间数据传送及算术逻辑运算类指令。）

2、假设主存容量32M×4Byte，Cache容量64K×4Byte，主存与Cache之间以每块4×4Byte大小传送数据，请确定直接映射方式的有关参数，并画出内存地址格式。



四、计算题（共44分）

1、用256K×8位的DRAM芯片组成2M×32位的存储体,试问

数据寄存器多少位？（32位）

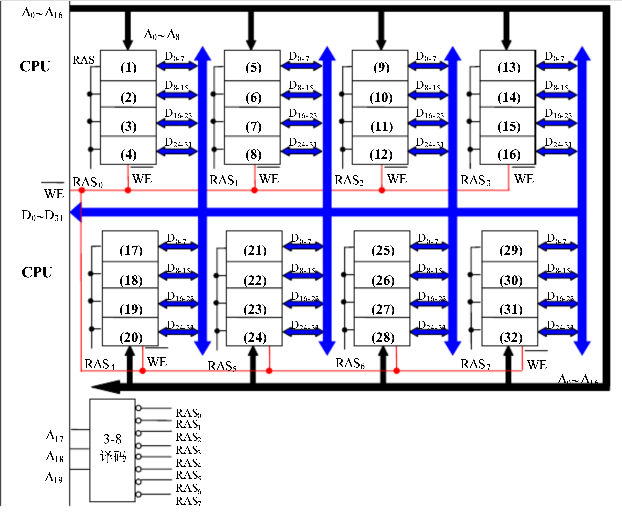
地址寄存器多少位？（21位）

共需多少个DRAM芯片？

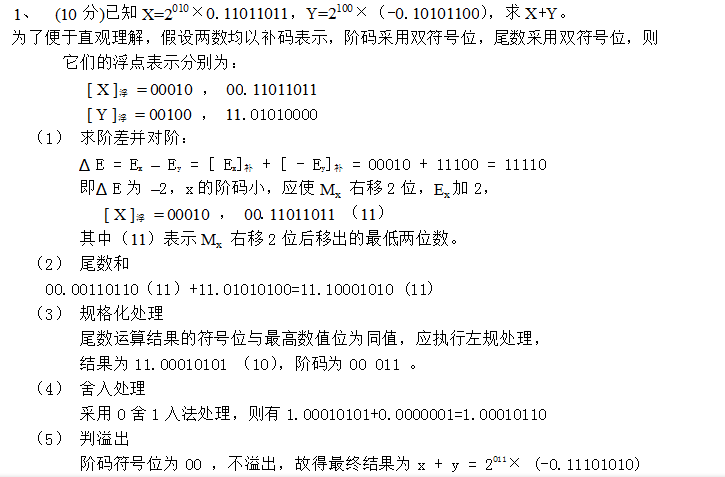
画出此存储器组成框图。（12分）

（2\*1024K\*32）/（256K\*8）=32片，每4片一组，共需8组

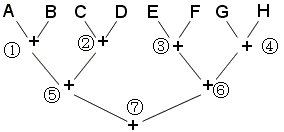
组成框图如下：

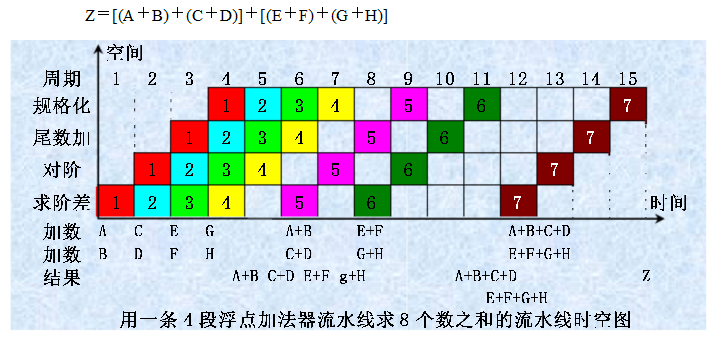


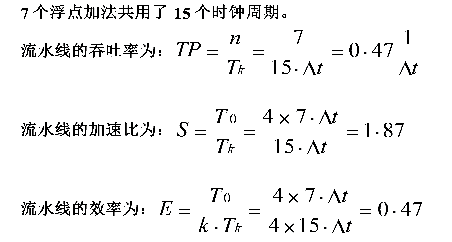
2、已知 X=2010×0.11011011，Y=2100×（-0.10101100），用浮点运算求X+Y =?（8分）



3、用一条4段浮点加法器流水线计算 Z=A+B+C+D+E+F+G+H，设元数据间计算任务采用“二叉树算法”以减少相关，计算任务分配如图所示，请画出流水线工作过程的时空图，求出加速比S=,吞吐率TP和效率E。（10分）







4、下图为双总线结构的机器，IR为指令寄存器，PC为程序计数器（具有加1功能），M为主存（受R/W#读写信号控制），AR为主存地址寄存器，DR为数据缓冲寄存器，ALU内+-控制信号决定完成何种操作信号，控制信号G控制的一个门电路。所有箭头线上的小圈表示控制信号的输入/输出点。例如R1i表示寄存器R1的输入，R1O表示寄存器R1的输出。未标信号的线表示直通，不受控制。

(1)“ADD R2,R0”指令完成(R0)+(R2)→R0的功能操作。画出其指令周期流程图,并标出每步需要的控制信号。

(2)若将主存M分成数据和指令两个存储器，通用寄存器R0～R3的输出直接连到X或Y暂存器。请修改数据通路，画出“ADD R2，R0”指令的指令周期流程图。（14分）

