

计算机组成原理 Homework9 (11.2)

中国人民大学 信息学院 崔冠宇 2018202147

1. 假设 CPU 执行某段程序访存命中 cache 4800 次, 访问主存 200 次, 已知 cache 的存取周期是 30ns, 主存的存取周期是 150ns, 求 cache 的命中率, 该 cache-mem 系统的平均访问周期, 系统的性能提高了多少倍?

解:

(1) 命中率 = 命中 cache 次数/总访存次数 = $4800/(4800 + 200) = 96\%$;

(2) 有两种情况:

1. 若系统是先试图从 cache 中获取数据, 若未命中再访问 RAM: 平均访问周期 = $30\text{ns} \times 96\% + (150\text{ns} + 30\text{ns}) \times (1 - 96\%) = 36\text{ns}$;

2. 若系统是同时从 cache 和 RAM 获取数据, 谁先返回利用谁: 平均访问周期 = $30\text{ns} \times 96\% + 150\text{ns} \times (1 - 96\%) = 34.8\text{ns}$.

(3) 系统性能提升倍数 = $150/36 = 4.17$ (情况一)/ $= 150/34.8 = 4.31$ (情况二).

2. 一个组相联映射的 cache 由 64 块组成, 每组包含 2 块 (2 路组相联). 主存含 4096 块, 每块由 128 字组成, 访存地址为字地址 (每个字 32 位), 试问主存和 cache 的地址各几位? 画出主存和 cache 的地址格式.

解:

(1) 地址位数:

主存字数 = $4096 \times 128 = 2^{19}$ 字, 故主存地址为 19 位。

cache 字数 = $64 \times 128 = 2^{13}$ 字, 故 cache 地址为 13 位。

(2) 地址格式:

主存的地址格式是由主存字块标记 + 组地址 + 块内地址构成的.

由于每块 128 字, 所以块内地址为 7 位. 由于组地址是直接映像的, 所以内存地址对应的组数与 cache 组数一致 ($64/2 = 32$), 所以组地址为 5 位. 剩余 7 位为主存字块标记. 即

$$\text{主存地址格式} = \underbrace{\text{主存字块标记}}_{7\text{位}} + \underbrace{\text{组地址}}_{5\text{位}} + \underbrace{\text{块内地址}}_{7\text{位}}$$

cache 的地址格式是由块地址 + 块内地址构成的。

cache 的块大小与主存一致, 所以 cache 块大小仍为 128 字, 需要 7 位. 剩余部分均为块地址, 6 位 (也可写成组地址 5 位 + 组内块号 1 位). 即

$$\text{cache 地址格式} = \underbrace{\text{组地址}}_{6\text{位}} + \underbrace{\text{块内地址}}_{7\text{位}}$$

3. 主存容量为 4MB, cache 容量为 16KB, 每块 8 个字, 每字 32 位, 设计一个 4 路组相联映射 (cache 每组含 4 块) 的 cache 组成.

(1) 画出主存地址字段中各段的位数;

(2) 设 cache 开始为空, CPU 依次从主存中第 0,1,2,……,89 号单元读出 90 个字 (主存一次读出一个字), 并重复按此次序读出 8 次, 问命中率是多少?

(3) 若 cache 的速度是主存的 6 倍, 试问有 cache 对比没有 cache 的情况下, 速度提高约多少倍?

解:

(1) (假定是按字寻址) 因为主存容量为 4MB, 而每字 4 字节, 故内存有 2^{20} 个字, 需要 20 位地址.

因为主存的块大小和 cache 的块大小相同 (8 个字), 所以主存块内地址为 3 位. 又因为 cache 容量为 16KB, 每字 4 字节, 所以 cache 共有 2^{12} 个字. 因为每块 8 个字, 所以有 2^9 个块, 同时因为每组 4 块, 所以共有 2^7 个组, 即组地址需要 7 位. 其余 10 位即为主存字块标记. 综上 (假定按字寻址):

$$\text{主存地址格式} = \underbrace{\text{主存字块标记}}_{10\text{位}} + \underbrace{\text{组地址}}_{7\text{位}} + \underbrace{\text{块内地址}}_{3\text{位}}$$

按字节寻址计算类似, 结果:

$$\text{主存地址格式} = \underbrace{\text{主存字块标记}}_{10\text{位}} + \underbrace{\text{组地址}}_{7\text{位}} + \underbrace{\text{块内地址}}_{5\text{位}}$$

(2) 读第 0 单元时, 未命中, 所以硬件将 0 ~ 7 号的 8 个字的块调入 cache, 随后的 7 次访存全部命中 cache. 后续访问单元 8 ~ 15、16 ~ 23、… 的过程类似, 所以第一轮访问 0 ~ 89 单元共有 $\lceil 90/8 \rceil = 12$ 次未命中, 其余 78 次命中. 但是后续 7 次循环读取时都将命中, 总命中数 $7 \times 90 + 78 = 708$, 所以 命中率 = $708/(8 \times 90) = 98.33\%$;

(3) 按照上述命中率计算, 并假定访问 cache 的时间为 t , 则访问主存的时间为 $6t$.

1. (若为第一题情况一, “串行”读取) cache 平均访问时间 = $t \times 98.33\% + (t + 6t) \times (1 - 98.33\%) = 1.100t$. 速度提

升倍率 $= 6t/1.100t = 5.45$.

2. (若为第一题情况二, “并行”读取) cache 平均访问时间 $= t \times 98.33\% + 6t \times (1 - 98.33\%) = 1.074t$. 速度提升倍率 $= 6t/1.084t = 5.54$.