

## 16. 8-битный таймер/счетчик0 с ШИМ

### 16.1 Особенности

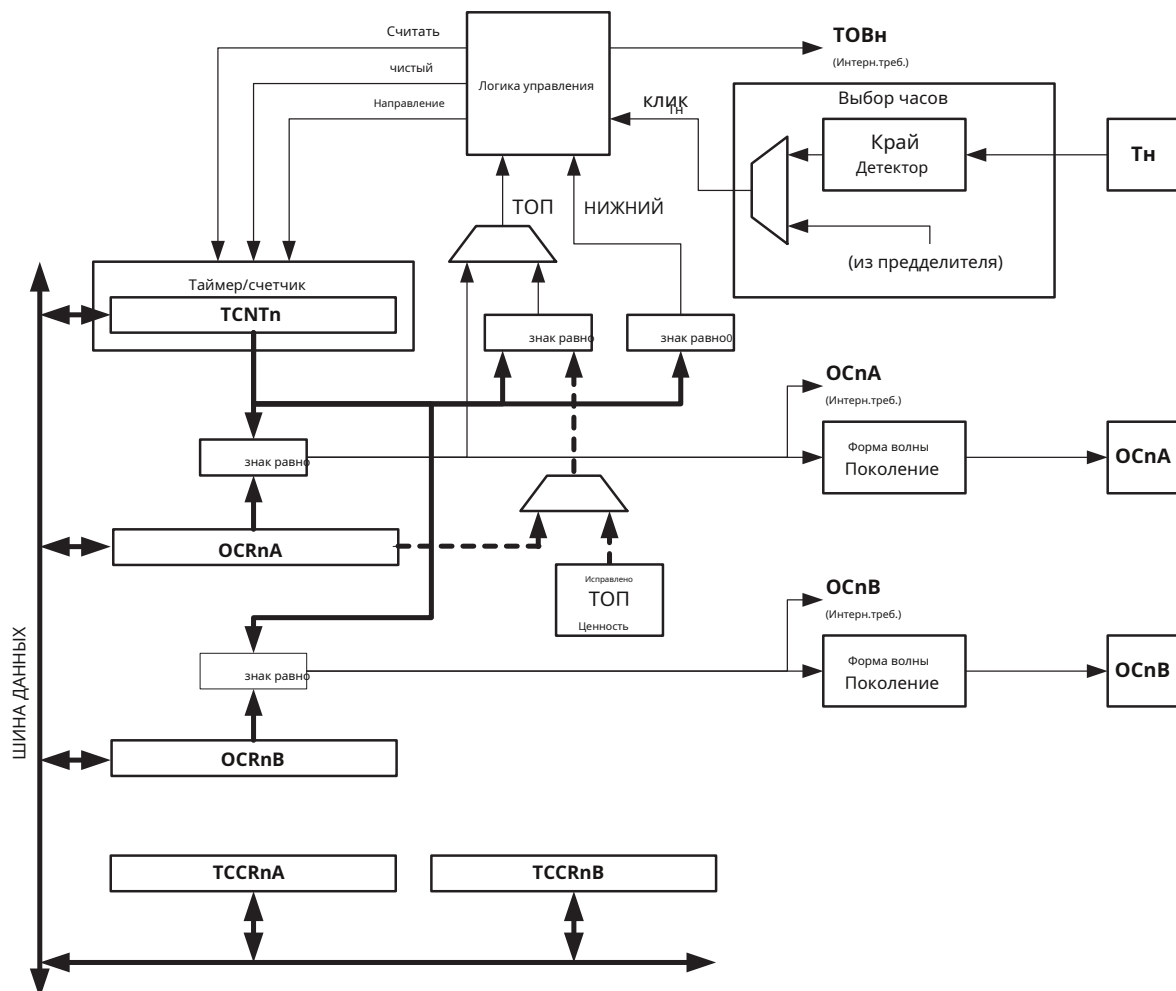
- Два независимых блока сравнения вывода
- Регистры сравнения вывода с двойной буферизацией
- Очистить таймер при сравнении совпадений (автоматическая перезагрузка)
- Фазокорректирующий широтно-импульсный модулятор (ШИМ) без сбоев
- Переменный период ШИМ
- Генератор частоты
- Три независимых источника прерываний (TOV0, OCF0A и OCF0B)

### 16.2 Обзор

Timer/Counter0 — это 8-разрядный модуль таймера/счетчика общего назначения с двумя независимыми блоками сравнения выходов и поддержкой ШИМ. Это позволяет точно определять время выполнения программы (управление событиями) и генерировать волны.

Упрощенная блок-схема 8-битного таймера/счетчика показана на рис. [Рисунок 16-1](#). Фактическое размещение контактов ввода/вывода см. «[Распиновка TQFP ATmega640/1280/2560](#)» на стр. 2. Регистры ввода-вывода, доступные ЦП, включая биты ввода-вывода и контакты ввода-вывода, выделены жирным шрифтом. Специфичные для устройства регистры ввода-вывода и расположение битов перечислены в «[Описание регистра](#)» на стр. 126.

**Рисунок 16-1.** Блок-схема 8-битного таймера/счетчика



16.2.1 Регистры

Регистры таймера/счетчика (TCNT0) и регистры сравнения выходов (OCR0A и OCR0B) являются 8-битными регистрами. Все сигналы запроса прерывания (сокращенно Int.Req. на рисунке) отображаются в регистре флагов прерывания таймера (TIFR0). Все прерывания индивидуально маскируются с помощью регистра маски прерывания таймера (TIMSK0). TIFR0 и TIMSK0 на рисунке не показаны.

Таймер/счетчик может синхронизироваться внутри, через предварительный делитель или с помощью внешнего источника синхронизации на выводе T0. Логический блок Clock Select управляет тем, какой источник тактового сигнала и фронт используются Таймером/Счетчиком для увеличения (или уменьшения) его значения. Таймер/счетчик неактивен, если не выбран источник синхронизации. Выход логики выбора часов называется часами таймера (clkto).

Регистры сравнения вывода с двойной буферизацией (OCR0A и OCR0B) постоянно сравниваются со значением таймера/счетчика. Результат сравнения может использоваться генератором сигналов для генерации выходного сигнала ШИМ или переменной частоты на выводах сравнения выходов (OC0A и OC0B).См. «Блок сравнения выходов» на стр. 117,для деталей. Событие Compare Match также установит флаг сравнения (OCF0A или OCF0B), который можно использовать для генерации запроса на прерывание сравнения вывода.

16.2.2 Определения

Многие ссылки на регистры и биты в этом разделе написаны в общем виде. Строчная буква «n» заменяет номер таймера/счетчика, в данном случае 0. Строчная буква «x» заменяет выходной блок сравнения, в данном случае блок сравнения A или блок сравнения B. Однако при использовании регистра или бита определяется в программе должна использоваться точная форма, то есть TCNT0 для доступа к значению счетчика Timer/Counter0 и так далее.

Определения вТаблица 16-1также широко используются в документе. Таблица

16-1. Определения

|          |   |
|----------|---|
| НИЖНИЙ   | Счетчик достигает ВОТТОМ, когда становится равным 0x00.   |
| МАКСИМУМ | Счетчик достигает максимального значения, когда становится равным 0xFF (десятичное число 255).  |
| ТОП      | Счетчик достигает ТОР, когда становится равным наибольшему значению в последовательности счета. Значение ТОР может быть фиксированным значением 0xFF (MAX) или значением, хранящимся в регистре OCR0A. Назначение зависит от режима работы. |

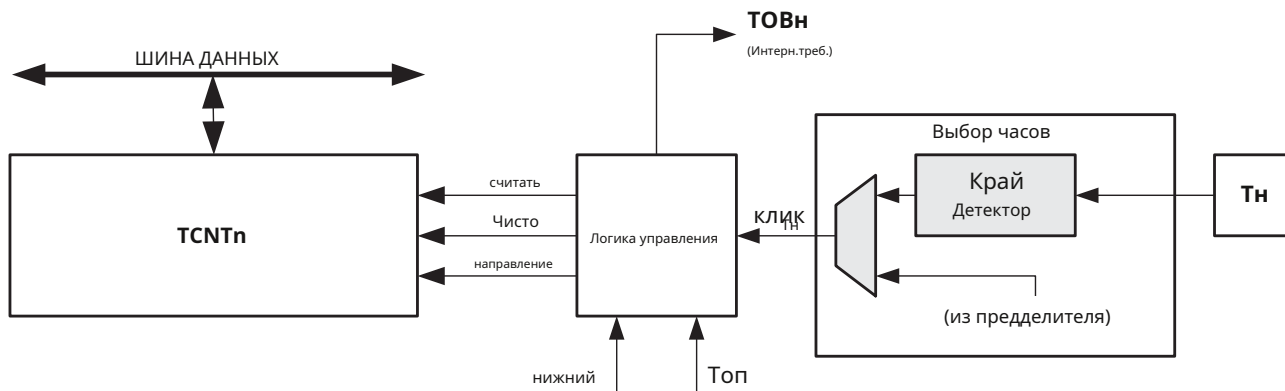
16.3 Источники синхронизации таймера/счетчика

Таймер/счетчик может синхронизироваться от внутреннего или внешнего источника синхронизации. Источник тактового сигнала выбирается логикой выбора тактового сигнала, которая управляется битами выбора тактового сигнала (CS02:0), расположенными в регистре управления таймером/счетчиком (TCCR0B). Подробнее об источниках тактовых импульсов и прескалере см.«Таймер/счетчик 0, 1, 3, 4 и 5 предделителей» на стр. 164.

16.4 Счетчик

Основной частью 8-битного таймера/счетчика является блок программируемого двунаправленного счетчика.Рис. 16-2 на стр. 117 показывает блок-схему счетчика и его окружения.

**Рисунок 16-2. Блок-схема счетчика**



Описание сигнала (внутренние сигналы):

|                          |   |
|--------------------------|---|
| <b>считать</b>           | Увеличение или уменьшение TCNT0 на 1.                           |
| <b>направление</b>       | Выберите между увеличением и уменьшением.                       |
| <b>Чисто</b>             | Очистите TCNT0 (установите все биты на ноль).                   |
| <b>клик<sub>Тн</sub></b> | Часы таймера/счетчика, называемые clk <sub>тоВ</sub> следующих. |
| <b>Топ</b>               | Сигнализирует, что TCNT0 достиг максимального значения.         |
| <b>нижний</b>            | Сигнализирует, что TCNT0 достиг минимального значения (нуля).   |

В зависимости от используемого режима работы счетчик очищается, увеличивается или уменьшается на каждом такте таймера (clk<sub>то</sub>). clk<sub>тоВ</sub> может генерироваться из внешнего или внутреннего источника синхронизации, выбираемого битами выбора синхронизации (CS02:0). Если источник синхронизации не выбран (CS02:0 = 0), таймер останавливается. Однако CPU может получить доступ к значению TCNT0 независимо от того, включен ли clk.<sub>то</sub> присутствует или нет. Запись ЦП отменяет (имеет приоритет над) все операции очистки или подсчета счетчика.

Последовательность счета определяется установкой битов WGM01 и WGM00, расположенных в регистре управления таймером/счетчиком (TCCR0A), и бита WGM02, расположенного в регистре управления таймером/счетчиком В (TCCR0B). Существует тесная связь между тем, как ведет себя счетчик (подсчитывает) и тем, как формируются сигналы на выходах сравнения выходов OC0A и OC0B. Дополнительные сведения о расширенных последовательностях счета и генерации сигналов см. «Режимы работы» на стр. 120.

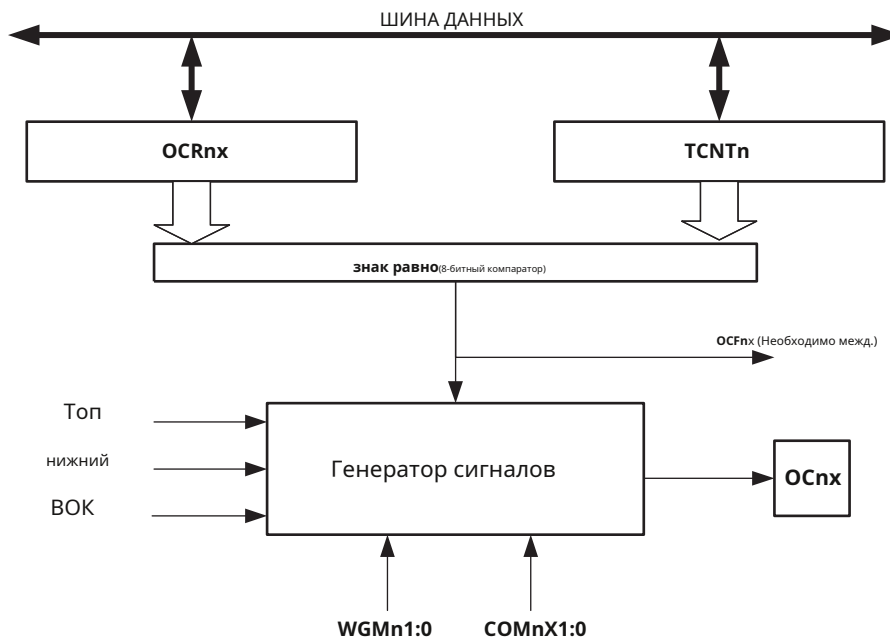
Флаг переполнения таймера/счетчика (TOV0) устанавливается в соответствии с режимом работы, выбранным битами WGM02:0. TOV0 может использоваться для генерации прерывания процессора.

## 16.5 Блок сравнения выходных данных

8-битный компаратор непрерывно сравнивает TCNT0 с выходными регистрами сравнения (OCR0A и OCR0B). Всякий раз, когда TCNT0 равен OCR0A или OCR0B, компаратор сигнализирует о совпадении. Совпадение установит выходной флаг сравнения (OCF0A или OCF0B) на следующем такте таймера. Если соответствующее прерывание разрешено, флаг сравнения вывода генерирует прерывание сравнения вывода. Флаг сравнения вывода автоматически сбрасывается при выполнении прерывания. В качестве альтернативы, флаг может быть очищен программным обеспечением путем записи логической единицы в его позицию бита ввода-вывода. Генератор сигналов использует сигнал согласования для генерации выходного сигнала в соответствии с режимом работы, установленным битами WGM02:0 и битами режима сравнения выходных данных (COM0x1:0). Максимальный и нижний сигналы используются генератором сигналов для обработки особых случаев экстремальных значений в некоторых режимах работы («Режимы работы» на стр. 120).

Рис. 16-3 на стр. 118 показывает блок-схему блока сравнения выходных данных.

**Рисунок 16-3.**Блок сравнения выходных данных, блок-схема



Регистры OCR0x имеют двойную буферизацию при использовании любого из режимов широтно-импульсной модуляции (ШИМ). Для нормального режима работы и режима работы Clear Timer on Compare (СТС) двойная буферизация отключена. Двойная буферизация синхронизирует обновление регистров сравнения OCR0x либо с началом, либо с концом последовательности подсчета. Синхронизация предотвращает появление несимметричных ШИМ-импульсов нечетной длины, тем самым устраняя помехи на выходе.

Доступ к регистру OCR0x может показаться сложным, но это не так. Когда двойная буферизация включена, ЦП имеет доступ к буферному регистру OCR0x, а если двойная буферизация отключена, ЦП будет напрямую обращаться к OCR0x.

#### 16.5.1 Сравнение принудительного выхода

В режимах генерации сигнала без ШИМ выходной сигнал совпадения компаратора можно принудительно установить, записав единицу в бит принудительного сравнения выходного сигнала (FOC0x). Принудительное сравнение совпадений не установит флаг OCF0x и не перезагрузит/сбросит таймер, но вывод OC0x будет обновлен, как если бы произошло реальное совпадение сравнения (настройки битов COM0x1:0 определяют, установлен ли вывод OC0x, очищен или переключен).

#### 16.5.2 Сравните блокировку совпадений при записи TCNT0

Все операции записи ЦП в регистр TCNT0 будут блокировать любое совпадение сравнения, которое произойдет в следующем тактовом цикле таймера, даже если таймер остановлен. Эта функция позволяет инициализировать OCR0x с тем же значением, что и TCNT0, без запуска прерывания, когда включены часы таймера/счетчика.

#### 16.5.3 Использование блока сравнения выходных данных

Поскольку запись TCNT0 в любом режиме работы блокирует все совпадения сравнения на один такт таймера, существует риск, связанный с изменением TCNT0 при использовании блока сравнения выходов, независимо от того, работает таймер/счетчик или нет. Если значение, записанное в TCNT0, равно значению OCR0x, сравнение будет пропущено, что приведет к неправильной генерации сигнала. Точно так же не записывайте значение TCNT0, равное BOTTOM, когда счетчик ведет обратный отсчет.

Имейте в виду, что биты COM0x1:0 не буферизуются дважды вместе со значением сравнения. Изменение битов COM0x1:0 вступит в силу немедленно.

Биты режима сравнения вывода (COM0x1:0) выполняют две функции. Генератор сигналов использует биты COM0x1:0 для определения состояния сравнения выхода (OC0x) при следующем совпадении сравнения. Кроме того, биты COM0x1:0 управляют источником вывода вывода OC0x. **Рисунок 16-4** показывает упрощенную схему логики, на которую влияет установка бита COM0x1:0. Регистры ввода-вывода, биты ввода-вывода и контакты ввода-вывода на рисунке выделены жирным шрифтом. Показаны только те части общих регистров управления портами ввода/вывода (DDR и PORT), на которые влияют биты COM0x1:0. Когда речь идет о состоянии OC0x, имеется в виду внутренний регистр OC0x, а не вывод OC0x. Если происходит сброс системы, регистр OC0x сбрасывается в «0».

Конструкция логики вывода сравнения выходов позволяет инициализировать состояние OC0x перед включением выхода. Обратите внимание, что некоторые настройки битов COM0x1:0 зарезервированы для определенных режимов работы. Видеть «[Описание регистра](#)» на стр. 126.

Генератор сигналов по-разному использует биты COM0x1:0 в режимах Normal, CTC и PWM. Для всех режимов установка COM0x1:0 = 0 сообщает генератору сигналов, что никакие действия над регистром OC0x не должны выполняться при следующем совпадении сравнения. Для сравнения выходных действий в режимах без ШИМ см. [Табл. 16-2 на стр. 126](#). Информацию о быстром ШИМ-режиме см. [Табл. 16-3 на стр. 126](#), а ШИМ с правильной фазой см. [Табл. 16-4 на стр. 127](#).

АТmega640/V-1280/V-1281/V-2560/V-2561/V ТЕХНИЧЕСКОЕ ОПИСАНИЕ

## 16.7 Режимы работы

Режим работы, т. е. поведение выводов таймера/счетчика и выхода сравнения, определяется комбинацией битов режима генерации сигнала (WGM02:0) и режима сравнения вывода (COM0x1:0). Биты режима сравнения выходных данных не влияют на последовательность подсчета, в то время как биты режима генерации сигналов влияют. Биты COM0x1:0 определяют, должен ли генерируемый выходной сигнал ШИМ инвертироваться или нет (инвертированный или неинвертированный ШИМ). Для режимов без ШИМ биты COM0x1:0 определяют, должен ли выход быть установлен, очищен или переключен при совпадении сравнения. См. «Сравнить единицы вывода соответствия» на стр. 143.

Для получения подробной информации о времени см. «Временные диаграммы таймера/счетчика» на стр. 124..

### 16.7.1 Нормальный режим

Самый простой режим работы — это Нормальный режим (WGM02:0 = 0). В этом режиме направление счета всегда вверх (приращение), и сброс счетчика не выполняется. Счетчик просто выходит за пределы своего максимального 8-битного значения (TOP = 0xFF), а затем перезапускается с нуля (0x00). При нормальной работе флаг переполнения таймера/счетчика (TOV0) будет установлен в том же такте таймера, когда TCNT0 станет равным нулю. Флаг TOV0 в этом случае ведет себя как девятый бит, за исключением того, что он только устанавливается, а не сбрасывается. Однако в сочетании с прерыванием переполнения таймера, которое автоматически сбрасывает флаг TOV0, разрешающая способность таймера может быть увеличена с помощью программного обеспечения. В обычном режиме нет особых случаев для рассмотрения, новое значение счетчика может быть записано в любое время.

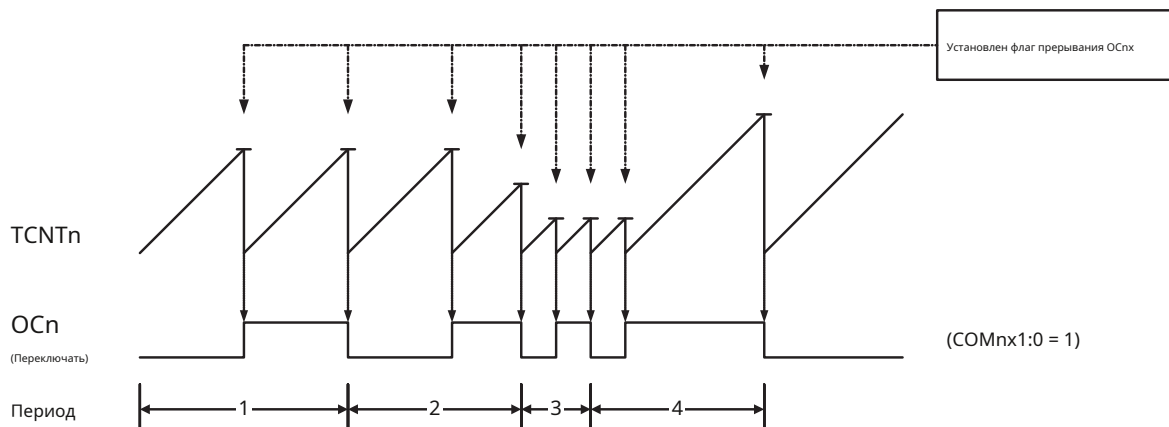
Блок сравнения вывода может использоваться для генерации прерываний в некоторый момент времени. Использование Output Compare для генерации сигналов в нормальном режиме не рекомендуется, так как это займет слишком много времени процессора.

### 16.7.2 Сброс таймера в режиме сравнения совпадений (СТС)

В режиме Clear Timer on Compare или СТС (WGM02:0 = 2) регистр OCR0A используется для управления разрешением счетчика. В режиме СТС счетчик обнуляется, когда значение счетчика (TCNT0) соответствует OCR0A. OCR0A определяет максимальное значение счетчика, а значит, и его разрешение. Этот режим позволяет лучше контролировать выходную частоту Compare Match. Это также упрощает операцию подсчета внешних событий.

Временная диаграмма для режима СТС показана на [Рисунок 16-5](#). Значение счетчика (TCNT0) увеличивается до тех пор, пока не произойдет совпадение сравнения между TCNT0 и OCR0A, после чего счетчик (TCNT0) очищается.

**Рисунок 16-5.**Режим СТС, временная диаграмма



Прерывание может генерироваться каждый раз, когда значение счетчика достигает значения TOP, с помощью флага OCF0A. Если прерывание разрешено, процедура обработки прерывания может использоваться для обновления значения TOP. Однако изменение TOP на значение, близкое к BOTTOM, когда счетчик работает без значения предварительного делителя или с низким значением предварительного делителя, должно выполняться с осторожностью, поскольку режим СТС не имеет функции двойной буферизации. Если новое значение, записанное в OCR0A, меньше текущего значения TCNT0, счетчик пропустит сравнение. Счетчик затем должен будет считать до своего максимального значения (0xFF) и выполнить цикл, начиная с 0x00, прежде чем может произойти сравнение совпадений.

Для генерации выходного сигнала в режиме СТС выход OC0A можно настроить на переключение своего логического уровня при каждом совпадении сравнения, установив биты режима вывода сравнения в режим переключения (COM0A1:0 = 1). Значение OC0A не будет отображаться на выводе порта, если направление данных для вывода не установлено на вывод. Сгенерированный сигнал будет иметь максимальную частоту  $f_{OC0} = f_{clk\_I/O}/2$ , когда OCR0A установлен на ноль (0x00). Частота сигнала определяется следующим уравнением:

$$f_{OC0} = \frac{\phi}{2 \cdot H - 1 + OCRn} \cdot f_{clk\_I/O}$$

фазовый сдвиг

The H переменная представляет коэффициент предварительного масштабирования (1, 8, 64, 256 или 1024).

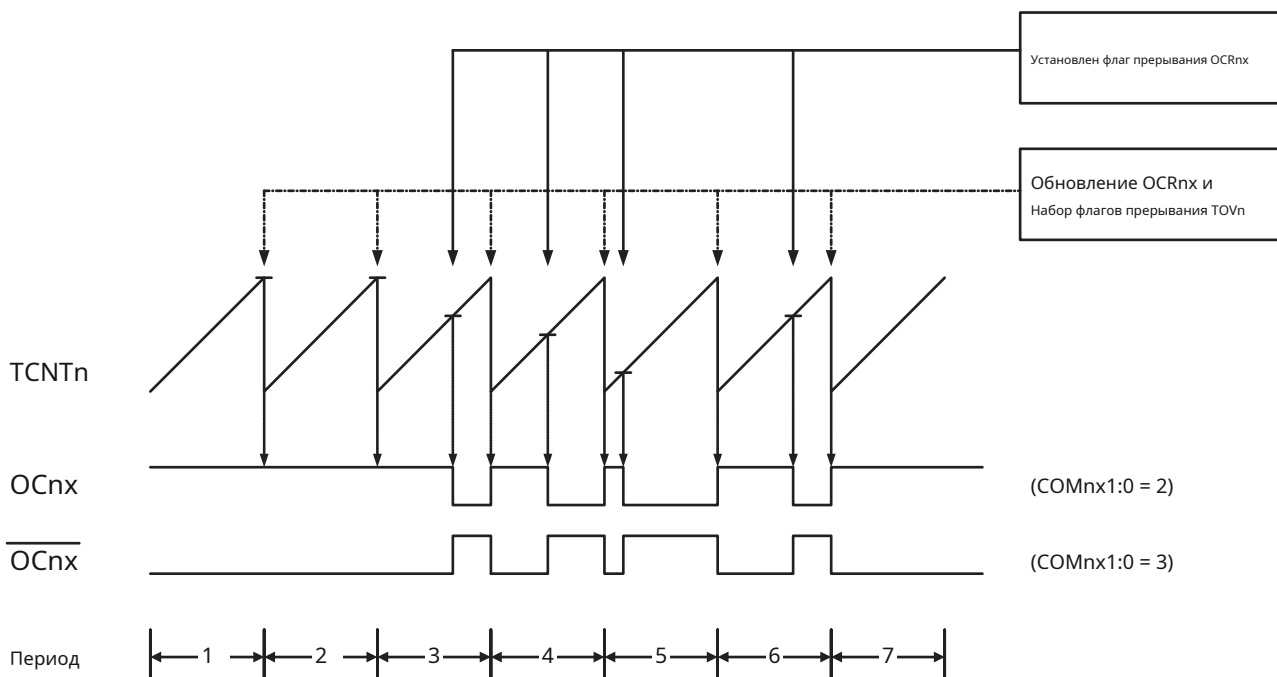
Что касается нормального режима работы, то флаг TOV0 устанавливается в том же такте таймера, когда счетчик ведет отсчет от MAX до 0x00.

### 16.7.3 Быстрый ШИМ-режим

Быстрая широтно-импульсная модуляция или быстрый режим ШИМ (WGM02:0 = 3 или 7) обеспечивает возможность генерации высокочастотного сигнала ШИМ. Быстрый ШИМ отличается от других вариантов ШИМ тем, что работает с одним наклоном. Счетчик считает от НИЗА к ВЕРХУ, затем перезапускается с НИЗА. TOP определяется как 0xFF, когда WGM2:0 = 3, и OCR0A, когда WGM2:0 = 7. В режиме неинвертирующего сравнения выходных данных выходное сравнение (OC0x) сбрасывается при совпадении сравнения между TCNT0 и OCR0x и устанавливается на BOTTOM. В инвертирующем режиме сравнения выходной сигнал устанавливается на «Сравнить совпадение» и сбрасывается в BOTTOM. Из-за работы с одним наклоном рабочая частота в быстром режиме ШИМ может быть в два раза выше, чем в режиме ШИМ с правильной фазой, в котором используется работа с двойным наклоном. Эта высокая частота делает быстрый режим ШИМ хорошо подходящим для регулирования мощности, выпрямления и приложений ЦАП.

В быстром режиме PWM счетчик увеличивается до тех пор, пока значение счетчика не совпадет со значением TOP. Затем счетчик очищается в следующем такте таймера. Временная диаграмма для быстрого режима PWM показана на [Рисунок 16-6](#). Значение TCNT0 показано на временной диаграмме в виде гистограммы для иллюстрации работы с одним наклоном. На схеме представлены неинвертированные и инвертированные выходы ШИМ. Небольшие метки горизонтальной линии на склонах TCNT0 представляют совпадения сравнения между OCR0x и TCNT0.

**Рисунок 16-6.** Быстрый режим PWM, временная диаграмма



Флаг переполнения таймера/счетчика (TOV0) устанавливается каждый раз, когда счетчик достигает TOP. Если прерывание разрешено, процедура обработки прерывания может использоваться для обновления значения сравнения.

В быстром режиме ШИМ блок сравнения позволяет генерировать сигналы ШИМ на выводах OC0x. Установка битов COM0x1:0 в два приведет к неинвертированному ШИМ, а инвертированный выход ШИМ может быть сгенерирован установкой COM0x1:0 в три: Установка битов COM0A1:0 в один позволяет выводу OC0A переключаться на сравнение совпадений, если установлен бит WGM02. Эта опция недоступна для вывода OC0B (см. Табл. 16-3 на стр. 126). Фактическое значение OC0x будет видно на выводе порта только в том случае, если направление данных для вывода порта установлено как выход. Форма волны ШИМ генерируется установкой (или очисткой) регистра OC0x при совпадении сравнения между OCR0x и TCNT0 и очисткой (или установкой) регистра OC0x в тактовом цикле таймера, когда счетчик очищается (меняется с TOP на BOTTOM).

Частота ШИМ для выхода может быть рассчитана по следующему уравнению:

$$f_{OCnPWM} = \frac{\phi}{\text{знак равенств}_{I/O} \cdot H-256}$$

The  $H$  переменная представляет коэффициент предварительного масштабирования (1, 8, 64, 256 или 1024).

Экстремальные значения для регистра OCR0A представляют собой особые случаи при генерации выходного сигнала ШИМ в быстром режиме ШИМ. Если OCR0A установлен равным BOTTOM, на выходе будет узкий пик для каждого такта таймера MAX+1. Установка OCR0A равным MAX приведет к постоянно высокому или низкому выходному сигналу (в зависимости от полярности выхода, установленной битами COM0A1:0).

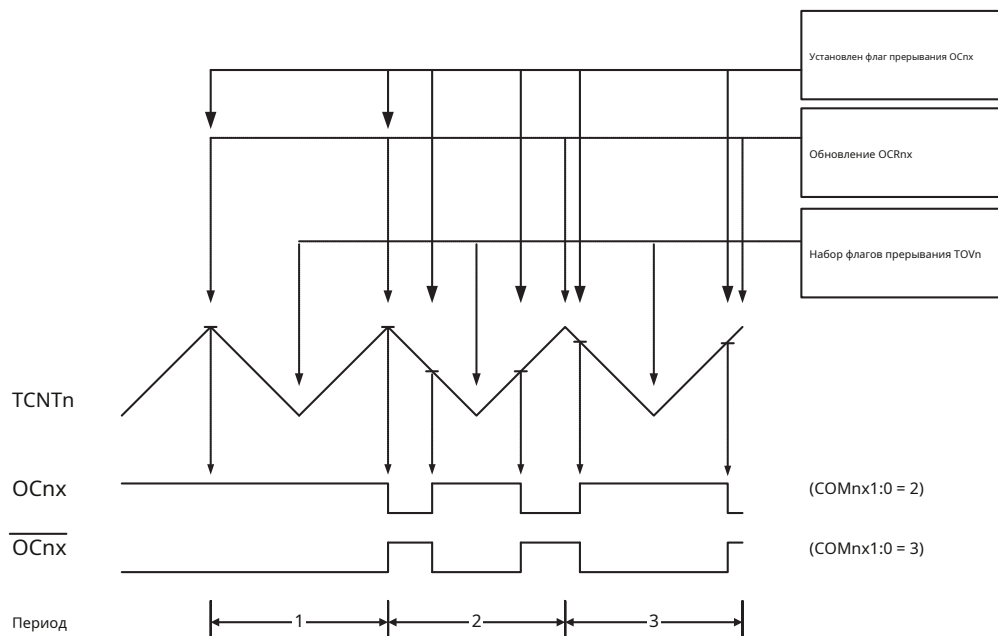
Выходной сигнал с частотой (с коэффициентом заполнения 50%) в быстром режиме ШИМ можно получить, установив OC0x для переключения его логического уровня при каждом совпадении сравнения (COM0x1:0 = 1). Сгенерированный сигнал будет иметь максимальную частоту  $f_{OC0} = f_{clk\_I/O}/2$ , когда OCR0A установлен на ноль. Эта функция аналогична переключателю OC0A в режиме CTC, за исключением того, что функция двойного буфера блока сравнения выходов включается в быстром режиме PWM.

#### 16.7.4 Режим фазовой коррекции ШИМ

Режим ШИМ с фазовой корректировкой (WGM02:0 = 1 или 5) обеспечивает возможность генерации сигнала ШИМ с фазовой корректировкой высокого разрешения. Режим ШИМ с корректной фазой основан на работе с двойным наклоном. Счетчик постоянно считает от НИЗА к ВЕРХУ, а затем от ВЕРХА к НИЗУ. TOP определяется как 0xFF, когда WGM2:0 = 1, и OCR0A, когда WGM2:0 = 5. В неинвертирующем режиме сравнения выходных данных выходное сравнение (OC0x) сбрасывается при совпадении сравнения между TCNT0 и OCR0x во время прямого счета и устанавливается на Сравнить совпадение при обратном счете. В инвертирующем режиме сравнения выходов операция инвертируется. Работа с двумя наклонами имеет более низкую максимальную рабочую частоту, чем работа с одним наклоном. Однако из-за симметричности режимов ШИМ с двумя наклонами эти режимы предпочтительны для приложений управления двигателем.

В режиме PWM с корректной фазой счетчик увеличивается до тех пор, пока значение счетчика не совпадет с TOP. Когда счетчик достигает TOP, он меняет направление счета. Значение TCNT0 будет равно TOP для одного такта таймера. Временная диаграмма для фазово-корректного режима ШИМ показана на Рис. 16-7 на стр. 123. Значение TCNT0 показано на временной диаграмме в виде гистограммы, иллюстрирующей работу с двумя наклонами. На схеме представлены неинвертированные и инвертированные выходы ШИМ. Небольшие метки горизонтальной линии на склонах TCNT0 представляют совпадения сравнения между OCR0x и TCNT0.





Флаг переполнения таймера/счетчика (TOV0) устанавливается каждый раз, когда счетчик достигает НИЗА. Флаг прерывания может использоваться для генерации прерывания каждый раз, когда счетчик достигает значения BOTTOM.

В режиме ШИМ с корректной фазой блок сравнения позволяет генерировать сигналы ШИМ на выходах OC0x. Установка битов COM0x1:0 в два приведет к неинвертированному ШИМ. Инвертированный выход ШИМ может быть сгенерирован установкой COM0x1:0 на три: Установка битов COM0A0 на единицу позволяет выводу OC0A переключаться на сравнение совпадений, если установлен бит WGM02. Эта опция недоступна для вывода OC0B (см. [Табл. 16-4 на стр. 127](#)). Фактическое значение OC0x будет видно на выводе порта только в том случае, если направление данных для вывода порта установлено как выход. Сигнал ШИМ генерируется очисткой (или установкой) регистра OC0x при совпадении сравнения между OCR0x и TCNT0, когда счетчик увеличивается, и установкой (или очисткой) регистра OC0x при совпадении сравнения между OCR0x и TCNT0, когда счетчик уменьшается. Частота ШИМ для выхода при использовании фазовой корректной ШИМ может быть рассчитана по следующему уравнению:

$\phi$

$\phi O C n x P C P W M$  знак равно с --- л-к-т-5-1-10

Переменная N представляет коэффициент предварительного масштабирования (1, 8, 64, 256 или 1024).

Экстремальные значения для регистра OCR0A представляют собой особые случаи при генерации выходного сигнала ШИМ в режиме ШИМ с правильной фазой. Если OCR0A установлен равным BOTTOM, выход будет постоянно низким, а если установлен равным MAX, выход будет постоянно высоким для неинвертированного режима PWM. Для инвертированного ШИМ выход будет иметь противоположные логические значения.

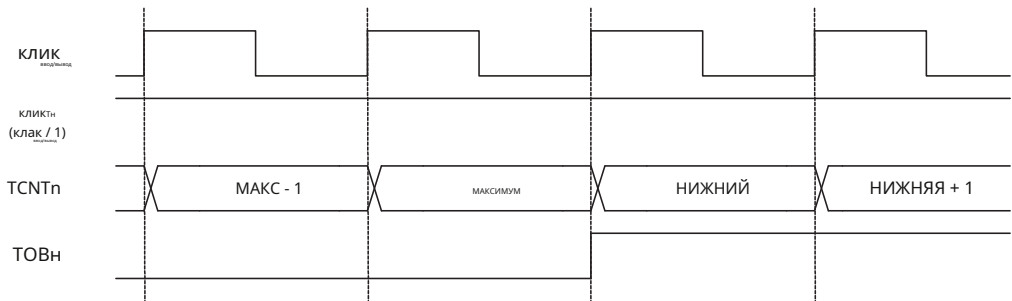
В самом начале 2 периода в [Рисунок 16-7](#) ОСпх имеет переход от высокого к низкому, даже если нет сравнения совпадений. Смысл этого перехода в том, чтобы гарантировать симметрию вокруг НИЗА. Есть два случая, которые дают переход без Compare Match.

- OCR0A меняет свое значение с MAX, как в [Рисунок 16-7](#). Когда значение OCR0A равно MAX, значение на выводе ОСп такое же, как и в результате сравнения совпадений с обратным счетом. Чтобы обеспечить симметрию относительно BOTTOM, значение ОСп в точке MAX должно соответствовать результату сравнения Match с прямым счетом.
- Таймер начинает отсчет со значения, превышающего значение в OCR0A, и по этой причине пропускает сравнение совпадений и, следовательно, изменение ОСп, которое могло бы произойти на пути вверх.

## 16.8 Временные диаграммы таймера/счетчика

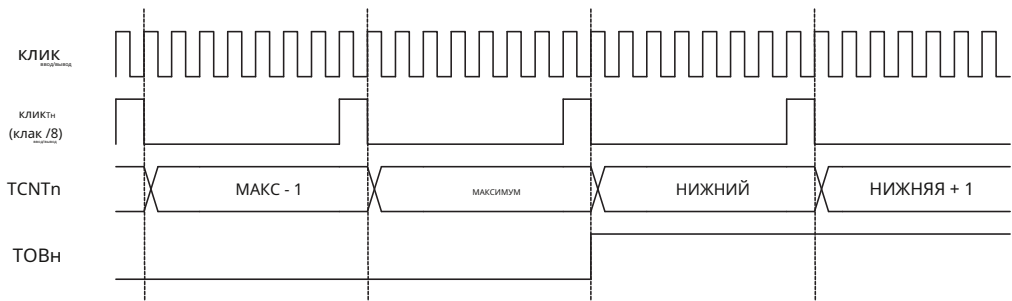
Таймер/счетчик представляет собой синхронную конструкцию, а часы таймера (clkto) поэтому показан как сигнал включения часов на следующих рисунках. На рисунках указана информация о том, когда установлены флаги прерывания. [Рисунок 16-8](#) содержит временные данные для основных операций таймера/счетчика. На рисунке показана последовательность счета, близкая к максимальному значению во всех режимах, кроме фазово-корректного режима ШИМ.

**Рисунок 16-8.** Временная диаграмма таймера/счетчика, без предварительного масштабирования



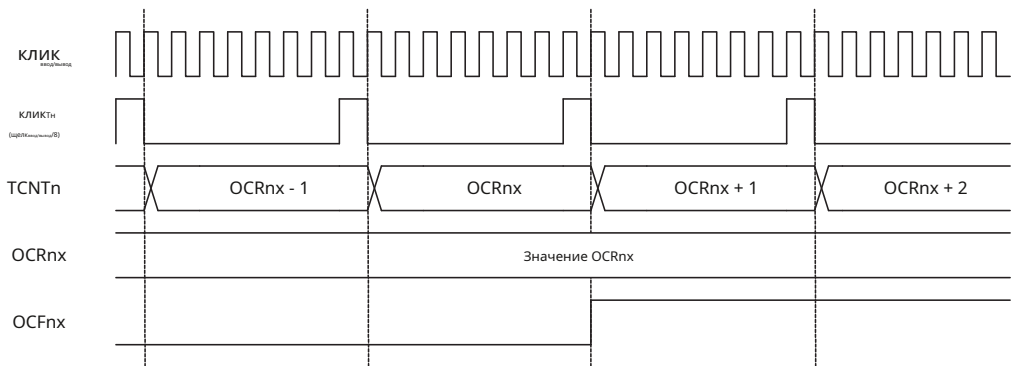
[Рисунок 16-9](#) показывает те же временные данные, но с включенным предварительным делителем.

**Рисунок 16-9.** Временная диаграмма таймера/счетчика с предварительным делителем ( $f_{clk\_I/O}/8$ )



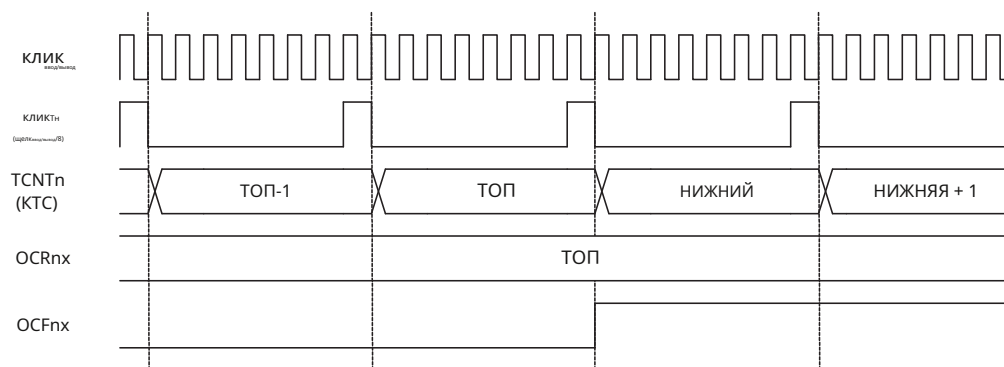
[Рисунок 16-10](#) показывает настройку OCF0B во всех режимах и OCF0A во всех режимах, кроме режима CTC и режима PWM, где OCR0A имеет значение TOP.

**Рисунок 16-10.** Временная диаграмма таймера/счетчика, настройка OCF0x с предварительным делителем ( $f_{clk\_I/O}/8$ )



[Рис. 16-11 на стр. 125](#) показывает настройку OCF0A и очистку TCNT0 в режиме CTC и в быстром режиме PWM, где OCR0A имеет значение TOP.

**Рисунок 16-11.** Временная диаграмма таймера/счетчика, сброс таймера в режиме сравнения совпадений, с предварительным делителем ( $f_{clk\_IO}/8$ )



# 16.9 Описание регистра

## 16.9.1 TCCR0A — Регистр А управления таймером/счетчиком

|                    |        |        |        |        |   |   |       |       |        |
|--------------------|--------|--------|--------|--------|---|---|-------|-------|--------|
| Кусочек            | 7      | 6      | 5      | 4      | 3 | 2 | 1     | 0     |        |
| 0x24 (0x44)        | COM0A1 | COM0A0 | COM0B1 | COM0B0 | – | – | WGM01 | WGM00 | TCCR0A |
| Читай пиши         | Ч/З    | Ч/З    | Ч/З    | Ч/З    | р | р | Ч/З   | Ч/З   |        |
| Начальное значение | 0      | 0      | 0      | 0      | 0 | 0 | 0     | 0     |        |

### • Биты 7:6 – COM0A1:0: сравнение режима выхода А.

Эти биты управляют поведением вывода сравнения выходов (OC0A). Если один или оба бита COM0A1:0 установлены, выход OC0A переопределяет нормальную функциональность порта вывода ввода-вывода, к которому он подключен. Однако обратите внимание, что бит регистра направления данных (DDR), соответствующий выводу OC0A, должен быть установлен, чтобы активировать выходной драйвер.

Когда OC0A подключен к выводу, функция битов COM0A1:0 зависит от установки бита WGM02:0. Таблица 16-2 показывает функциональность бита COM0A1:0, когда биты WGM02:0 установлены в нормальный режим или режим CTC (без ШИМ).

Таблица 16-2. Сравните режим вывода, режим без ШИМ

| COM0A1 | COM0A0 | Описание                                 |
|--------|--------|--|
| 0      | 0      | Нормальная работа порта, OC0A отключен   |
| 0      | 1      | Переключить OC0A на сравнение совпадений |
| 1      | 0      | Очистить OC0A при сравнении совпадений   |
| 1      | 1      | Установите OC0A при сравнении совпадений |

Таблица 16-3 показывает функциональность бита COM0A1:0, когда биты WGM01:0 установлены в быстрый режим PWM.

Таблица 16-3. Сравните режим вывода, режим быстрого ШИМ(1)

| COM0A1 | COM0A0 | Описание   |
|--------|--------|--|
| 0      | 0      | Нормальная работа порта, OC0A отключен   |
| 0      | 1      | WGM02 = 0: нормальная работа порта, OC0A отключен<br>WGM02 = 1: включить OC0A при сравнении соответствия |
| 1      | 0      | Очистите OC0A при сравнении совпадений, установите OC0A в BOTTOM (неинвертирующий режим)                 |
| 1      | 1      | Установите OC0A на Compare Match, снимите OC0A на BOTTOM (инвертирующий режим)                           |

Примечание: 1. Особый случай возникает, когда OCR0A равен TOP и установлен COM0A1. В этом случае сравнение совпадений игнорируется, но установка или очистка выполняется в BOTTOM. Видеть «Режим быстрого ШИМ» на стр. 121. Больше подробностей.

Табл. 16-4 на стр. 127 показывает функциональность бита COM0A1:0, когда биты WGM02:0 установлены в режим PWM с корректной фазой.

**Таблица 16-4.** Сравните режим вывода, режим фазовой коррекции PWM<sup>(1)</sup>

| COM0A1 | COM0A0 | Описание  |
|--------|--------|---|
| 0      | 0      | Нормальная работа порта, OC0A отключен  |
| 0      | 1      | WGM02 = 0: нормальная работа порта, OC0A отключен<br>WGM02 = 1: включить OC0A при сравнении соответствия                  |
| 1      | 0      | Очистите OC0A при сравнении совпадений при прямом подсчете. Установите OC0A для сравнения совпадений, когда обратный счет |
| 1      | 1      | Установите OC0A на «Сравнить совпадение» при прямом подсчете. Очистите OC0A при сравнении совпадений, когда обратный счет |

Примечание: 1. Особый случай возникает, когда OCR0A равен TOP и установлен COM0A1. В этом случае Compare Match игнорируется, но установка или очистка выполняется в TOP. Видеть «Режим ШИМ с фазовой коррекцией» на стр. 122. Больше подробностей.

• **Биты 5:4 – COM0B1:0: Сравнить совпадение выходного сигнала В, режим**

Эти биты управляют поведением вывода сравнения выходов (OC0B). Если один или оба бита COM0B1:0 установлены, выход OC0B переопределяет нормальную функциональность порта вывода ввода-вывода, к которому он подключен. Однако обратите внимание, что бит регистра направления данных (DDR), соответствующий выводу OC0B, должен быть установлен, чтобы активировать выходной драйвер.

Когда OC0B подключен к выводу, функция битов COM0B1:0 зависит от установки бита WGM02:0. Таблица 16-5 показывает функциональность бита COM0B1:0, когда биты WGM02:0 установлены в нормальный режим или режим CTC (без ШИМ).

**Таблица 16-5.** Сравните режим вывода, режим без ШИМ

| COM0B1 | COM0B0 | Описание                                 |
|--------|--------|--|
| 0      | 0      | Нормальная работа порта, OC0B отключен   |
| 0      | 1      | Переключить OC0B на сравнение совпадений |
| 1      | 0      | Очистить OC0B при сравнении совпадений   |
| 1      | 1      | Установите OC0B при сравнении совпадений |

Таблица 16-6 показывает функциональность бита COM0B1:0, когда биты WGM02:0 установлены в быстрый режим PWM.

**Таблица 16-6.** Сравните режим вывода, режим быстрого ШИМ<sup>(1)</sup>

| COM0B1 | COM0B0 | Описание   |
|--------|--------|--|
| 0      | 0      | Нормальная работа порта, OC0B отключен   |
| 0      | 1      | Сдержанный   |
| 1      | 0      | Очистите OC0B при сравнении совпадений, установите OC0B в BOTTOM.<br>(неинвертирующий режим) |
| 1      | 1      | Установите OC0B на Compare Match, снимите OC0B на BOTTOM<br>(инвертирующий режим)            |

Примечание: 1. Особый случай возникает, когда OCR0B равен TOP и установлен COM0B1. В этом случае сравнение совпадений игнорируется, но установка или очистка выполняется в BOTTOM. Видеть «Режим быстрого ШИМ» на стр. 121. Больше подробностей.

Таблица 16-7 показывает функциональность бита COM0B1:0, когда биты WGM02:0 установлены в режим ШИМ с корректной фазой.

Таблица 16-7. Сравните режим вывода, режим фазовой коррекции PWM<sup>(1)</sup>

| COM0B1 | COM0B0 | Описание   |
|--------|--------|--|
| 0      | 0      | Нормальная работа порта, OC0B отключен   |
| 0      | 1      | Сдержанный   |
| 1      | 0      | Очистите OC0B при сравнении совпадений при прямом подсчете. Установите OC0B для сравнения совпадений, когда обратный счет  |
| 1      | 1      | Установите OC0B в параметре Compare Match при прямом подсчете. Очистите OC0B при сравнении совпадений, когда обратный счет |

Примечание: 1. Особый случай возникает, когда OCR0B равен TOP и установлен COM0B1. В этом случае Compare Match игнорируется, но установка или очистка выполняется в TOP. Видеть «Режим ШИМ с фазовой коррекцией» на стр. 122. Больше подробностей.

#### • Биты 3, 2 – Res: Зарезервированные биты

Эти биты зарезервированы и всегда будут считываться как нулевые.

#### • Биты 1:0 – WGM01:0: Режим генерации сигнала

В сочетании с битом WGM02, находящимся в регистре TCCR0B, эти биты управляют последовательностью подсчета счетчика, источником максимального (TOP) значения счетчика и используемым типом генерации сигнала, см. Таблица 16-8. Блок таймера/счетчика поддерживает следующие режимы работы: нормальный режим (счетчик), режим сброса таймера при совпадении сравнения (СТС) и два типа режимов широтно-импульсной модуляции (ШИМ) (см. «Режимы работы» на стр. 144).

Таблица 16-8. Бит режима генерации сигнала Описание

| Режим | WGM2 | WGM1 | WGM0 | Режим таймера/счетчика<br>Операция | ТОП  | Обновление<br>OCRx в | ТОВ Флаг<br>Установить на <sup>(1)(2)</sup> |
|-------|------|------|------|------------------------------------|------|----------------------|---|
| 0     | 0    | 0    | 0    | Обычный                            | 0xFF | Немедленный          | МАКСИМУМ                                    |
| 1     | 0    | 0    | 1    | ШИМ, коррекция фазы                | 0xFF | ТОП                  | НИЖНИЙ                                      |
| 2     | 0    | 1    | 0    | СТС                                | ОКРА | Немедленный          | МАКСИМУМ                                    |
| 3     | 0    | 1    | 1    | Быстрый ШИМ                        | 0xFF | ТОП                  | МАКСИМУМ                                    |
| 4     | 1    | 0    | 0    | Сдержанный                         | –    | –                    | –   |
| 5     | 1    | 0    | 1    | ШИМ, коррекция фазы                | ОКРА | ТОП                  | НИЖНИЙ                                      |
| 6     | 1    | 1    | 0    | Сдержанный                         | –    | –                    | –   |
| 7     | 1    | 1    | 1    | Быстрый ШИМ                        | ОКРА | НИЖНИЙ               | ТОП   |

Примечание: 1. МАКС. = 0xFF  
2. НИЖНЯЯ = 0x00

## 16.9.2 TCCR0B — Регистр управления таймером/счетчиком В

|                    |       |       |   |   |       |      |      |      |        |
|--------------------|-------|-------|---|---|-------|------|------|------|--------|
| Кусочек            | 7     | 6     | 5 | 4 | 3     | 2    | 1    | 0    |        |
| 0x25 (0x45)        | FOC0A | FOC0B | – | – | WGM02 | CS02 | CS01 | CS00 | TCCR0B |
| Читай пиши         | Вт    | Вт    | р | р | Ч/З   | Ч/З  | Ч/З  | Ч/З  |        |
| Начальное значение | 0     | 0     | 0 | 0 | 0     | 0    | 0    | 0    |        |

### • Бит 7 — FOC0A: Принудительное сравнение выхода А

Бит FOC0A активен только тогда, когда биты WGM определяют режим без ШИМ.

Однако для обеспечения совместимости с будущими устройствами этот бит должен быть установлен в ноль при записи TCCR0B при работе в режиме PWM. При записи логической единицы в бит FOC0A на блоке генерации сигнала принудительно выполняется немедленное сравнение. Выход OC0A изменяется в соответствии с настройкой битов COM0A1:0. Обратите внимание, что бит FOC0A реализован как строб. Следовательно, значение, присутствующее в битах COM0A1:0, определяет эффект принудительного сравнения.

Строб FOC0A не будет генерировать никаких прерываний и не будет сбрасывать таймер в режиме CTC, используя OCR0A в качестве TOP.

Бит FOC0A всегда читается как ноль.

### • Бит 6 — FOC0B: принудительное сравнение выходных данных В

Бит FOC0B активен только тогда, когда биты WGM определяют режим без ШИМ.

Однако для обеспечения совместимости с будущими устройствами этот бит должен быть установлен в ноль при записи TCCR0B при работе в режиме PWM. При записи логической единицы в бит FOC0B немедленно принудительно выполняется сравнение совпадений на блоке генерации сигнала. Выход OC0B изменяется в соответствии с настройкой битов COM0B1:0. Обратите внимание, что бит FOC0B реализован как строб. Следовательно, именно значение, присутствующее в битах COM0B1:0, определяет эффект принудительного сравнения.

Строб FOC0B не будет генерировать никаких прерываний и не будет сбрасывать таймер в режиме CTC, используя OCR0B в качестве TOP.

Бит FOC0B всегда читается как ноль.

### • Биты 5:4 – Res: Зарезервированные биты

Эти биты зарезервированы и всегда будут считываться как нулевые.

### • Бит 3 — WGM02: режим генерации сигналов.

Смотрите описание в [«TCCR0A — Регистр А управления таймером/счетчиком» на стр. 126.](#)

### • Биты 2:0 – CS02:0: Выбор часов

Три бита выбора тактового сигнала выбирают источник тактового сигнала, который будет использоваться таймером/счетчиком, см. [Табл. 16-9 на стр. 130.](#)

Таблица 16-9. Бит выбора часов Описание

| CS02 | CS01 | CS00 | Описание   |
|------|------|------|--|
| 0    | 0    | 0    | Нет источника синхронизации (таймер/счетчик остановлен)              |
| 0    | 0    | 1    | клик/вывод/вывод/(без предварительного масштабирования)              |
| 0    | 1    | 0    | клик/вывод/вывод/8 (из прескалера)                                   |
| 0    | 1    | 1    | клик/вывод/вывод/64 (из прескалера)                                  |
| 1    | 0    | 0    | клик/вывод/вывод/256 (из предварительного делителя)                  |
| 1    | 0    | 1    | клик/вывод/вывод/1024 (из прескалера)                                |
| 1    | 1    | 0    | Внешний источник синхронизации на выводе T0. Часы на падающем фронте |
| 1    | 1    | 1    | Внешний источник синхронизации на выводе T0. Часы на переднем фронте |

Если для Timer/Counter0 используются внешние режимы вывода, переходы на выводе T0 будут тактировать счетчик, даже если вывод сконфигурирован как выход. Эта функция позволяет программному управлению подсчетом.

### 16.9.3 TCNT0 — регистр таймера/счетчика

|                    |            |     |     |     |     |     |     |     |       |
|--------------------|------------|-----|-----|-----|-----|-----|-----|-----|-------|
| Кусочек            | 7          | 6   | 5   | 4   | 3   | 2   | 1   | 0   |       |
| 0x26 (0x46)        | TCNT0[7:0] |     |     |     |     |     |     |     | TCNT0 |
| Читай пиши         | Ч/З        | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |       |
| Начальное значение | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |       |

Регистр таймера/счетчика обеспечивает прямой доступ как для операций чтения, так и для записи к 8-битному счетчику блока таймера/счетчика. Запись в регистр TCNT0 блокирует (удаляет) совпадение сравнения на следующих тактах таймера. Изменение счетчика (TCNT0) во время его работы создает риск отсутствия совпадения сравнения между регистрами TCNT0 и OCR0x.

### 16.9.4 OCR0A — Регистр сравнения выходов A

|                    |            |     |     |     |     |     |     |     |       |
|--------------------|------------|-----|-----|-----|-----|-----|-----|-----|-------|
| Кусочек            | 7          | 6   | 5   | 4   | 3   | 2   | 1   | 0   |       |
| 0x27 (0x47)        | OCR0A[7:0] |     |     |     |     |     |     |     | OCR0A |
| Читай пиши         | Ч/З        | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |       |
| Начальное значение | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |       |

Выходной регистр сравнения A содержит 8-битное значение, которое постоянно сравнивается со значением счетчика (TCNT0). Совпадение может быть использовано для генерации прерывания сравнения выхода или для генерации выходного сигнала на выводе OCR0A.

### 16.9.5 OCR0B — Регистр сравнения выходов B

|                    |            |     |     |     |     |     |     |     |       |
|--------------------|------------|-----|-----|-----|-----|-----|-----|-----|-------|
| Кусочек            | 7          | 6   | 5   | 4   | 3   | 2   | 1   | 0   |       |
| 0x28 (0x48)        | OCR0B[7:0] |     |     |     |     |     |     |     | OCR0B |
| Читай пиши         | Ч/З        | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |       |
| Начальное значение | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |       |

Выходной регистр сравнения B содержит 8-битное значение, которое постоянно сравнивается со значением счетчика (TCNT0). Совпадение можно использовать для генерации прерывания сравнения выхода или для генерации выходного сигнала на выводе OCR0B.



## 16.9.6 TIMSK0 — регистр маски прерывания таймера/счетчика

|                    |   |   |   |   |   |        |        |       |        |
|--------------------|---|---|---|---|---|--------|--------|-------|--------|
| Кусочек            | 7 | 6 | 5 | 4 | 3 | 2      | 1      | 0     |        |
| (0x6E)             | - | - | - | - | - | ОСІЕ0В | ОСІЕ0А | ТОІЕ0 | ТИМСКО |
| Читай пиши         | р | р | р | р | р | Ч/З    | Ч/З    | Ч/З   |        |
| Начальное значение | 0 | 0 | 0 | 0 | 0 | 0      | 0      | 0     |        |

### • Биты 7:3, 0 – Res: зарезервированные биты

Эти биты зарезервированы и всегда будут считываться как нулевые.

### • Бит 2 – ОСІЕ0В: Разрешение прерывания сравнения совпадения выхода таймера/счетчика В

Когда бит ОСІЕ0В установлен в единицу, а бит І в регистре состояния установлен, разрешено прерывание совпадения совпадения таймера/счетчика В. Соответствующее прерывание выполняется, если происходит совпадение сравнения в таймере/счетчике, то есть когда бит ОСF0В установлен в регистре флага прерывания таймера/счетчика – TIFR0.

### • Бит 1 – ОСІЕ0А: сравнение выхода таймера/счетчика 0 соответствует разрешению прерывания А

Когда бит ОСІЕ0А установлен в единицу, а бит І в регистре состояния установлен, прерывание Timer/Counter0 Compare Match А разрешено. Соответствующее прерывание выполняется, если происходит совпадение сравнения в таймере/счетчике 0, то есть когда бит ОСF0А установлен в регистре флага прерывания таймера/счетчика 0 – TIFR0.

### • Бит 0 – ТОІЕ0: разрешение прерывания по переполнению таймера/счетчика 0

Когда бит ТОІЕ0 установлен в единицу, а бит І в регистре состояния установлен, разрешено прерывание по переполнению таймера/счетчика 0. Соответствующее прерывание выполняется, если происходит переполнение Таймера/Счетчика 0, то есть когда бит ТОВ0 установлен в регистре флагов прерывания Таймера/Счетчика 0 – TIFR0.

## 16.9.7 TIFR0 — регистр флага прерывания таймера/счетчика 0

|                    |   |   |   |   |   |       |       |      |       |
|--------------------|---|---|---|---|---|-------|-------|------|-------|
| Кусочек            | 7 | 6 | 5 | 4 | 3 | 2     | 1     | 0    |       |
| 0x15 (0x35)        | - | - | - | - | - | ОСF0В | ОСF0А | ТОВ0 | TIFR0 |
| Читай пиши         | р | р | р | р | р | Ч/З   | Ч/З   | Ч/З  |       |
| Начальное значение | 0 | 0 | 0 | 0 | 0 | 0     | 0     | 0    |       |

### • Биты 7:3, 0 – Res: зарезервированные биты

Эти биты зарезервированы и всегда будут считываться как нулевые.

### • Бит 2 – ОСF0В: Таймер/счетчик 0 Выходной сигнал сравнения В Флаг совпадения

Бит ОСF0В устанавливается, когда происходит совпадение сравнения между таймером/счетчиком и данными в OCR0B — Output Compare Register0 В. ОСF0В сбрасывается аппаратно при выполнении соответствующего вектора обработки прерывания. В качестве альтернативы, ОСF0В очищается путем записи логической единицы во флаг. Когда бит І в SREG, ОСІЕ0В (разрешение прерывания совпадения совпадения таймера/счетчика В) и ОСF0В установлены, выполняется прерывание совпадения совпадения таймера/счетчика.

### • Бит 1 – ОСF0А: Таймер/Счетчик 0 Выход Сравнить Флаг Совпадения

Бит ОСF0А устанавливается, когда происходит совпадение сравнения между Таймером/Счетчиком 0 и данными в OCR0А — выходном регистре сравнения 0. ОСF0А сбрасывается аппаратно при выполнении соответствующего вектора обработки прерывания. В качестве альтернативы ОСF0А очищается путем записи логической единицы во флаг. Когда І-бит в SREG, ОСІЕ0А (разрешение прерывания совпадения таймера/счетчика 0) и ОСF0А установлены, выполняется прерывание совпадения таймера/счетчика 0.

### • Бит 0 – ТОВ0: флаг переполнения таймера/счетчика 0.

Бит ТОВ0 устанавливается, когда происходит переполнение Timer/Counter0. ТОВ0 очищается аппаратно при выполнении соответствующего вектора обработки прерывания. В качестве альтернативы ТОВ0 очищается путем записи логической единицы во флаг. Когда

---

SREG I-бит, TOIE0 (разрешение прерывания по переполнению таймера/счетчика 0) и TOV0 установлены, выполняется прерывание по переполнению таймера/счетчика 0.

Установка этого флага зависит от установки бита WGM02:0. Ссылаться на [Таблица 16-8, «Описание битов режима генерации сигналов»](#) на стр. 128.

---

## 17. 16-битный таймер/счетчик (таймер/счетчик 1, 3, 4 и 5)

### 17.1 Особенности

- Истинный 16-битный дизайн (то есть позволяет использовать 16-битный ШИМ)
- Три независимых блока сравнения выходных данных
- Регистры сравнения вывода с двойной буферизацией
- Один входной блок захвата
- Шумоподавление захвата ввода
- Очистить таймер при сравнении совпадений (автоматическая перезагрузка)
- Безотказный фазово-корректный широтно-импульсный модулятор (ШИМ)
- Переменный период ШИМ
- Генератор частоты
- Внешний счетчик событий
- Двадцать независимых источников прерываний (TOV1, OCF1A, OCF1B, OCF1C, ICF1, TOV3, OCF3A, OCF3B, OCF3C, ICF3, TOV4, OCF4A, OCF4B, OCF4C, ICF4, TOV5, OCF5A, OCF5B, OCF5C и ICF5)

### 17.2 Обзор

16-разрядный блок таймера/счетчика обеспечивает точную синхронизацию выполнения программы (управление событиями), генерацию волны и измерение синхронизации сигнала.

Большинство ссылок на регистры и биты в этом разделе написаны в общем виде. Строчная буква «n» заменяет номер таймера/счетчика, а строчная буква «x» заменяет канал блока сравнения выходов. Однако при использовании в программе определения регистра или бита необходимо использовать точную форму, то есть TCNT1 для доступа к значению счетчика Timer/Counter1 и т.д.

Упрощенная блок-схема 16-разрядного таймера/счетчика показана на рис. [Рис. 17-1 на стр. 134](#). Для фактического размещения контактов ввода/вывода см. [«Распиновка TQFP ATmega640/1280/2560» на стр. 2а](#) также [«Распиновка ATmega1281/2561» на стр. 4](#). Регистры ввода-вывода, доступные ЦП, включая биты ввода-вывода и контакты ввода-вывода, выделены жирным шрифтом. Специфичные для устройства регистры ввода-вывода и расположение битов перечислены в [«Описание регистра» на стр. 154](#).

Бит таймера/счетчика снижения мощности 1, PRTIM1, в [«PRR0 — Регистр снижения мощности 0» на стр. 55](#) должен быть записан в ноль, чтобы включить модуль Timer/Counter1.

Бит таймера/счетчика снижения мощности 3, PRTIM3, в [«PRR1 — Регистр снижения мощности 1» на стр. 56](#) должен быть записан в ноль, чтобы включить модуль Timer/Counter3.

Таймер/счетчик снижения мощности 4 бит, PRTIM4, в [«PRR1 — Регистр снижения мощности 1» на стр. 56](#) должен быть записан в ноль, чтобы включить модуль Timer/Counter4.

Бит таймера/счетчика снижения мощности 5, PRTIM5, в [«PRR1 — Регистр снижения мощности 1» на стр. 56](#) должен быть записан в ноль, чтобы включить модуль Timer/Counter5.

Таймер/Счетчик4 и Таймер/Счетчик5 имеют полную функциональность только в ATmega640/1280/2560. Захват ввода и сравнение вывода недоступны в ATmega1281/2561.



Таймер/счетчик (TCNTn), регистры сравнения вывода (OCRnA/B/C) и регистр захвата ввода (ICRn) — все 16-битные регистры. При доступе к 16-битным регистрам необходимо соблюдать специальные процедуры. Эти процедуры описаны в разделе «Доступ к 16-битным регистрам» на стр. 135.. Регистры управления таймером/счетчиком (TCCRnA/B/C) являются 8-разрядными регистрами и не имеют ограничений доступа ЦП. Все сигналы запросов прерывания (сокращенно Int.Req.) отображаются в регистре флагов прерывания таймера (TIFRn). Все прерывания индивидуально маскируются регистром маски прерывания таймера (TIMSKn). TIFRn и TIMSKn не показаны на рисунке, поскольку эти регистры совместно используются другими таймерами.

АТmega640/V-1280/V-1281/V-2560/V-2561/V [ТЕХНИЧЕСКОЕ ОПИСАНИЕ]

его значение. Таймер/счетчик неактивен, если не выбран источник синхронизации. Выход логики выбора часов называется часами таймера (clk<sub>tn</sub>).

Регистры сравнения вывода с двойной буферизацией (OCRnA/B/C) постоянно сравниваются со значением таймера/счетчика. Результат сравнения может использоваться генератором сигналов для генерации выходного сигнала ШИМ или переменной частоты на выводе сравнения выходов (OSnA/B/C). См. «Единицы сравнения вывода» на стр. 141. Событие сравнения совпадений также установит флаг совпадения сравнения (OSFnA/B/C), который можно использовать для генерации запроса на прерывание сравнения выходов.

Регистр захвата ввода может захватывать значение таймера/счетчика при заданном внешнем (срабатывающем по фронту) событии либо на выводе захвата ввода (ICPn), либо на выводах аналогового компаратора (см. «АС — аналоговый компаратор» на стр. 265). Блок захвата входных данных включает в себя блок цифровой фильтрации (шумоподаватель) для уменьшения вероятности захвата пиков шума.

Значение TOP или максимальное значение таймера/счетчика в некоторых режимах работы может быть определено регистром OCRnA, регистром ICRn или набором фиксированных значений. При использовании OCRnA в качестве значения TOP в режиме ШИМ регистр OCRnA не может использоваться для генерации выходного сигнала ШИМ. Однако в этом случае значение TOP будет дважды буферизовано, что позволит изменять значение TOP во время выполнения. Если требуется фиксированное значение TOP, в качестве альтернативы можно использовать регистр ICRn, освобождая OCRnA для использования в качестве выхода ШИМ.

## 17.2.2 Определения

В документе широко используются следующие определения:

**Таблица 17-1** Определения

|          |  |
|----------|--|
| НИЖНИЙ   | Счетчик достигает НИЖНИЙ когда он становится 0x0000.   |
| МАКСИМУМ | Счетчик достигает своего МАКСИМУМ, когда он становится 0xFFFF (десятичное число 65535).  |
| ТОП      | Счетчик достигает ТОП когда оно становится равным наибольшему значению в последовательности счета. Значение TOP может быть назначено как одно из фиксированных значений: 0x00FF, 0x01FF или 0x03FF, или как значение, хранящееся в регистре OCRnA или ICRn. Назначение зависит от режима работы. |

## 17.3 Доступ к 16-битным регистрам

TCNTn, OCRnA/B/C и ICRn — это 16-битные регистры, к которым ЦП AVR может получить доступ через 8-битную шину данных. Доступ к 16-битному регистру должен осуществляться с помощью двух операций чтения или записи. Каждый 16-битный таймер имеет один 8-битный регистр для временного хранения старшего байта 16-битного доступа. Один и тот же временный регистр используется всеми 16-битными регистрами в каждом 16-битном таймере. Доступ к младшему байту запускает 16-битную операцию чтения или записи. Когда ЦП записывает младший байт 16-битного регистра, старший байт, хранящийся во временном регистре, и записываемый младший байт копируются в 16-битный регистр за один и тот же такт. Когда ЦП считывает младший байт 16-битного регистра, старший байт 16-битного регистра копируется во временный регистр в том же такте, что и младший байт.

Не все 16-битные обращения используют временный регистр для старшего байта. Чтение 16-битных регистров OCRnA/B/C не требует использования временного регистра.

Чтобы выполнить 16-битную запись, старший байт должен быть записан перед младшим байтом. Для 16-битного чтения младший байт должен быть прочитан до старшего байта.

В следующих примерах кода показано, как получить доступ к 16-битным регистрам таймера, предполагая, что никакие прерывания не обновляют временный регистр. Тот же принцип можно использовать непосредственно для доступа к регистрам OCRnA/B/C и ICRn. Обратите внимание, что при использовании «С» компилятор обрабатывает 16-битный доступ.

|  |
|--|
| Примеры ассемблерного кода <sup>(1)</sup>  |
| <pre> ... ; Установите для TCNTn значение 0x01FF. <b>лдир</b> r17, 0x01 <b>лдир</b> r16, 0xFF <b>вне</b> TCNTnH, r17 <b>вне</b> TCNTnL, r16 ; Читать TCNTn в r17:r16 <b>в</b>     r16, TCNTnL <b>в</b>    r17, TCNTnH ... </pre> |
| Примеры кода C <sup>(1)</sup>  |
| <pre> <b>беззнаковое целое;</b> ... /* Установить TCNTn в 0x01FF */ TCNTn = 0x01FF; /* Читать TCNTn в i */ i = TCNTn; ... </pre>   |

Примечание: 1. [См. «Примеры кода» на стр. 10.](#)

Пример ассемблерного кода возвращает значение TCNTn в паре регистров r17:r16.

Важно отметить, что доступ к 16-битным регистрам является атомарной операцией. Если между двумя инструкциями, обращающимися к 16-битному регистру, возникает прерывание, и код прерывания обновляет временный регистр, обращаясь к тому же или любому другому из 16-битных регистров таймера, то результат доступа вне прерывания будет поврежден. . Следовательно, когда и основной код, и код прерывания обновляют временный регистр, основной код должен отключать прерывания во время 16-битного доступа.

В следующих примерах кода показано, как выполнить атомарное чтение содержимого регистра TCNTn. Чтение любого из регистров OCRnA/B/C или ICRn может быть выполнено по тому же принципу.

|   |
|---|
| Пример ассемблерного кода <sup>(1)</sup>  |
| <pre> TIM16_ReadTCNTn:     ; Сохранить глобальный флаг     прерывания <b>в</b> r18, SREG     ; Отключить прерывания     <b>Кли</b>     ; Читать TCNTn в r17:r16 <b>в</b>         r16, TCNTnL     <b>в</b> r17, TCNTnH     ; Восстановить глобальный флаг     прерывания <b>вне</b> SREG, r18     <b>рет</b> </pre>  |
| Пример кода C <sup>(1)</sup>  |
| <pre> <b>беззнаковое целое</b> TIM16_ReadTCNTn (пусто) {      <b>неподписанный уо́ль</b> sreg;     <b>неподписанный ИНТ</b> я;     /* Сохранить глобальный флаг прерывания     */ sreg = SREG;     /* Отключить прерывания */     __disable_interrupt();     /* Читать TCNTn в i */ i =     TCNTn;     /* Восстановить глобальный флаг прерывания     */ SREG = sreg;     <b>возвращаться</b>; } </pre> |

Примечание: 1. См. «Примеры кода» на стр. 10.

Пример ассемблерного кода возвращает значение TCNTn в паре регистров r17:r16.

В следующих примерах кода показано, как выполнить атомарную запись содержимого регистра TCNTn. Запись любого из регистров OCRnA/B/C или ICRn может быть выполнена по тому же принципу.

|   |
|---|
| Пример ассемблерного кода <sup>(1)</sup>  |
| <pre>TIM16_WriteTCNTn: ; Сохранить глобальный флаг прерывания <b>вр18</b>, <b>СРЕГ</b> ; Отключить прерывания <b>Кли</b> ; Установите TCNTn на r17:r16 <b>внеTCNTnH</b>,r17 <b>внеTCNTnL</b>,r16 ; Восстановить глобальный флаг прерывания <b>внеСРЕГ</b>,r18 <b>рет</b></pre>  |
| Пример кода C <sup>(1)</sup>  |
| <pre><b>пустота</b> TIM16_WriteTCNTn(<b>без знака в я</b>) {      <b>неподписанный уголь</b> sreg;     <b>неподписанный ИНТ</b> я;     /* Сохранить глобальный флаг прерывания     */ sreg = SREG;     /* Отключить прерывания */     __disable_interrupt();     /* Установить TCNTn в i */     TCNTn = i;     /* Восстановить глобальный флаг прерывания     */ SREG = sreg; }</pre> |

Примечание: 1. См. «Примеры кода» на стр. 10.

В примере ассемблерного кода требуется, чтобы пара регистров r17:r16 содержала значение, которое будет записано в TCNTn.

#### 17.3.1 Повторное использование временного старшего байтового регистра

При записи в более чем один 16-битный регистр, где старший байт одинаков для всех записываемых регистров, старший байт необходимо записать только один раз. Однако обратите внимание, что то же правило атомарной операции, описанное ранее, также применимо и в этом случае.

#### 17.4 Источники синхронизации таймера/счетчика

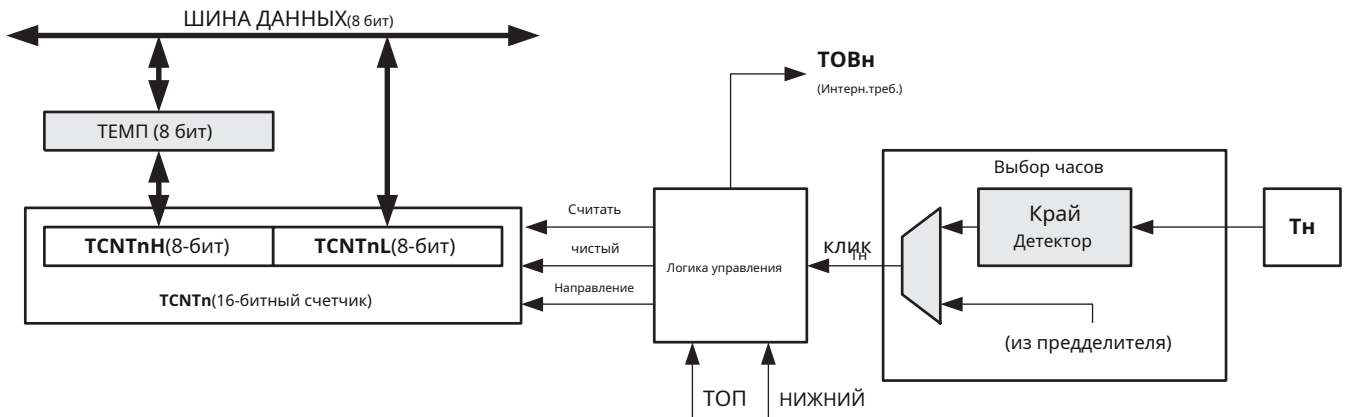
Таймер/счетчик может синхронизироваться от внутреннего или внешнего источника синхронизации. Источник тактового сигнала выбирается логикой выбора тактового сигнала, которая управляется *Выбор часов* (CSn2:0), расположенные в *Регистр управления таймером/счетчиком В* (TCCRnB). Подробнее об источниках тактовых импульсов и прескалере см. «Таймер/счетчик 0, 1, 3, 4 и 5 предделителей» на стр. 164.



## 17.5 Счетчик

Основной частью 16-разрядного таймера/счетчика является программируемый 16-разрядный блок двунаправленного счетчика. Рисунок 17-2 показывает блок-схему счетчика и его окружения.

Рисунок 17-2. Блок-схема счетчика



Описание сигнала (внутренние сигналы):

|                    |   |
|--------------------|---|
| <b>Считать</b>     | Увеличение или уменьшение TCNTn на 1.                         |
| <b>Направление</b> | Выберите между увеличением и уменьшением.                     |
| <b>чистый</b>      | Очистите TCNTn (установите все биты в ноль).                  |
| <b>клик_Тn</b>     | Таймер/счетчик часов.   |
| <b>ТОП</b>         | Сигнализирует о том, что TCNTn достиг максимального значения. |
| <b>НИЖНИЙ</b>      | Сигнализирует, что TCNTn достиг минимального значения (нуля). |

16-битный счетчик отображается в две 8-битные ячейки памяти ввода/вывода: *Счетчик высокий* (TCNTnH), содержащий восемь старших бит счетчика, и *Низкий счетчик* (TCNTnL), содержащий младшие восемь бит. ЦПУ может получить к регистру TCNTnH только косвенный доступ. Когда ЦП осуществляет доступ к ячейке ввода-вывода TCNTnH, ЦП обращается к временному регистру старшего байта (TEMP). Временный регистр обновляется значением TCNTnH при чтении TCNTnL, а TCNTnH обновляется значением временного регистра при записи TCNTnL. Это позволяет ЦП считывать или записывать все 16-битное значение счетчика в течение одного тактового цикла через 8-битную шину данных. Важно отметить, что существуют особые случаи записи в регистр TCNTn во время подсчета счетчика, которые дадут непредсказуемые результаты. Особые случаи описаны в разделах, где они важны.

В зависимости от используемого режима работы счетчик очищается, увеличивается или уменьшается при каждом *таймер часы* (клик\_Тn). клик\_Тn может генерироваться из внешнего или внутреннего источника синхронизации, выбираемого *Выбор часов* битами (CSn2:0). Если источник синхронизации не выбран (CSn2:0 = 0), таймер останавливается. Однако CPU может получить доступ к значению TCNTn независимо от того, включен ли clk\_Тn присутствует или нет. Запись ЦП отменяет (имеет приоритет над) все операции очистки или подсчета счетчика.

Последовательность счета определяется настройкой *Режим генерации сигнала* битами (WGMn3:0), расположенные в *Регистры управления таймером/счетчиком* А и В (TCCRnA и TCCRnB). Существует тесная связь между тем, как ведет себя счетчик (подсчитывает) и тем, как формы сигналов генерируются на выходах сравнения выходов ОСnх. Дополнительные сведения о расширенных последовательностях счета и генерации сигналов см. «Режимы работы» на стр. 144.

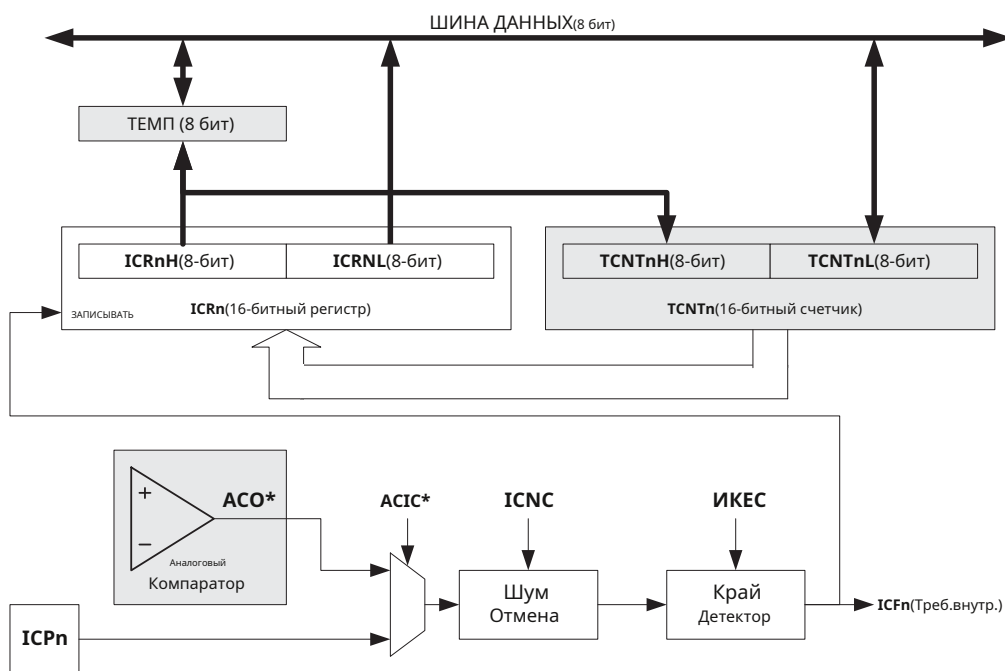
Флаг переполнения таймера/счетчика (TOVn) устанавливается в соответствии с режимом работы, выбранным битами WGMn3:0. TOVn может использоваться для генерации прерывания процессора.

## 17.6 Блок захвата ввода

Таймер/счетчик включает в себя блок захвата входных данных, который может захватывать внешние события и давать им отметку времени, указывающую время возникновения. Внешний сигнал, указывающий на событие или несколько событий, может подаваться через вывод ICP<sub>n</sub> или, в качестве альтернативы, только для таймера/счетчика 1, через блок аналогового компаратора. Затем временные метки можно использовать для расчета частоты, коэффициента заполнения и других характеристик применяемого сигнала. В качестве альтернативы временные метки можно использовать для создания журнала событий.

Блок захвата ввода показан на блок-схеме, показанной на рис. [Рисунок 17-3](#). Элементы блок-схемы, не являющиеся непосредственно частью блока захвата ввода, заштрихованы серым цветом. Маленькая буква «n» в именах регистров и битов указывает номер таймера/счетчика.

**Рисунок 17-3.** Блок-схема блока захвата ввода



Примечание: Выход аналогового компаратора (АСО) может запускать только ICP Таймера/Счетчика 1, но не Таймера/Счетчика 3, 4 или 5.

При изменении логического уровня (событии) на *Входной пин захвата* (ICP<sub>n</sub>), альтернативно на *аналоговый выход компаратора* (АСО), и это изменение подтверждает настройку детектора границ, будет запущен захват. При запуске захвата 16-битное значение счетчика (TCNT<sub>n</sub>) записывается в *Входной регистр захвата* (ИКР<sub>n</sub>). *Флаг захвата ввода* (ICF<sub>n</sub>) устанавливается на тех же системных часах, когда значение TCNT<sub>n</sub> копируется в регистр ICR<sub>n</sub>. Если включен (TICIE<sub>n</sub> = 1), флаг захвата ввода генерирует прерывание захвата ввода. Флаг ICF<sub>n</sub> автоматически сбрасывается при выполнении прерывания. В качестве альтернативы флаг ICF<sub>n</sub> может быть очищен программным обеспечением путем записи логической единицы в его позицию бита ввода-вывода.

Чтение 16-битного значения в *Входной регистр захвата* (ICR<sub>n</sub>) выполняется путем чтения сначала младшего байта (ICR<sub>n</sub>L), а затем старшего байта (ICR<sub>n</sub>H). Когда младший байт считывается, старший байт копируется во временный регистр старшего байта (TEMP). Когда ЦП считывает ячейку ввода-вывода ICR<sub>n</sub>H, он получает доступ к регистру TEMP.

Регистр ICR<sub>n</sub> может быть записан только при использовании режима генерации сигнала, который использует регистр ICR<sub>n</sub> для определения значения TOP счетчика. В этих случаях *Режим генерации сигнала* (Биты WGM<sub>n</sub>3:0) должны быть установлены до того, как значение TOP будет записано в регистр ICR<sub>n</sub>. При записи регистра ICR<sub>n</sub> старший байт должен быть записан в ячейку ввода-вывода ICR<sub>n</sub>H до того, как младший байт будет записан в ICR<sub>n</sub>L.

Для получения дополнительной информации о том, как получить доступ к 16-битным регистрам, см. [«Доступ к 16-битным регистрам» на стр. 135.](#)

### 17.6.1 Источник триггера захвата входа

Основным источником триггера для блока захвата ввода является *Входной пин захвата* (ICPn). В качестве альтернативы Таймер/Счетчик 1 может использовать выход аналогового компаратора в качестве источника запуска для блока захвата ввода. Аналоговый компаратор выбирается в качестве источника запуска путем установки *Захват входного аналогового компаратора* (ACIC) бит в *Регистр управления и состояния аналогового компаратора* (AKCP). Имейте в виду, что изменение источника триггера может вызвать захват. Поэтому флаг захвата ввода должен быть очищен после изменения.

Оба *Входной пин захвата* (ICPn) и *Выход аналогового компаратора* (Входы АСО) оцифровываются с использованием той же техники, что и для вывода Тп (Рис. 18-1 на стр. 164). Детектор краев также идентичен. Однако, когда включен шумоподаватель, перед детектором фронта вставляется дополнительная логика, которая увеличивает задержку на четыре такта системы. Обратите внимание, что вход шумоподавателя и детектора фронта всегда активны, если Таймер/Счетчик не установлен в режиме генерации сигнала, который использует ICRn для определения TOP.

Захват ввода может быть запущен программным обеспечением путем управления портом вывода ICPn.

### 17.6.2 Шумоподавление

Шумоподаватель повышает помехозащищенность за счет использования простой схемы цифровой фильтрации. Вход шумоподавателя контролируется по четырем выборкам, и все четыре должны быть одинаковыми для изменения выхода, который, в свою очередь, используется детектором фронта.

Шумоподавление включается установкой *Шумоподавление захвата ввода* (ICNCn) немного в *Регистр управления таймером/счетчиком В* (TCCRnB). Когда шумоподаватель включен, вводятся дополнительные четыре системных тактовых цикла задержки от изменения, примененного к входу, до обновления регистра ICRn. Шумоподавление использует системные часы, поэтому предварительный делитель на него не влияет.

### 17.6.3 Использование блока захвата ввода

Основная проблема при использовании блока захвата входных данных состоит в том, чтобы выделить достаточную мощность процессора для обработки входящих событий. Время между двумя событиями имеет решающее значение. Если процессор не прочитал захваченное значение в регистре ICRn до того, как произойдет следующее событие, ICRn будет перезаписан новым значением. В этом случае результат захвата будет некорректным.

При использовании прерывания от захвата ввода регистр ICRn следует считывать как можно раньше в процедуре обработки прерывания. Несмотря на то, что прерывание захвата ввода имеет относительно высокий приоритет, максимальное время ответа на прерывание зависит от максимального количества тактовых циклов, которое требуется для обработки любых других запросов на прерывание.

Использование блока Input Capture в любом режиме работы, когда значение TOP (разрешение) активно изменяется во время работы, не рекомендуется.

Измерение рабочего цикла внешнего сигнала требует изменения фронта запуска после каждого захвата. Изменение определения фронта должно быть выполнено как можно раньше после считывания регистра ICRn. После смены фронта флаг захвата ввода (ICFn) должен быть сброшен программно (запись логической единицы в позицию бита ввода-вывода). Только для измерения частоты очистка флага ICFn не требуется (если используется обработчик прерывания).

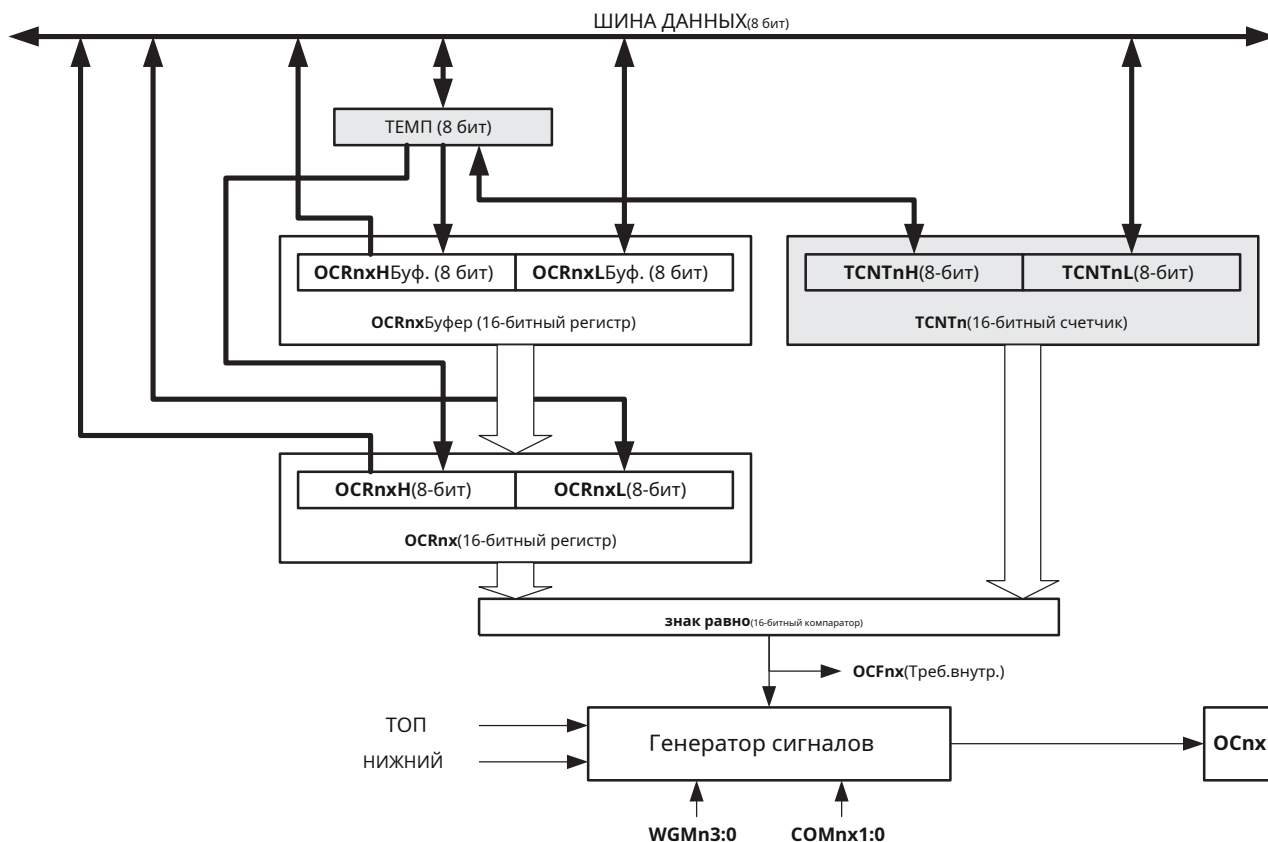
### 17.7 Единицы сравнения вывода

16-разрядный компаратор непрерывно сравнивает TCNTn с *Выходной регистр сравнения* (OCRnx). Если TCNTn равно OCRnx, компаратор сигнализирует о совпадении. Матч установит *Флаг сравнения выходных данных* (OCFnx) в следующем тактовом цикле таймера. Если включен (OCIEPx = 1), флаг сравнения выходных данных генерирует прерывание сравнения выходных данных. Флаг OCFnx автоматически сбрасывается при выполнении прерывания. В качестве альтернативы флаг OCFnx может быть сброшен программно путем записи логической единицы в его позицию бита ввода/вывода. Генератор сигналов использует сигнал согласования для генерации выходного сигнала в соответствии с режимом работы, установленным *Режим генерации сигнала* (WGMn3:0) биты и *Сравните режим вывода* (COMnx1:0) бит. Сигналы TOP и BOTTOM используются генератором сигналов для обработки особых случаев экстремальных значений в некоторых режимах работы. См. «Режимы работы» на стр. 144.

Специальная функция блока сравнения выходов А позволяет ему определять значение TOP таймера/счетчика (то есть разрешение счетчика). В дополнение к разрешению счетчика значение TOP определяет период времени для сигналов, генерируемых генератором сигналов.

Рисунок 17-4 показывает блок-схему блока сравнения выходных данных. Маленькая буква «n» в именах регистров и битов указывает номер устройства (n = n для таймера/счетчика n), а «x» указывает блок сравнения выходов (A/B/C). Элементы блок-схемы, не являющиеся непосредственно частью модуля сравнения выходных данных, затенены серым цветом.

Рисунок 17-4. Блок сравнения выходных данных, блок-схема



Регистр ОСRnx буферизуется дважды при использовании любого из двенадцати *Широтно-импульсная модуляция* (ШИМ) режимы. Для нормального и *Очистить таймер при сравнении* (СТС), двойная буферизация отключена. Двойная буферизация синхронизирует обновление регистра сравнения ОСRnx либо с TOP, либо с BOTTOM последовательности подсчета. Синхронизация предотвращает появление несимметричных ШИМ-импульсов нечетной длины, тем самым устраняя помехи на выходе.

Доступ к регистру ОСRnx может показаться сложным, но это не так. Когда двойная буферизация включена, ЦП имеет доступ к регистру буфера ОСRnx, а если двойная буферизация отключена, ЦП будет напрямую обращаться к ОСRnx. Содержимое регистра ОСR1x (буфера или сравнения) изменяется только операцией записи (таймер/счетчик не обновляет этот регистр автоматически, как регистры TCNT1 и ICR1). Поэтому ОСR1x не читается через временный регистр старшего байта (ТЕМП). Однако рекомендуется сначала прочитать младший байт, как и при доступе к другим 16-битным регистрам. Запись регистров ОСRnx должна выполняться через регистр ТЕМП, поскольку сравнение всех 16 бит выполняется непрерывно. Первым должен быть записан старший байт (ОСRnxH). Когда место ввода-вывода старшего байта записывается ЦП, регистр ТЕМП будет обновлен записанным значением. Затем, когда младший байт (ОСRnxL) записывается в младшие восемь бит, старший байт будет скопирован в старшие 8 бит буфера ОСRnx или регистра сравнения ОСRnx в том же системном тактовом цикле.

Для получения дополнительной информации о том, как получить доступ к 16-битным регистрам, см. «Доступ к 16-битным регистрам» на стр. 135..

---

### 17.7.1 Сравнение принудительного выхода

В режимах генерации сигналов без ШИМ выходной сигнал согласования компаратора может быть форсирован путем записи единицы в *Силовой выход Сравнить*(FOSnx) бит. Принудительное сравнение совпадений не приведет к установке флага OCFnx или перезагрузке/очистке таймера, но вывод ОСnx будет обновлен, как если бы произошло реальное совпадение сравнения (настройки битов COMn1:0 определяют, установлен ли вывод ОСnx, очищен или переключен).

### 17.7.2 Сравнить блокировку соответствия с помощью записи TCNTn

Все записи ЦП в регистр TCNTn блокируют любое совпадение сравнения, которое происходит в следующем такте таймера, даже когда таймер остановлен. Эта функция позволяет инициализировать OCRnx с тем же значением, что и TCNTn, без запуска прерывания, когда включены часы таймера/счетчика.

### 17.7.3 Использование блока сравнения выходных данных

Поскольку запись TCNTn в любом режиме работы блокирует все совпадения сравнения в течение одного тактового цикла таймера, существуют риски, связанные с изменением TCNTn при использовании любого из каналов сравнения вывода, независимо от того, работает таймер/счетчик или нет. Если значение, записанное в TCNTn, равно значению OCRnx, совпадение сравнения будет пропущено, что приведет к неправильной генерации сигнала. Не записывайте TCNTn равным TOP в режимах PWM с переменными значениями TOP. Совпадение при сравнении для TOP будет проигнорировано, и счетчик будет по-прежнему равен 0xFFFF. Точно так же не записывайте значение TCNTn, равное BOTTOM, когда счетчик ведет обратный отсчет.

Настройка ОСnx должна быть выполнена до установки регистра направления данных для вывода порта. Самый простой способ установить значение ОСnx — использовать биты строга Force Output Compare (FOSnx) в нормальном режиме. Регистр ОСnx сохраняет свое значение даже при смене режима генерации сигналов.

Имейте в виду, что биты COMnx1:0 не буферизуются дважды вместе со значением сравнения. Изменение битов COMnx1:0 вступит в силу немедленно.

### 17.8 Сравнение единиц вывода соответствия

Биты режима сравнения вывода (COMnx1:0) выполняют две функции. Генератор сигналов использует биты COMnx1:0 для определения состояния сравнения выходов (ОСnx) при следующем совпадении сравнения. Во-вторых, биты COMnx1:0 управляют источником вывода ОСnx. [Рис. 17-5 на стр. 144](#) показывает упрощенную схему логики, на которую влияет установка бита COMnx1:0. Регистры ввода-вывода, биты ввода-вывода и контакты ввода-вывода на рисунке выделены жирным шрифтом. Показаны только те части общих регистров управления портами ввода/вывода (DDR и PORT), на которые влияют биты COMnx1:0. Когда речь идет о состоянии ОСnx, имеется в виду внутренний регистр ОСnx, а не вывод ОСnx. Если происходит сброс системы, регистр ОСnx сбрасывается в «0».



деталей.

что некоторые битовые настройки COMnх1:0 зарезервированы для определенных режимов работы. См. «Описание регистра» на стр. 154.

Биты COMnх1:0 не влияют на блок захвата ввода.

### 17.8.1 Сравнение режима вывода и генерации сигнала

стр. 155 Информацию о быстром режиме PWM см Табл. 17-4 на стр. 155, а для правильной фазы и правильной фазы и частоты

Изменение состояния битов COMnх.0 вступит в силу при первом совпадении сравнения после записи битов. для режимов без ШИМ

## 17.9 Режимы работы

«Сравнить единицы вывода соответствия» на стр. 143.

Таблица 17-2. Бит режима генерации сигнала Описание<sup>(1)</sup>

| Режим | WGMn3 | WGMn2 (КТСн) | WGMn1 (ШИМn1) | WGMn0 (ШИМn0) | Таймер/счетчик<br>Режим работы    | ТОП    | Обновление<br>OCRnх в | ТОВн Флаг<br>Установить на |
|-------|-------|--------------|---------------|---------------|-----------------------------------|--------|-----------------------|----------------------------|
| 0     | 0     | 0            | 0             | 0             | Обычный                           | 0xFFFF | Немедленный           | МАКСИМУМ                   |
| 1     | 0     | 0            | 0             | 1             | ШИМ, фазовая коррекция, 8 бит     | 0x00FF | ТОП                   | НИЖНИЙ                     |
| 2     | 0     | 0            | 1             | 0             | ШИМ, фазовая коррекция, 9 бит     | 0x01FF | ТОП                   | НИЖНИЙ                     |
| 3     | 0     | 0            | 1             | 1             | ШИМ, фазовая коррекция, 10 бит    | 0x03FF | ТОП                   | НИЖНИЙ                     |
| 4     | 0     | 1            | 0             | 0             | СТС                               | OCRnA  | Немедленный           | МАКСИМУМ                   |
| 5     | 0     | 1            | 0             | 1             | Быстрый ШИМ, 8 бит                | 0x00FF | НИЖНИЙ                | ТОП                        |
| 6     | 0     | 1            | 1             | 0             | Быстрый ШИМ, 9-битный             | 0x01FF | НИЖНИЙ                | ТОП                        |
| 7     | 0     | 1            | 1             | 1             | Быстрый ШИМ, 10 бит               | 0x03FF | НИЖНИЙ                | ТОП                        |
| 8     | 1     | 0            | 0             | 0             | ШИМ, фаза и частота<br>Правильный | ICRn   | НИЖНИЙ                | НИЖНИЙ                     |
| 9     | 1     | 0            | 0             | 1             | ШИМ, фаза и частота<br>Правильный | OCRnA  | НИЖНИЙ                | НИЖНИЙ                     |
| 10    | 1     | 0            | 1             | 0             | ШИМ, коррекция фазы               | ICRn   | ТОП                   | НИЖНИЙ                     |
| 11    | 1     | 0            | 1             | 1             | ШИМ, коррекция фазы               | OCRnA  | ТОП                   | НИЖНИЙ                     |
| 12    | 1     | 1            | 0             | 0             | СТС                               | ICRn   | Немедленный           | МАКСИМУМ                   |
| 13    | 1     | 1            | 0             | 1             | (Сдержанный)                      | –      | –                     | –                          |
| 14    | 1     | 1            | 1             | 0             | Быстрый ШИМ                       | ICRn   | НИЖНИЙ                | ТОП                        |
| 15    | 1     | 1            | 1             | 1             | Быстрый ШИМ                       | OCRnA  | НИЖНИЙ                | ТОП                        |

Примечание: 1. Имена определений битов СТСн и PWMn1:0 устарели. Используйте определения WGMn2:0. Однако функциональность и расположение этих битов совместимы с предыдущими версиями таймера.

Для получения подробной информации о времени см. «Временные диаграммы таймера/счетчика» на стр. 152..

### 17.9.1 Нормальный режим

Самый простой режим работы - *Нормальный режим* (WGMn3:0 = 0). В этом режиме направление счета всегда вверх (приращение), и сброс счетчика не выполняется. Счетчик просто выходит за пределы своего максимального 16-битного значения (MAX = 0xFFFF), а затем перезапускается с НИЗА (0x0000). В обычном режиме *Флаг переполнения таймера/счетчика* (TOVn) будет установлен в том же такте таймера, когда TCNTn станет равным нулю. Флаг TOVn в этом случае ведет себя как 17-бит, за исключением того, что он только установлен, а не очищен. Однако в сочетании с прерыванием переполнения таймера, которое автоматически сбрасывает флаг TOVn, разрешающая способность таймера может быть увеличена с помощью программного обеспечения. В обычном режиме нет особых случаев для рассмотрения, новое значение счетчика может быть записано в любое время.

Блок захвата ввода прост в использовании в обычном режиме. Однако обратите внимание, что максимальный интервал между внешними событиями не должен превышать разрешение счетчика. Если интервал между событиями слишком велик, необходимо использовать прерывание по переполнению таймера или прескалер для увеличения разрешения блока захвата.

Блоки сравнения вывода можно использовать для генерации прерываний в определенный момент времени. Использование Output Compare для генерации сигналов в нормальном режиме не рекомендуется, так как это займет слишком много времени процессора.

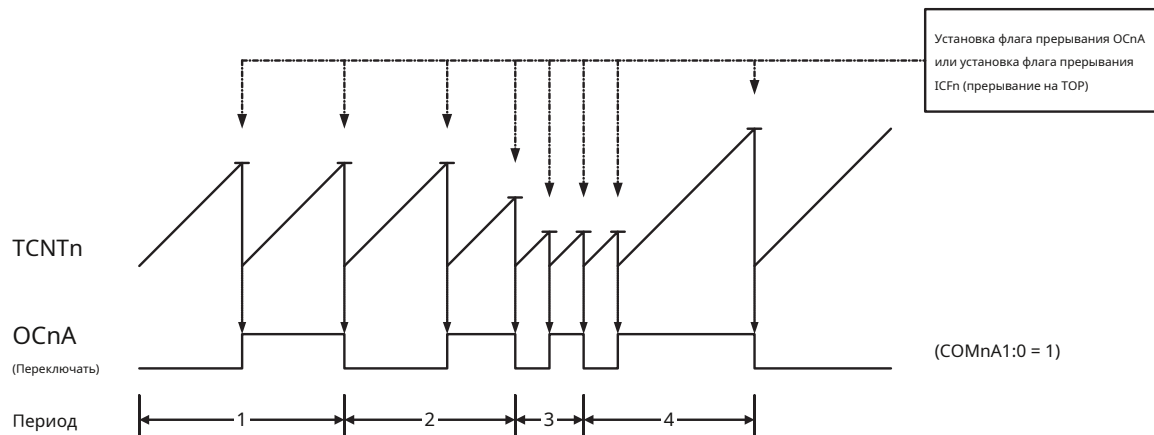
### 17.9.2 Сброс таймера в режиме сравнения совпадений (СТС)

В *Очистить таймер при сравнении* или режиме СТС (WGMn3:0 = 4 или 12), регистр OCRnA или ICRn используется для управления разрешением счетчика. В режиме СТС счетчик обнуляется, когда значение счетчика (TCNTn) соответствует либо OCRnA (WGMn3:0 = 4), либо ICRn (WGMn3:0 = 12). OCRnA или ICRn определяют верхнее значение для

счетчик, а значит, и его разрешение. Этот режим позволяет лучше контролировать выходную частоту сравнения. Это также упрощает операцию подсчета внешних событий.

Временная диаграмма для режима CTC показана на [Рисунок 17-6](#). Значение счетчика (TCNTn) увеличивается до тех пор, пока не произойдет совпадение при сравнении либо с OCRnA, либо с ICRn, после чего счетчик (TCNTn) очищается.

**Рисунок 17-6.**Режим CTC, временная диаграмма



Прерывание может быть сгенерировано каждый раз, когда значение счетчика достигает значения TOP, либо с помощью флага OCFnA, либо с помощью флага ICFn в соответствии с регистром, используемым для определения значения TOP. Если прерывание разрешено, процедура обработки прерывания может использоваться для обновления значения TOP. Однако изменение TOP на значение, близкое к BOTTOM, когда счетчик работает без значения предварительного делителя или с низким значением предварительного делителя, должно выполняться с осторожностью, поскольку режим CTC не имеет функции двойной буферизации. Если новое значение, записанное в OCRnA или ICRn, меньше текущего значения TCNTn, счетчик пропустит совпадение сравнения. Счетчик затем должен будет подсчитать свое максимальное значение (0xFFFF) и выполнить цикл, начиная с 0x0000, прежде чем может произойти совпадение сравнения. Во многих случаях эта функция нежелательна.

Для генерации выходного сигнала в режиме CTC можно настроить выход OCnA на переключение своего логического уровня при каждом совпадении сравнения, установив биты режима вывода сравнения в режим переключения (COMnA1:0 = 1). Значение OCnA не будет отображаться на выводе порта, если направление данных для вывода не установлено на вывод (DDR\_OCnA = 1). Сгенерированный сигнал будет иметь максимальную частоту  $f_{OCnA} = \frac{f_{clk\_I/O}}{2 \cdot N - 1 + OCRnA}$ , когда OCRnA установлен в ноль (0x0000). Частота сигнала определяется следующим уравнением:

$$f_{OCnA} \text{ знак равно } \frac{f_{clk\_I/O}}{2 \cdot N - 1 + OCRnA}$$

The N переменная представляет коэффициент предварительного масштабирования (1, 8, 64, 256 или 1024).

Что касается нормального режима работы, то флаг TOVn устанавливается в том же такте таймера, когда счетчик отсчитывает от MAX до 0x0000.

### 17.9.3 Быстрый ШИМ-режим

The *быстрая широтно-импульсная модуляция* или быстрый режим ШИМ (WGMn3:0 = 5, 6, 7, 14 или 15) обеспечивает возможность генерации высокочастотного сигнала ШИМ. Быстрый ШИМ отличается от других вариантов ШИМ тем, что работает с одним наклоном. Счетчик считает от НИЗА к ВЕРХУ, затем перезапускается с НИЗА. В неинвертирующем режиме сравнения выводное сравнение (OCnx) сбрасывается при совпадении сравнения между TCNTn и OCRnx и устанавливается на BOTTOM. В инвертирующем режиме сравнения выходной сигнал устанавливается при совпадении сравнения и очищается в BOTTOM. Из-за однофазной работы рабочая частота в быстром режиме ШИМ может быть в два раза выше, чем в режимах корректной по фазе и частоте ШИМ, в которых используется двухфазная работа. Эта высокая частота делает быстрый ШИМ



хорошо подходит для регулирования мощности, выпрямления и ЦАП. Высокая частота позволяет использовать внешние компоненты небольшого размера (катушки, конденсаторы), что снижает общую стоимость системы.

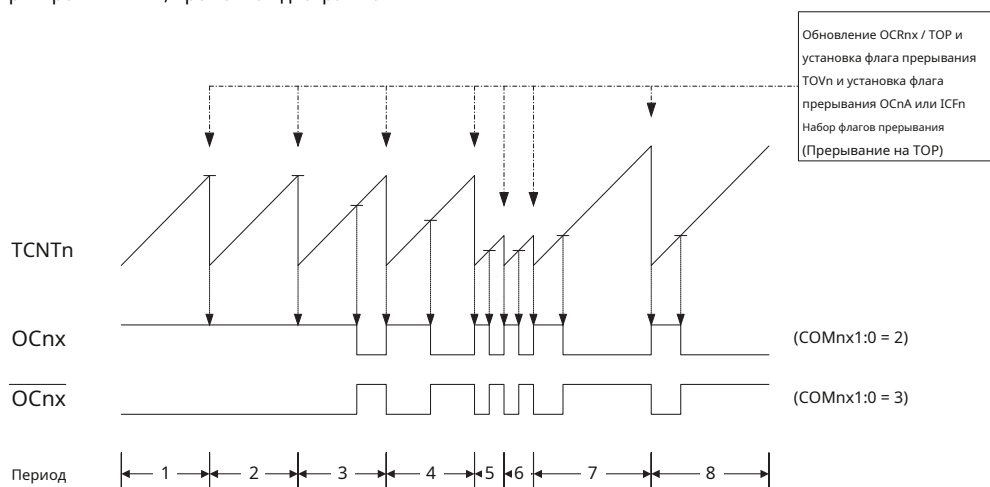
Разрешение ШИМ для быстрого ШИМ может быть фиксированным: 8-битным, 9-битным или 10-битным, или определяется либо ICRn, либо OCRnA. Минимальное допустимое разрешение — 2 бита (ICRn или OCRnA установлено на 0x0003), а максимальное разрешение — 16 бит (ICRn или OCRnA установлено на MAX). Разрешение ШИМ в битах можно рассчитать с помощью следующего уравнения:

$$\text{разрешение} = \frac{\text{ICRn} - \text{TOP} + 1}{\text{TCNTn}} \quad \text{журнал-ТОП+1-}$$

журнал-2-

В быстром режиме PWM счетчик увеличивается до тех пор, пока значение счетчика не совпадет с одним из фиксированных значений 0x00FF, 0x01FF или 0x03FF (WGMn3:0 = 5, 6 или 7), значением в ICRn (WGMn3:0 = 14), или значением в OCRnA (WGMn3:0 = 15). Затем счетчик очищается в следующем такте таймера. Временная диаграмма для быстрого режима PWM показана на Рис. 17-7 на стр. 147. На рисунке показан режим быстрой ШИМ, когда для определения TOP используются OCRnA или ICRn. Значение TCNTn показано на временной диаграмме в виде гистограммы, иллюстрирующей работу с одним наклоном. На схеме представлены неинвертированные и инвертированные выходы ШИМ. Небольшие метки горизонтальной линии на склонах TCNTn представляют сравнительные совпадения между OCRnx и TCNTn. Флаг прерывания OSpх будет установлен при совпадении сравнения.

**Рисунок 17-7.** Быстрый режим PWM, временная диаграмма



Флаг переполнения таймера/счетчика (TOVn) устанавливается каждый раз, когда счетчик достигает TOP. Кроме того, флаг OSpA или ICFn устанавливается в том же такте таймера, что и TOVn, когда для определения значения TOP используется либо OCRnA, либо ICRn. Если одно из прерываний разрешено, процедура обработки прерывания может использоваться для обновления значений TOP и сравнения.

При изменении значения TOP программа должна убедиться, что новое значение TOP больше или равно значению всех регистров сравнения. Если значение TOP меньше любого из регистров сравнения, совпадение сравнения никогда не произойдет между TCNTn и OCRnx. Обратите внимание, что при использовании фиксированных значений TOP неиспользуемые биты маскируются до нуля при записи любого из регистров OCRnx.

Процедура обновления ICRn отличается от обновления OCRnA при использовании для определения значения TOP. Регистр ICRn не подвергается двойной буферизации. Это означает, что если ICRn изменяется на низкое значение, когда счетчик работает без предварительного делителя или с низким значением предварительного делителя, существует риск того, что новое записанное значение ICRn будет ниже текущего значения TCNTn. Результатом будет то, что счетчик пропустит совпадение сравнения при значении TOP. Счетчик затем должен будет досчитать до максимального значения (0xFFFF) и выполнить цикл, начиная с 0x0000, прежде чем может произойти совпадение сравнения. Однако регистр OCRnA имеет двойную буферизацию. Эта функция позволяет записывать местоположение ввода-вывода OCRnA в любое время. Когда место ввода-вывода OCRnA записано, записанное значение будет помещено в буферный регистр OCRnA.

TCNTn соответствует TOP. Обновление выполняется в том же такте таймера, когда сбрасывается TCNTn и устанавливается флаг TOVn.

Использование регистра ICRn для определения TOP хорошо работает при использовании фиксированных значений TOP. При использовании ICRn регистр OCRnA можно использовать для генерации ШИМ-выхода на OCnA. Однако, если базовая частота ШИМ активно изменяется (путем изменения значения TOP), использование OCRnA в качестве TOP, безусловно, является лучшим выбором из-за его функции двойного буфера.

В быстром режиме ШИМ блоки сравнения позволяют генерировать сигналы ШИМ на выводах OCnx. Установка битов COMnx1:0 в два приведет к неинвертированному ШИМ, а инвертированный выход ШИМ может быть сгенерирован установкой COMnx1:0 в три (см. [Таблица на стр. 155](#)). Фактическое значение OCnx будет видно на выводе порта только в том случае, если направление данных для вывода порта установлено как выход (DDR\_OCnx). Сигнал ШИМ генерируется установкой (или очисткой) регистра OCnx при совпадении сравнения между OCRnx и TCNTn и очисткой (или установкой) регистра OCnx в такт таймера, когда счетчик очищается (меняется с TOP на BOTTOM).

Частота ШИМ для выхода может быть рассчитана по следующему уравнению:

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N - 1 + TOP}$$

Переменная N представляет делитель предварительного делителя (1, 8, 64, 256 или 1024).

Экстремальные значения для регистра OCRnx представляют собой особые случаи при генерации выходного сигнала ШИМ в быстром режиме ШИМ. Если OCRnx установлен равным BOTTOM (0x0000), на выходе будет узкий пик для каждого тактового цикла таймера TOP+1. Установка OCRnx равным TOP приведет к постоянному высокому или низкому выходному сигналу (в зависимости от полярности выхода, установленной битами COMnx1:0).

Выходной сигнал с частотой (с коэффициентом заполнения 50%) в быстром режиме ШИМ можно получить, настроив OCnA на переключение логического уровня при каждом совпадении сравнения (COMnA1:0 = 1). Это применимо, только если OCR1A используется для определения значения TOP (WGM13:0 = 15). Сгенерированный сигнал будет иметь максимальную частоту  $f_{OCnA} = f_{clk\_I/O}/2$ , когда OCRnA установлен в ноль (0x0000). Эта функция аналогична переключателю OCnA в режиме CTC, за исключением того, что функция двойного буфера блока сравнения выходов включается в быстром режиме PWM.

#### 17.9.4 Режим фазовой коррекции ШИМ

The *правильная фаза Широтно-импульсная модуляция* или режим ШИМ с фазовой коррективкой (WGMn3:0 = 1, 2, 3, 10 или 11) обеспечивает возможность генерации сигналов ШИМ с фазовой коррективкой высокого разрешения. Режим ШИМ с корректной фазой, как и режим ШИМ с корректной фазой и частотой, основан на работе с двойным наклоном. Счетчик постоянно считает от BOTTOM (0x0000) до TOP, а затем от TOP до BOTTOM. В неинвертирующем режиме сравнения вывода выходное сравнение (OCnx) сбрасывается при совпадении сравнения между TCNTn и OCRnx при прямом счете и устанавливается при совпадении сравнения при обратном счете. В инвертирующем режиме сравнения выходов операция инвертируется. Работа с двумя наклонами имеет более низкую максимальную рабочую частоту, чем работа с одним наклоном. Однако из-за симметричности режимов ШИМ с двумя наклонами эти режимы предпочтительны для приложений управления двигателем.

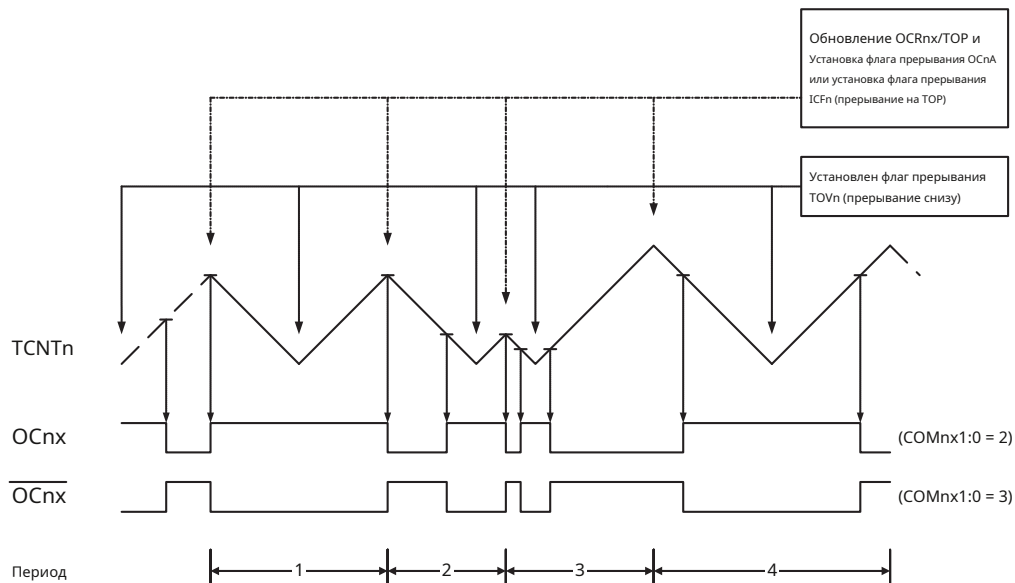
Разрешение ШИМ для фазово-корректного режима ШИМ может быть фиксированным: 8-битным, 9-битным или 10-битным, или определяется либо ICRn, либо OCRnA. Минимальное допустимое разрешение — 2 бита (ICRn или OCRnA установлено на 0x0003), а максимальное разрешение — 16 бит (ICRn или OCRnA установлено на MAX). Разрешение ШИМ в битах можно рассчитать с помощью следующего уравнения:

$$r_{ПКПВМ} = \frac{TOP}{2}$$

В режиме PWM с корректной фазой счетчик увеличивается до тех пор, пока значение счетчика не совпадет с одним из фиксированных значений 0x00FF, 0x01FF или 0x03FF (WGMn3:0 = 1, 2 или 3), значение в ICRn (WGMn3:0 = 10) , или значение в OCRnA (WGMn3:0 = 11). Счетчик достигает TOP и меняет направление счета. Значение TCNTn будет равно TOP для одного тактового цикла таймера. Показана временная диаграмма для фазово-корректного режима ШИМ.

на [Рис. 17-8 на стр. 149](#). На рисунке показан фазово-корректный режим ШИМ, когда OCRnA или ICRn используются для определения TOP. Значение TCNTn показано на временной диаграмме в виде гистограммы, иллюстрирующей работу с двойным наклоном. На схеме представлены неинвертированные и инвертированные выходы ШИМ. Небольшие метки горизонтальной линии на склонах TCNTn представляют сравнительные совпадения между OCRnx и TCNTn. Флаг прерывания OCNx будет установлен при совпадении сравнения.

**Рисунок 17-8.** Фазокорректный режим ШИМ, временная диаграмма



Флаг переполнения таймера/счетчика (TOVn) устанавливается каждый раз, когда счетчик достигает НИЗА. Когда для определения значения TOP используется либо OCRnA, либо ICRn, флаг OCNx или ICFn устанавливается соответственно в тот же такт таймера, когда регистры OCRnx обновляются значением двойного буфера (в TOP). Флаги прерывания можно использовать для генерации прерывания каждый раз, когда счетчик достигает значения TOP или BOTTOM.

При изменении значения TOP программа должна убедиться, что новое значение TOP больше или равно значению всех регистров сравнения. Если значение TOP меньше любого из регистров сравнения, совпадение сравнения никогда не произойдет между TCNTn и OCRnx. Обратите внимание, что при использовании фиксированных значений TOP неиспользуемые биты маскируются до нуля при записи любого из регистров OCRnx. Как показано в третьем периоде [Рисунок 17-8](#) Как показано на рисунке, активное изменение TOP, когда таймер/счетчик работает в режиме правильной фазы, может привести к несимметричному выходному сигналу. Причину этого можно найти во время обновления реестра OCRnx. Поскольку обновление OCRnx происходит в TOP, период PWM начинается и заканчивается в TOP. Это означает, что длина спада определяется предыдущим значением TOP, а длина возрастания определяется новым значением TOP. Когда эти два значения различаются, два наклона периода будут различаться по длине. Разница в длине дает несимметричный результат на выходе.

Рекомендуется использовать режим корректировки фазы и частоты вместо режима корректировки фазы при изменении значения TOP во время работы Таймера/Счетчика. При использовании статического значения TOP различий между двумя режимами работы практически нет.

В режиме ШИМ с корректной фазой блоки сравнения позволяют генерировать сигналы ШИМ на выводах OCNx. Установка битов COMnx1:0 в два приведет к неинвертированному ШИМ, а инвертированный выход ШИМ может быть сгенерирован установкой COMnx1:0 в три (см. [Табл. 17-5 на стр. 155](#)). Фактическое значение OCNx будет видно на выводе порта только в том случае, если направление данных для вывода порта установлено как выход (DDR\_OCNx). Сигнал ШИМ генерируется установкой (или очисткой) регистра OCNx при совпадении сравнения между OCRnx и TCNTn, когда счетчик увеличивается, и очисткой (или установкой) регистра OCNx при совпадении сравнения между OCRnx и TCNTn, когда счетчик уменьшается.

сожалеет. Частота ШИМ для выхода при использовании фазовой корректной ШИМ может быть рассчитана по следующему уравнению:

$$\phi_{OSnxPCPWM} = \frac{\phi}{2 \cdot N \cdot TOP}$$

Переменная N представляет делитель предварительного делителя (1, 8, 64, 256 или 1024).

Экстремальные значения регистра OCRnx представляют собой особые случаи при генерации выходного сигнала ШИМ в режиме ШИМ с корректной фазой. Если OCRnx установлен равным BOTTOM, выход будет постоянно низким, а если установлен равным TOP, выход будет постоянно высоким для неинвертированного режима PWM. Для инвертированного ШИМ выход будет иметь противоположные логические значения. Если OCR1A используется для определения значения TOP (WGM13:0 = 11) и COM1A1:0 = 1, выход OC1A будет переключаться с рабочим циклом 50%.

### 17.9.5 Фазовый и частотно-корректный режим ШИМ

The *правильная фаза и частота Широтно-импульсная модуляция*, Режим ШИМ с корректной фазой и частотой (WGMn3:0 = 8 или 9) обеспечивает возможность генерации сигналов ШИМ с высокой разрешающей способностью по фазе и частоте. Режим ШИМ с корректной фазой и частотой, как и режим ШИМ с корректной фазой, основан на работе с двойным наклоном. Счетчик постоянно считает от BOTTOM (0x0000) до TOP, а затем от TOP до BOTTOM. В неинвертирующем режиме сравнения вывода выходное сравнение (OSnx) сбрасывается при совпадении сравнения между TCNTn и OCRnx при прямом счете и устанавливается при совпадении сравнения при обратном счете. В инвертирующем режиме сравнения результатов операция инвертируется. Работа с двумя наклонами дает более низкую максимальную рабочую частоту по сравнению с работой с одним наклоном. Однако из-за симметричности режимов ШИМ с двумя наклонами эти режимы предпочтительны для приложений управления двигателем.

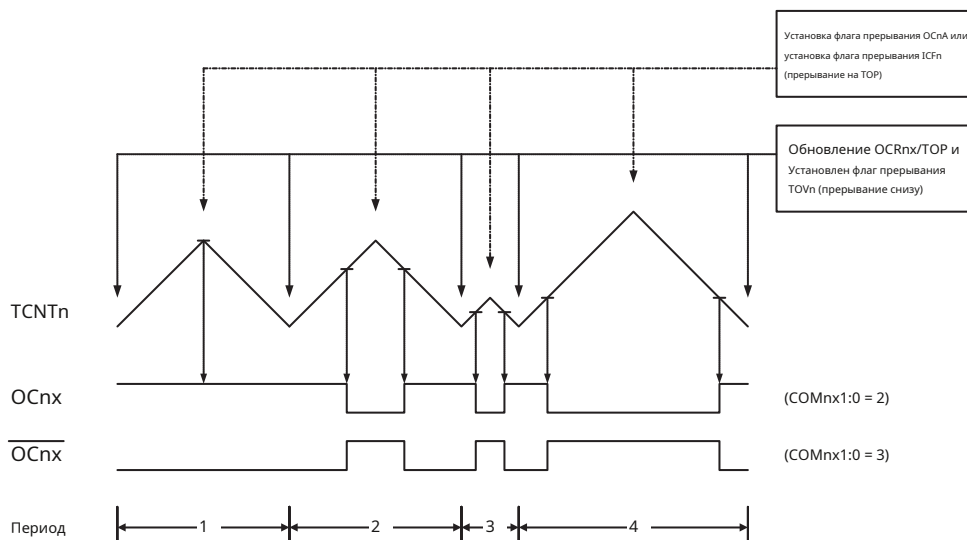
Основное различие между правильным по фазе и правильным по фазе и частоте режимом ШИМ заключается во времени, когда регистр OCRnx обновляется буферным регистром OCRnx, см. [Рис. 17-8 на стр. 149](#) а также [Рис. 17-9 на стр. 151](#).

Разрешение ШИМ для корректного по фазе и частоте режима ШИМ может быть определено либо ICRn, либо OCRnA. Минимальное допустимое разрешение — 2 бита (ICRn или OCRnA установлено на 0x0003), а максимальное разрешение — 16 бит (ICRn или OCRnA установлено на MAX). Разрешение ШИМ в битах можно рассчитать с помощью следующего уравнения:

$$PPCPWM = \frac{\text{журнал-ТОП} + 1 - \text{журнал-2}}{\text{знак равно}}$$

В режиме корректной ШИМ по фазе и частоте счетчик увеличивается до тех пор, пока значение счетчика не совпадет со значением в ICRn (WGMn3:0 = 8) или со значением в OCRnA (WGMn3:0 = 9). Счетчик достигает TOP и меняет направление счета. Значение TCNTn будет равно TOP для одного тактового цикла таймера. Временная диаграмма для корректного по фазе и по частоте режима ШИМ показана на [Рис. 17-9 на стр. 151](#). На рисунке показан корректный по фазе и частоте режим ШИМ, когда OCRnA или ICRn используются для определения TOP. Значение TCNTn показано на временной диаграмме в виде гистограммы, иллюстрирующей работу с двойным наклоном. На схеме представлены неинвертированные и инвертированные выходы ШИМ. Небольшие метки горизонтальной линии на склонах TCNTn представляют сравнительные совпадения между OCRnx и TCNTn. Флаг прерывания OSnx будет установлен при совпадении сравнения.

**Рисунок 17-9.** Фазовый и частотный корректный режим ШИМ, временная диаграмма



Флаг переполнения таймера/счетчика (TOVn) устанавливается в тот же такт таймера, когда регистры OCRnx обновляются значением двойного буфера (в НИЗУ). Когда для определения значения TOP используется либо OCRnA, либо ICRn, флаг OCNx или ICFn устанавливается, когда TCNTn достигает TOP. Затем можно использовать флаги прерывания для генерации прерывания каждый раз, когда счетчик достигает значения TOP или BOTTOM.

При изменении значения TOP программа должна убедиться, что новое значение TOP больше или равно значению всех регистров сравнения. Если значение TOP меньше любого из регистров сравнения, совпадение сравнения никогда не произойдет между TCNTn и OCRnx.

В качестве [Рисунок 17-9](#) показывает, что сгенерированный выходной сигнал, в отличие от режима правильной фазы, симметричен во всех периодах. Поскольку регистры OCRnx обновляются в НИЗУ, длина нарастания и спада всегда будет одинаковой. Это дает симметричные выходные импульсы и, следовательно, правильную частоту.

Использование регистра ICRn для определения TOP хорошо работает при использовании фиксированных значений TOP. При использовании ICRn регистр OCRnA можно использовать для генерации ШИМ-выхода на OCNx. Однако, если базовая частота ШИМ активно изменяется путем изменения значения TOP, использование OCRnA в качестве TOP, безусловно, является лучшим выбором из-за его функции двойного буфера.

В режиме корректной ШИМ по фазе и частоте блоки сравнения позволяют генерировать сигналы ШИМ на выводах OCnx. Установка битов COMnx1:0 в два приведет к неинвертированному ШИМ, а инвертированный выход ШИМ может быть сгенерирован установкой COMnx1:0 в три (см. [Табл. 17-5 на стр. 155](#)). Фактическое значение OCnx будет видно на выводе порта только в том случае, если направление данных для вывода порта установлено как выход (DDR\_OCnx). Сигнал ШИМ генерируется установкой (или очисткой) регистра OCnx при совпадении сравнения между OCRnx и TCNTn, когда счетчик увеличивается, и очисткой (или установкой) регистра OCnx при совпадении сравнения между OCRnx и TCNTn, когда счетчик уменьшается. Частота ШИМ для выхода при использовании правильной фазы и частоты ШИМ может быть рассчитана по следующему уравнению:

$$\phi_{OCnx} = \frac{f_{CPU}}{2^N \cdot \text{TOP}}$$

Переменная N представляет делитель предварительного делителя (1, 8, 64, 256 или 1024).

Экстремальные значения регистра OCRnx представляют собой особые случаи при генерации выходного сигнала ШИМ в режиме ШИМ с корректной фазой. Если OCRnx установлен равным BOTTOM, выход будет постоянно низким, а если установлен равным TOP, выход будет установлен на высокий уровень для неинвертированного режима ШИМ. Для инвертированного ШИМ выход будет иметь противоположные логические значения. Если OCR1A используется для определения значения TOP (WGM13:0 = 9) и COM1A1:0 = 1, выход OC1A будет переключаться с рабочим циклом 50%.

17.10 Временные диаграммы таймера/счетчика

Таймер/счетчик представляет собой синхронную конструкцию, а часы таймера (clk<sub>тн</sub>) поэтому показан как сигнал включения часов на следующих рисунках. Рисунки включают информацию о том, когда устанавливаются флаги прерывания и когда регистр OCR<sub>nx</sub> обновляется значением буфера OCR<sub>nx</sub> (только для режимов, использующих двойную буферизацию).Рисунок 17-10показывает временную диаграмму настройки OCF<sub>nx</sub>.

Рисунок 17-10.Временная диаграмма таймера/счетчика, настройка OCF<sub>nx</sub>, без предварительного масштабирования

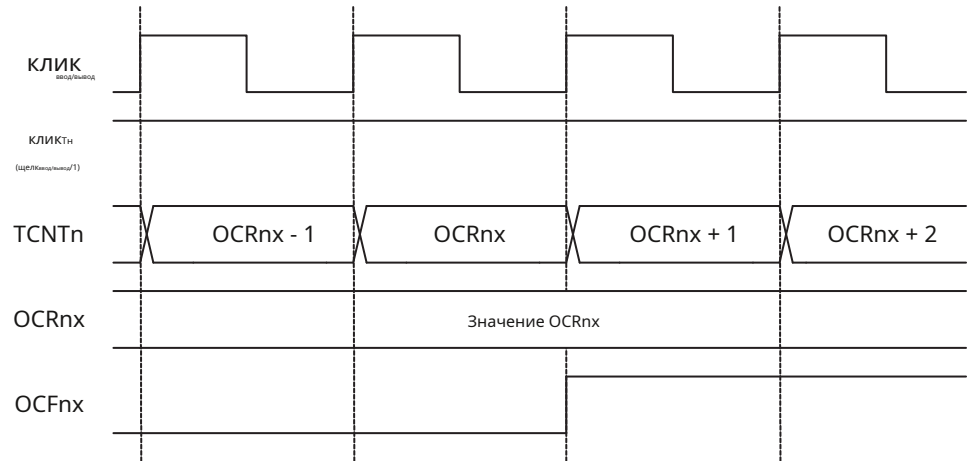


Рисунок 17-11показывает те же временные данные, но с включенным предварительным делителем.

Рисунок 17-11.Временная диаграмма таймера/счетчика, настройка OCF<sub>nx</sub> с предварительным делителем (f<sub>clk\_I/O</sub>/8)

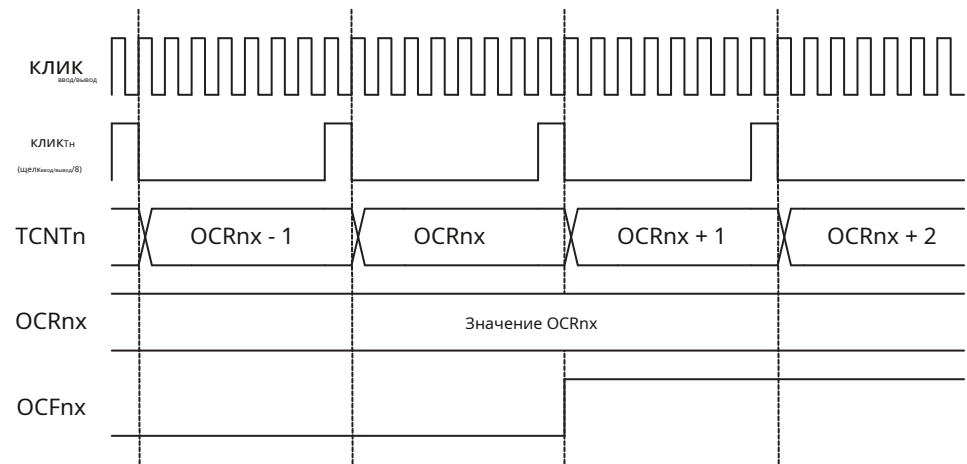


Рисунок 17-12 показывает последовательность счета, близкую к TOP в различных режимах. При использовании правильного режима ШИМ по фазе и частоте регистр OCRnx обновляется в BOTTOM. Временные диаграммы будут такими же, но TOP следует заменить на BOTTOM, TOP-1 на BOTTOM+1 и так далее. То же самое переименование применяется к режимам, которые устанавливают флаг TOVn в BOTTOM.

Рисунок 17-12. Временная диаграмма таймера/счетчика, без предварительного масштабирования

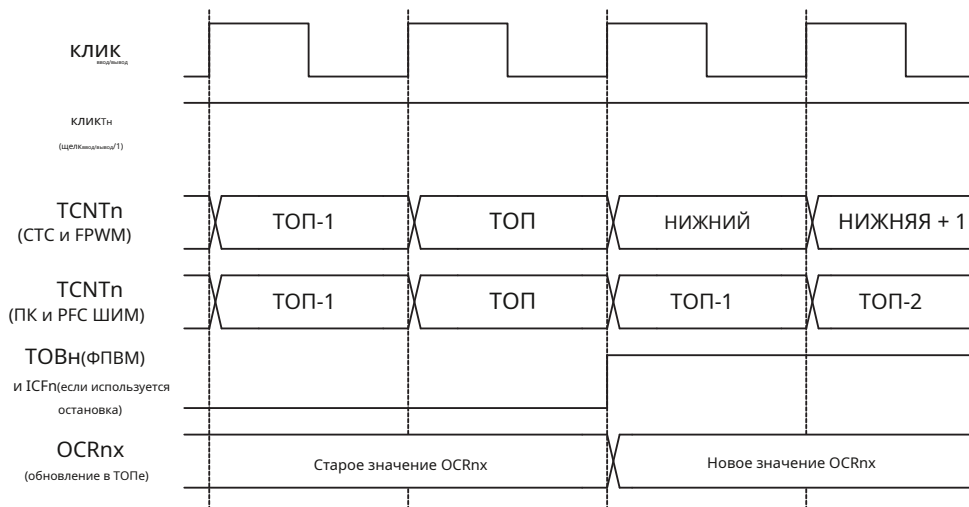
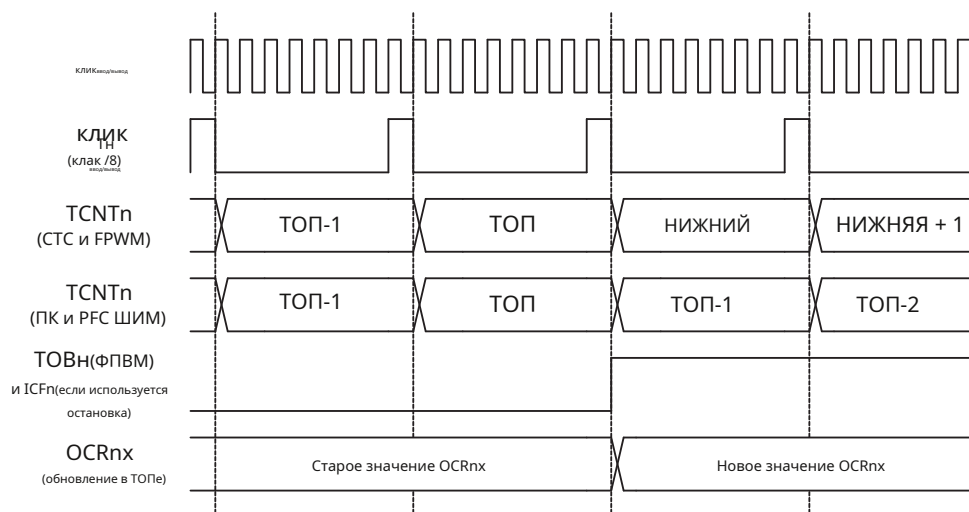


Рисунок 17-13 показывает те же временные данные, но с включенным предварительным делителем.

Рисунок 17-13. Временная диаграмма таймера/счетчика с предварительным делителем ( $f_{clk\_I/O}/8$ )



# 17.11 Описание регистра

## 17.11.1 TCCR1A — регистр управления таймером/счетчиком 1 A

|                    |        |        |        |        |        |        |       |       |        |
|--------------------|--------|--------|--------|--------|--------|--------|-------|-------|--------|
| Кусочек            | 7      | 6      | 5      | 4      | 3      | 2      | 1     | 0     |        |
| (0x80)             | COM1A1 | COM1A0 | COM1B1 | COM1B0 | COM1C1 | COM1C0 | WGM11 | WGM10 | TCCR1A |
| Читай пиши         | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З   | Ч/З   |        |
| Начальное значение | 0      | 0      | 0      | 0      | 0      | 0      | 0     | 0     |        |

## 17.11.2 TCCR3A — Регистр управления таймером/счетчиком 3 A

|                    |        |        |        |        |        |        |       |       |        |
|--------------------|--------|--------|--------|--------|--------|--------|-------|-------|--------|
| Кусочек            | 7      | 6      | 5      | 4      | 3      | 2      | 1     | 0     |        |
| (0x90)             | COM3A1 | COM3A0 | COM3B1 | COM3B0 | COM3C1 | COM3C0 | WGM31 | WGM30 | TCCR3A |
| Читай пиши         | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З   | Ч/З   |        |
| Начальное значение | 0      | 0      | 0      | 0      | 0      | 0      | 0     | 0     |        |

## 17.11.3 TCCR4A — Регистр управления таймером/счетчиком 4 A

|                    |        |        |        |        |        |        |       |       |        |
|--------------------|--------|--------|--------|--------|--------|--------|-------|-------|--------|
| Кусочек            | 7      | 6      | 5      | 4      | 3      | 2      | 1     | 0     |        |
| (0xA0)             | COM4A1 | COM4A0 | COM4B1 | COM4B0 | COM4C1 | COM4C0 | WGM41 | WGM40 | TCCR4A |
| Читай пиши         | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З   | Ч/З   |        |
| Начальное значение | 0      | 0      | 0      | 0      | 0      | 0      | 0     | 0     |        |

## 17.11.4 TCCR5A — Регистр управления таймером/счетчиком 5 A

|                    |        |        |        |        |        |        |       |       |        |
|--------------------|--------|--------|--------|--------|--------|--------|-------|-------|--------|
| Кусочек            | 7      | 6      | 5      | 4      | 3      | 2      | 1     | 0     |        |
| (0x120)            | COM5A1 | COM5A0 | COM5B1 | COM5B0 | COM5C1 | COM5C0 | WGM51 | WGM50 | TCCR5A |
| Читай пиши         | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З    | Ч/З   | Ч/З   |        |
| Начальное значение | 0      | 0      | 0      | 0      | 0      | 0      | 0     | 0     |        |

- Бит 7:6 — COMnA1:0: Сравнить режим вывода для канала A
- Бит 5:4 — COMnB1:0: Сравнить режим вывода для канала B
- Бит 3:2 — COMnC1:0: Сравнить режим вывода для канала C

COMnA1:0, COMnB1:0 и COMnC1:0 управляют поведением выходных контактов сравнения (ОСнА, ОСнВ и ОСнС соответственно). Если один или оба бита COMnA1:0 записываются в единицу, выход ОСнА переопределяет нормальную функциональность порта вывода ввода-вывода, к которому он подключен. Если один или оба бита COMnB1:0 записываются в единицу, выход ОСнВ переопределяет нормальную функциональность порта вывода ввода-вывода, к которому он подключен. Если один или оба бита COMnC1:0 записываются в единицу, выход ОСнС переопределяет нормальную функциональность порта вывода ввода-вывода, к которому он подключен. Однако обратите внимание, что бит регистра направления данных (DDR), соответствующий выводу ОСнА, ОСнВ или ОСнС, должен быть установлен для включения выходного драйвера.

Когда ОСнА, ОСнВ или ОСнС подключены к выводу, функция битов COMnx1:0 зависит от установки битов WGMn3:0. Табл. 17-3 на стр. 155 показывает функциональность бита COMnx1:0, когда биты WGMn3:0 установлены в нормальный режим или режим CTC (без ШИМ).



### • Бит 1:0 – WGMn1:0: Режим генерации сигнала

В сочетании с битами WGMn3:2, находящимися в регистре TCCRnB, эти биты управляют последовательностью подсчета счетчика, источником максимального (ТОР) значения счетчика и используемым типом генерации сигнала, см. [Табл. 17-2 на стр. 145](#). Блок таймера/счетчика поддерживает следующие режимы работы: нормальный режим (счетчик), режим сброса таймера при сравнении (СТС) и три типа режимов широтно-импульсной модуляции (ШИМ). Дополнительные сведения о различных режимах см. «Режимы работы» на стр. 144.

**Таблица 17-3.** Сравните режим вывода без ШИМ

| COMnA1<br>COMnB1<br>COMnC1 | COMnA0<br>COMnB0<br>COMnC0 | Описание   |
|----------------------------|----------------------------|--|
| 0                          | 0                          | Нормальная работа порта, OSnA/OSnB/OSnC отключены  |
| 0                          | 1                          | Переключение OSnA/OSnB/OSnC при сравнении соответствия                                   |
| 1                          | 0                          | Очистить OSnA/OSnB/OSnC при совпадении сравнения (установить выход на низкий уровень)    |
| 1                          | 1                          | Установить OSnA/OSnB/OSnC при совпадении сравнения (установить выход на высокий уровень) |

[Таблица 17-4](#) показывает функциональность бита COMnx1:0, когда биты WGMn3:0 установлены в быстрый режим PWM.

**Таблица 17-4.** Сравните режим вывода, быстрый ШИМ

| COMnA1<br>COMnB1<br>COMnC1 | COMnA0<br>COMnB0<br>COMnC0 | Описание   |
|----------------------------|----------------------------|--|
| 0                          | 0                          | Нормальная работа порта, OSnA/OSnB/OSnC отключены  |
| 0                          | 1                          | WGM13:0 = 14 или 15: переключить OC1A на сравнение совпадений, OC1B и OC1C отключены (обычный портовая операция). Для всех других настроек WGM1 нормальная работа порта, OC1A/OC1B/OC1C отключен |
| 1                          | 0                          | Очистите OSnA/OSnB/OSnC при совпадении сравнения, установите OSnA/OSnB/OSnC в НИЖНЕЕ (неинвертирующее Режим)   |
| 1                          | 1                          | Установите OSnA/OSnB/OSnC при совпадении сравнения, снимите OSnA/OSnB/OSnC в ВОТТОМ (инвертирующая Режим)  |

Примечание: Особый случай возникает, когда OCRnA/OCRnB/OCRnC равен TOP и установлен COMnA1/COMnB1/COMnC1. В этом случае совпадение сравнения игнорируется, но установка или очистка выполняется в ВОТТОМ. См. «Режим быстрой ШИМ» на стр. 146. Больше подробностей.

[Таблица 17-5](#) показывает функциональность бита COMnx1:0, когда биты WGMn3:0 установлены в корректный по фазе и корректный по частоте режим PWM.

**Таблица 17-5.** Сравните режим вывода, коррекцию фазы и ШИМ с коррекцией фазы и частоты

| COMnA1<br>COMnB1<br>COMnC1 | COMnA0<br>COMnB0<br>COMnC0 | Описание  |
|----------------------------|----------------------------|---|
| 0                          | 0                          | Нормальная работа порта, OSnA/OSnB/OSnC отключены   |
| 0                          | 1                          | WGM13:0 = 9 или 11: переключить OC1A на сравнение совпадений, OC1B и OC1C отключены (нормальная работа порта). Для всех других настроек WGM1 нормальная работа порта, OC1A/OC1B/OC1C отключены. |
| 1                          | 0                          | Очистить OSnA/OSnB/OSnC при совпадении сравнения при обратном счете<br>Установить OSnA/OSnB/OSnC при совпадении сравнения при обратном счете  |
| 1                          | 1                          | Установить OSnA/OSnB/OSnC при совпадении сравнения при прямом счете<br>Очистить OSnA/OSnB/OSnC при совпадении сравнения при обратном счете  |

Примечание: Особый случай возникает, когда OCRnA/OCRnB/OCRnC равен TOP и установлен COMnA1/COMnB1//COMnC1. См. «Режим ШИМ с фазовой коррекцией» на стр. 148. Больше подробностей.

#### 17.11.5 TCCR1B — Регистр управления таймером/счетчиком 1 В

| Кусочек            | 7     | 6     | 5 | 4     | 3     | 2    | 1    | 0    |        |
|--------------------|-------|-------|---|-------|-------|------|------|------|--------|
| (0x81)             | ICNC1 | ICES1 | – | WGM13 | WGM12 | CS12 | CS11 | CS10 | TCCR1B |
| Читай пиши         | Ч/З   | Ч/З   | р | Ч/З   | Ч/З   | Ч/З  | Ч/З  | Ч/З  |        |
| Начальное значение | 0     | 0     | 0 | 0     | 0     | 0    | 0    | 0    |        |

#### 17.11.6 TCCR3B — Регистр управления таймером/счетчиком 3 В

| Кусочек            | 7     | 6     | 5 | 4     | 3     | 2    | 1    | 0    |        |
|--------------------|-------|-------|---|-------|-------|------|------|------|--------|
| (0x91)             | ICNC3 | ICES3 | – | WGM33 | WGM32 | CS32 | CS31 | CS30 | TCCR3B |
| Читай пиши         | Ч/З   | Ч/З   | р | Ч/З   | Ч/З   | Ч/З  | Ч/З  | Ч/З  |        |
| Начальное значение | 0     | 0     | 0 | 0     | 0     | 0    | 0    | 0    |        |

#### 17.11.7 TCCR4B — Регистр управления таймером/счетчиком 4 В

| Кусочек            | 7     | 6     | 5 | 4     | 3     | 2    | 1    | 0    |        |
|--------------------|-------|-------|---|-------|-------|------|------|------|--------|
| (0xA1)             | ICNC4 | ICES4 | – | WGM43 | WGM42 | CS42 | CS41 | CS40 | TCCR4B |
| Читай пиши         | Ч/З   | Ч/З   | р | Ч/З   | Ч/З   | Ч/З  | Ч/З  | Ч/З  |        |
| Начальное значение | 0     | 0     | 0 | 0     | 0     | 0    | 0    | 0    |        |

#### 17.11.8 TCCR5B — Регистр управления таймером/счетчиком 5 В

| Кусочек            | 7     | 6     | 5 | 4     | 3     | 2    | 1    | 0    |        |
|--------------------|-------|-------|---|-------|-------|------|------|------|--------|
| (0x121)            | ICNC5 | ICES5 | – | WGM53 | WGM52 | CS52 | CS51 | CS50 | TCCR5B |
| Читай пиши         | Ч/З   | Ч/З   | р | Ч/З   | Ч/З   | Ч/З  | Ч/З  | Ч/З  |        |
| Начальное значение | 0     | 0     | 0 | 0     | 0     | 0    | 0    | 0    |        |

##### • Бит 7 — ICNCn: Шумоподавление захвата ввода

Установка этого бита (в единицу) активирует шумоподавитель захвата ввода. Когда Шумоподавление активировано, вход с вывода захвата ввода (ICPn) фильтруется. Функция фильтра требует четыре последовательных равнозначных выборки вывода ICPn для изменения его выхода. Таким образом, входной захват задерживается на четыре цикла осциллятора, когда включен шумоподавитель.

##### • Бит 6 — ICESn: выбор входного фронта захвата

Этот бит определяет, какой фронт на входном выводе захвата (ICPn) используется для запуска события захвата. Когда бит ICESn записывается в ноль, в качестве триггера используется спадающий (отрицательный) фронт, а когда бит ICESn записывается в единицу, нарастающий (положительный) фронт запускает захват.

Когда захват запускается в соответствии с настройкой ICESn, значение счетчика копируется во входной регистр захвата (ICRn). Событие также установит флаг захвата ввода (ICFn), и его можно использовать для вызова прерывания захвата ввода, если это прерывание разрешено.

Когда ICRn используется в качестве значения TOP (см. описание битов WGMn3:0, расположенных в регистрах TCCRnA и TCCRnB), ICPn отключается и, следовательно, функция захвата ввода отключается.

##### • Бит 5 – зарезервированный бит

Этот бит зарезервирован для будущего использования. Для обеспечения совместимости с будущими устройствами этот бит должен быть записан в ноль при записи TCCRnB.

##### • Бит 4:3 – WGMn3:2: Режим генерации сигнала

См. описание регистра TCCRnA.

#### • Бит 2:0 – CSn2:0: Выбор часов

Три бита выбора тактового сигнала выбирают источник тактового сигнала, который будет использоваться таймером/счетчиком, см. [Рисунок 17-10а](#) также [Рис. 17-11 на стр. 152](#).

Таблица 17-6. Бит выбора часов Описание

| CSn2 | CSn1 | CSn0 | Описание   |
|------|------|------|--|
| 0    | 0    | 0    | Нет источника часов. (Таймер/счетчик остановлен)                     |
| 0    | 0    | 1    | клик/вывод/1 (без предварительного масштабирования)                  |
| 0    | 1    | 0    | клик/вывод/вывод/8 (из прескалера)                                   |
| 0    | 1    | 1    | клик/вывод/вывод/64 (из прескалера)                                  |
| 1    | 0    | 0    | клик/вывод/вывод/256 (из предварительного делителя)                  |
| 1    | 0    | 1    | клик/вывод/вывод/1024 (из прескалера)                                |
| 1    | 1    | 0    | Внешний источник синхронизации на выводе Tn. Часы на падающем фронте |
| 1    | 1    | 1    | Внешний источник синхронизации на выводе Tn. Часы на переднем фронте |

Если для таймера/счетчика используются внешние режимы вывода, переходы на выводе Tn будут тактировать счетчик, даже если вывод сконфигурирован как выход. Эта функция позволяет программному управлению подсчетом.

#### 17.11.9 TCCR1C — Регистр управления таймером/счетчиком 1 С

|                    |       |       |       |   |   |   |   |   |        |
|--------------------|-------|-------|-------|---|---|---|---|---|--------|
| Кусочек            | 7     | 6     | 5     | 4 | 3 | 2 | 1 | 0 |        |
| (0x82)             | FOC1A | FOC1B | FOC1C | – | – | – | – | – | TCCR1C |
| Читай пиши         | Вт    | Вт    | Вт    | р | р | р | р | р |        |
| Начальное значение | 0     | 0     | 0     | 0 | 0 | 0 | 0 | 0 |        |

#### 17.11.10 TCCR3C — Регистр управления таймером/счетчиком 3 С

|                    |       |       |       |   |   |   |   |   |        |
|--------------------|-------|-------|-------|---|---|---|---|---|--------|
| Кусочек            | 7     | 6     | 5     | 4 | 3 | 2 | 1 | 0 |        |
| (0x92)             | FOC3A | FOC3B | FOC3C | – | – | – | – | – | TCCR3C |
| Читай пиши         | Вт    | Вт    | Вт    | р | р | р | р | р |        |
| Начальное значение | 0     | 0     | 0     | 0 | 0 | 0 | 0 | 0 |        |

#### 17.11.11 TCCR4C — Регистр управления таймером/счетчиком 4 С

|                    |       |       |       |   |   |   |   |   |        |
|--------------------|-------|-------|-------|---|---|---|---|---|--------|
| Кусочек            | 7     | 6     | 5     | 4 | 3 | 2 | 1 | 0 |        |
| (0xA2)             | FOC4A | FOC4B | FOC4C | – | – | – | – | – | TCCR4C |
| Читай пиши         | Вт    | Вт    | Вт    | р | р | р | р | р |        |
| Начальное значение | 0     | 0     | 0     | 0 | 0 | 0 | 0 | 0 |        |

#### 17.11.12 TCCR5C — Регистр управления таймером/счетчиком 5 С

|                    |       |       |       |   |   |   |   |   |        |
|--------------------|-------|-------|-------|---|---|---|---|---|--------|
| Кусочек            | 7     | 6     | 5     | 4 | 3 | 2 | 1 | 0 |        |
| (0x122)            | FOC5A | FOC5B | FOC5C | – | – | – | – | – | TCCR5C |
| Читай пиши         | Вт    | Вт    | Вт    | р | р | р | р | р |        |
| Начальное значение | 0     | 0     | 0     | 0 | 0 | 0 | 0 | 0 |        |

- Бит 7 — FOCnA: принудительное сравнение выходных данных для канала A
- Бит 6 — FOCnB: принудительное сравнение выходных данных для канала B
- Бит 5 — FOCnC: принудительное сравнение выходных данных для канала C

Биты FOCnA/FOCnB/FOCnC активны только тогда, когда биты WGMn3:0 указывают режим без ШИМ. При записи логической единицы в бит FOCnA/FOCnB/FOCnC на блоке генерации сигнала принудительно выполняется немедленное сравнение сравнения. Выход OCnA/OCnB/OCnC изменяется в соответствии с настройкой битов COMnx1:0. Обратите внимание, что биты FOCnA/FOCnB/FOCnC реализованы в виде стробов. Следовательно, значение, присутствующее в битах COMnx1:0, определяет эффект принудительного сравнения.

Строб FOCnA/FOCnB/FOCnC не будет генерировать никаких прерываний и не будет сбрасывать таймер в режиме Clear Timer on Compare Match (CTC), используя OCRnA в качестве TOP.

Биты FOCnA/FOCnB/FOCnC всегда читаются как нули.

#### • Бит 4:0 – Зарезервированные биты

Эти биты зарезервированы для использования в будущем. Для обеспечения совместимости с будущими устройствами эти биты должны быть записаны в ноль при записи TCCRnC.

### 17.11.13 TCNT1H и TCNT1L – Таймер/Счетчик 1

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x85)             | TCNT1[15:8] |     |     |     |     |     |     |     | TCNT1H |
| (0x84)             | TCNT1[7:0]  |     |     |     |     |     |     |     | TCNT1L |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

### 17.11.14 TCNT3H и TCNT3L – Таймер/Счетчик 3

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x95)             | TCNT3[15:8] |     |     |     |     |     |     |     | TCNT3H |
| (0x94)             | TCNT3[7:0]  |     |     |     |     |     |     |     | TCNT3L |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

### 17.11.15 TCNT4H и TCNT4L – Таймер/Счетчик 4

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0xA5)             | TCNT4[15:8] |     |     |     |     |     |     |     | TCNT4H |
| (0xA4)             | TCNT4[7:0]  |     |     |     |     |     |     |     | TCNT4L |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

### 17.11.16 TCNT5H и TCNT5L – Таймер/Счетчик 5

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x125)            | TCNT5[15:8] |     |     |     |     |     |     |     | TCNT5H |
| (0x124)            | TCNT5[7:0]  |     |     |     |     |     |     |     | TCNT5L |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

Два Таймер/счетчикЯчейки ввода/вывода (TCNTnH и TCNTnL, объединенные TCNTn) обеспечивают прямой доступ, как для операций чтения, так и для операций записи, к 16-разрядному счетчику блока таймера/счетчика. Чтобы обеспечить одновременное чтение и запись старших и младших байтов, когда ЦП обращается к этим регистрам, доступ выполняется с использованием 8-битного временного регистра старших байтов (TEMP). Этот временный регистр является общим для всех остальных 16-битных регистров. [См. «Доступ к 16-битным регистрам» на стр. 135.](#)

Изменение счетчика (TCNTn) во время его работы создает риск отсутствия совпадения сравнения между TCNTn и одним из регистров OCRnx.

Запись в регистр TCNTn блокирует (удаляет) совпадение сравнения на следующих тактах таймера для всех устройств сравнения.

#### 17.11.17 OCR1AH и OCR1AL — выходной регистр сравнения 1 A

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x89)             | OCR1A[15:8] |     |     |     |     |     |     |     | OCR1AH |
| (0x88)             | OCR1A[7:0]  |     |     |     |     |     |     |     | OCR1AL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.18 OCR1BH и OCR1BL — регистр сравнения выходных данных 1 B

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x8B)             | OCR1B[15:8] |     |     |     |     |     |     |     | OCR1BH |
| (0x8A)             | OCR1B[7:0]  |     |     |     |     |     |     |     | OCR1BL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.19 OCR1CH и OCR1CL — выходной регистр сравнения 1 C

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x8D)             | OCR1C[15:8] |     |     |     |     |     |     |     | OCR1CH |
| (0x8C)             | OCR1C[7:0]  |     |     |     |     |     |     |     | OCR1CL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.20 OCR3AH и OCR3AL — регистр сравнения выходов 3 A

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x99)             | OCR3A[15:8] |     |     |     |     |     |     |     | OCR3AH |
| (0x98)             | OCR3A[7:0]  |     |     |     |     |     |     |     | OCR3AL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.21 OCR3BH и OCR3BL — регистр сравнения выходных данных 3 B

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x9B)             | OCR3B[15:8] |     |     |     |     |     |     |     | OCR3BH |
| (0x9A)             | OCR3B[7:0]  |     |     |     |     |     |     |     | OCR3BL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.22 OCR3CH и OCR3CL — Регистр сравнения выходных данных 3 C

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x9D)             | OCR3C[15:8] |     |     |     |     |     |     |     | OCR3CH |
| (0x9C)             | OCR3C[7:0]  |     |     |     |     |     |     |     | OCR3CL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.23 OCR4AH и OCR4AL — регистр сравнения выходов 4 A

|         |             |   |   |   |   |   |   |   |        |
|---------|-------------|---|---|---|---|---|---|---|--------|
| Кусочек | 7           | 6 | 5 | 4 | 3 | 2 | 1 | 0 |        |
| (0xA9)  | OCR4A[15:8] |   |   |   |   |   |   |   | OCR4AH |

|                    |            |     |     |     |     |     |     |     |        |
|--------------------|------------|-----|-----|-----|-----|-----|-----|-----|--------|
| (0xA8)             | OCR4A[7:0] |     |     |     |     |     |     |     | OCR4AL |
| Читай пиши         | Ч/З        | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.24 OCR4BH и OCR4BL — регистр сравнения выходных данных 4 В

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0xAA)             | OCR4B[15:8] |     |     |     |     |     |     |     | OCR4BH |
| (0xAB)             | OCR4B[7:0]  |     |     |     |     |     |     |     | OCR4BL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.25 OCR4CH и OCR4CL — регистр сравнения выходных данных 4 С

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0xAD)             | OCR4C[15:8] |     |     |     |     |     |     |     | OCR4CH |
| (0xAC)             | OCR4C[7:0]  |     |     |     |     |     |     |     | OCR4CL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.26 OCR5AH и OCR5AL — регистр сравнения выходов 5 А

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x129)            | OCR5A[15:8] |     |     |     |     |     |     |     | OCR5AH |
| (0x128)            | OCR5A[7:0]  |     |     |     |     |     |     |     | OCR5AL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.27 OCR5BH и OCR5BL — регистр сравнения выходных данных 5 В

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x12B)            | OCR5B[15:8] |     |     |     |     |     |     |     | OCR5BH |
| (0x12A)            | OCR5B[7:0]  |     |     |     |     |     |     |     | OCR5BL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

#### 17.11.28 OCR5CH и OCR5CL — регистр сравнения выходных данных 5 С

|                    |             |     |     |     |     |     |     |     |        |
|--------------------|-------------|-----|-----|-----|-----|-----|-----|-----|--------|
| Кусочек            | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |        |
| (0x12D)            | OCR5C[15:8] |     |     |     |     |     |     |     | OCR5CH |
| (0x12C)            | OCR5C[7:0]  |     |     |     |     |     |     |     | OCR5CL |
| Читай пиши         | Ч/З         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |        |
| Начальное значение | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   |        |

Регистры сравнения вывода содержат 16-битное значение, которое постоянно сравнивается со значением счетчика (TCNTn).

Совпадение можно использовать для генерации прерывания сравнения выходных данных или для генерации выходного сигнала на выводе OSpх.

Регистры сравнения вывода имеют размер 16 бит. Чтобы обеспечить одновременную запись старших и младших байтов при записи ЦП в эти регистры, доступ осуществляется с использованием 8-битного временного регистра старших байтов (TEMP). Этот временный регистр является общим для всех остальных 16-битных регистров. [См. «Доступ к 16-битным регистрам» на стр. 135.](#)

#### 17.11.29 ICR1H и ICR1L — входной регистр захвата 1

|         |            |   |   |   |   |   |   |   |       |
|---------|------------|---|---|---|---|---|---|---|-------|
| Кусочек | 7          | 6 | 5 | 4 | 3 | 2 | 1 | 0 |       |
| (0x87)  | ICR1[15:8] |   |   |   |   |   |   |   | ICR1H |
| (0x86)  | ICR1[7:0]  |   |   |   |   |   |   |   | ICR1L |

|                    |     |     |     |     |     |     |     |     |
|--------------------|-----|-----|-----|-----|-----|-----|-----|-----|
| Читай пиши         | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |
| Начальное значение | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

### 17.11.30 ICR3H и ICR3L — входной регистр захвата 3

|                    |            |     |     |     |     |     |     |     |       |
|--------------------|------------|-----|-----|-----|-----|-----|-----|-----|-------|
| Кусочек            | 7          | 6   | 5   | 4   | 3   | 2   | 1   | 0   |       |
| (0x97)             | ICR3[15:8] |     |     |     |     |     |     |     | ICR3H |
| (0x96)             | ICR3[7:0]  |     |     |     |     |     |     |     | ICR3L |
| Читай пиши         | Ч/З        | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |       |
| Начальное значение | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |       |

### 17.11.31 ICR4H и ICR4L — входной регистр захвата 4

|                    |            |     |     |     |     |     |     |     |       |
|--------------------|------------|-----|-----|-----|-----|-----|-----|-----|-------|
| Кусочек            | 7          | 6   | 5   | 4   | 3   | 2   | 1   | 0   |       |
| (0xA7)             | ICR4[15:8] |     |     |     |     |     |     |     | ICR4H |
| (0xA6)             | ICR4[7:0]  |     |     |     |     |     |     |     | ICR4L |
| Читай пиши         | Ч/З        | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |       |
| Начальное значение | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |       |

### 17.11.32 ICR5H и ICR5L — входной регистр захвата 5

|                    |            |     |     |     |     |     |     |     |       |
|--------------------|------------|-----|-----|-----|-----|-----|-----|-----|-------|
| Кусочек            | 7          | 6   | 5   | 4   | 3   | 2   | 1   | 0   |       |
| (0x127)            | ICR5[15:8] |     |     |     |     |     |     |     | ICR5H |
| (0x126)            | ICR5[7:0]  |     |     |     |     |     |     |     | ICR5L |
| Читай пиши         | Ч/З        | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З | Ч/З |       |
| Начальное значение | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |       |

Входной захват обновляется значением счетчика (TCNTn) каждый раз, когда происходит событие на выводе ICPn (или, опционально, на выходе аналогового компаратора для Таймера/Счетчика1). Входной захват можно использовать для определения значения счетчика TOP.

Регистр захвата ввода имеет размер 16 бит. Чтобы обеспечить одновременное чтение как старшего, так и младшего байтов, когда ЦП обращается к этим регистрам, доступ выполняется с использованием 8-битного временного регистра старшего байта (TEMP). Этот временный регистр является общим для всех остальных 16-битных регистров. См. «Доступ к 16-битным регистрам» на стр. 135.

### 17.11.33 TIMSK1 — Регистр маски прерывания таймера/счетчика 1

|                    |   |   |       |   |        |        |        |       |        |
|--------------------|---|---|-------|---|--------|--------|--------|-------|--------|
| Кусочек            | 7 | 6 | 5     | 4 | 3      | 2      | 1      | 0     |        |
| (0x6F)             | — | — | мклп1 | — | ОСІЕ1С | ОСІЕ1В | ОСІЕ1А | ТОІЕ1 | ТИМСК1 |
| Читай пиши         | р | р | Ч/З   | р | Ч/З    | Ч/З    | Ч/З    | Ч/З   |        |
| Начальное значение | 0 | 0 | 0     | 0 | 0      | 0      | 0      | 0     |        |

### 17.11.34 TIMSK3 — Регистр маски прерывания таймера/счетчика 3

|                    |   |   |       |   |        |        |        |       |        |
|--------------------|---|---|-------|---|--------|--------|--------|-------|--------|
| Кусочек            | 7 | 6 | 5     | 4 | 3      | 2      | 1      | 0     |        |
| (0x71)             | — | — | мклпз | — | ОСІЕЗС | ОСІЕЗВ | ОСІЕЗА | ТОІЕЗ | ТИМСКЗ |
| Читай пиши         | р | р | Ч/З   | р | Ч/З    | Ч/З    | Ч/З    | Ч/З   |        |
| Начальное значение | 0 | 0 | 0     | 0 | 0      | 0      | 0      | 0     |        |

### 17.11.35 TIMSK4 - Регистр маски прерывания таймера/счетчика 4

|                    |   |   |       |   |        |        |        |       |        |
|--------------------|---|---|-------|---|--------|--------|--------|-------|--------|
| Кусочек            | 7 | 6 | 5     | 4 | 3      | 2      | 1      | 0     |        |
| (0x72)             | — | — | мклп4 | — | ОСІЕ4С | ОСІЕ4В | ОСІЕ4А | ТОІЕ4 | ТИМСК4 |
| Читай пиши         | р | р | Ч/З   | р | Ч/З    | Ч/З    | Ч/З    | Ч/З   |        |
| Начальное значение | 0 | 0 | 0     | 0 | 0      | 0      | 0      | 0     |        |

### 17.11.36 TIMSK5 - Регистр маски прерывания таймера/счетчика 5

|                    |   |   |      |   |        |        |        |       |        |
|--------------------|---|---|------|---|--------|--------|--------|-------|--------|
| Кусочек            | 7 | 6 | 5    | 4 | 3      | 2      | 1      | 0     |        |
| (0x73)             | - | - | МКП5 | - | ОСІЕ5С | ОСІЕ5В | ОСІЕ5А | ТОІЕ5 | TIMSK5 |
| Читай пиши         | р | р | Ч/З  | р | Ч/З    | Ч/З    | Ч/З    | Ч/З   |        |
| Начальное значение | 0 | 0 | 0    | 0 | 0      | 0      | 0      | 0     |        |

• **Бит 5 – ОСІЕп: Таймер/счетчик, разрешение прерывания захвата ввода**

Когда этот бит записывается в единицу, а I-флаг в регистре состояния установлен (прерывания разрешены глобально), прерывание по захвату входа таймера/счетчика разрешено. Соответствующий вектор прерывания (см. «Прерывания» на стр. 101) выполняется, когда установлен флаг ICFn, расположенный в TIFRn.

• **Бит 3 – ОСІЕпС: Таймер/счетчик, разрешение прерывания совпадения выходного сигнала С**

Когда этот бит записывается в единицу, а I-флаг в регистре состояния установлен (прерывания разрешены глобально), разрешено прерывание совпадения выходов таймера/счетчика С. Соответствующий вектор прерывания (см. «Прерывания» на стр. 101) выполняется, когда установлен флаг OCFnC, расположенный в TIFRn.

• **Бит 2 – ОСІЕпВ: Таймер/счетчик, разрешение прерывания совпадения выхода сравнения В**

Когда этот бит записывается в единицу, а I-флаг в регистре состояния установлен (прерывания разрешены глобально), разрешено прерывание совпадения выходов таймера/счетчика В. Соответствующий вектор прерывания (см. «Прерывания» на стр. 101) выполняется, когда установлен флаг OCFnB, расположенный в TIFRn.

• **Бит 1 – ОСІЕпА: таймер/счетчик, разрешение прерывания сравнения выходов и соответствия**

Когда этот бит записывается в единицу, а I-флаг в регистре состояния установлен (прерывания разрешены глобально), разрешено прерывание сравнения выхода таймера/счетчика. Соответствующий вектор прерывания (см. «Прерывания» на стр. 101) выполняется, когда установлен флаг OCFnA, расположенный в TIFRn.

• **Бит 0 – ТОІЕп: таймер/счетчик, разрешение прерывания от переполнения.**

Когда этот бит записывается в единицу, а I-флаг в регистре состояния установлен (прерывания разрешены глобально), прерывание по переполнению таймера/счетчика разрешено. Соответствующий вектор прерывания (см. «Прерывания» на стр. 101) выполняется, когда установлен флаг TOVn, расположенный в TIFRn.

### 17.11.37 TIFR1 — регистр флага прерывания таймера/счетчика 1

|                    |   |   |      |   |       |       |       |      |       |
|--------------------|---|---|------|---|-------|-------|-------|------|-------|
| Кусочек            | 7 | 6 | 5    | 4 | 3     | 2     | 1     | 0    |       |
| 0x16 (0x36)        | - | - | ІCF1 | - | OCF1C | OCF1B | OCF1A | TOB1 | TIFR1 |
| Читай пиши         | р | р | Ч/З  | р | Ч/З   | Ч/З   | Ч/З   | Ч/З  |       |
| Начальное значение | 0 | 0 | 0    | 0 | 0     | 0     | 0     | 0    |       |

### 17.11.38 TIFR3 — регистр флага прерывания таймера/счетчика 3

|                    |   |   |      |   |       |       |       |      |       |
|--------------------|---|---|------|---|-------|-------|-------|------|-------|
| Кусочек            | 7 | 6 | 5    | 4 | 3     | 2     | 1     | 0    |       |
| 0x18 (0x38)        | - | - | МКФЗ | - | OCF3C | OCF3B | OCF3A | TOB3 | TIFR3 |
| Читай пиши         | р | р | Ч/З  | р | Ч/З   | Ч/З   | Ч/З   | Ч/З  |       |
| Начальное значение | 0 | 0 | 0    | 0 | 0     | 0     | 0     | 0    |       |

### 17.11.39 TIFR4 - регистр флага прерывания таймера / счетчика 4

|                    |   |   |      |   |       |       |       |      |       |
|--------------------|---|---|------|---|-------|-------|-------|------|-------|
| Кусочек            | 7 | 6 | 5    | 4 | 3     | 2     | 1     | 0    |       |
| 0x19 (0x39)        | - | - | ІCF4 | - | OCF4C | OCF4B | OCF4A | TOB4 | TIFR4 |
| Читай пиши         | р | р | Ч/З  | р | Ч/З   | Ч/З   | Ч/З   | Ч/З  |       |
| Начальное значение | 0 | 0 | 0    | 0 | 0     | 0     | 0     | 0    |       |



#### 17.11.40 TIFR5 — регистр флага прерывания таймера/счетчика 5

|                    |   |   |      |   |       |       |       |      |       |
|--------------------|---|---|------|---|-------|-------|-------|------|-------|
| Кусочек            | 7 | 6 | 5    | 4 | 3     | 2     | 1     | 0    |       |
| 0x1A (0x3A)        | – | – | ICF5 | – | OCF5C | OCF5B | OCF5A | TOB5 | TIFR5 |
| Читай пиши         | р | р | Ч/З  | р | Ч/З   | Ч/З   | Ч/З   | Ч/З  |       |
| Начальное значение | 0 | 0 | 0    | 0 | 0     | 0     | 0     | 0    |       |

##### • Бит 5 – ICFn: Таймер/счетчик, флаг захвата ввода

Этот флаг устанавливается, когда на выводе ICPn происходит событие захвата. Когда входной регистр захвата (ICRn) устанавливается WGMn3:0 для использования в качестве значения TOP, флаг ICFn устанавливается, когда счетчик достигает значения TOP.

ICFn автоматически сбрасывается при выполнении вектора прерывания захвата входа. Альтернативно, ICFn можно очистить, записав логическую единицу в его битовую позицию.

##### • Бит 3– OCFnC: таймер/счетчик, флаг совпадения выходного сравнения C

Этот флаг устанавливается в такте таймера после того, как значение счетчика (TCNTn) совпадает с выходным регистром сравнения C (OCRnC).

Обратите внимание, что строб Forced Output Compare (FOCnC) не будет устанавливать флаг OCFnC.

OCFnC автоматически сбрасывается при выполнении вектора прерывания сравнения выходных данных C. В качестве альтернативы OCFnC можно очистить, записав логическую единицу в его битовую позицию.

##### • Бит 2 — OCFnB: Таймер/Счетчик 1, флаг совпадения выходного сравнения B

Этот флаг устанавливается в такте таймера после того, как значение счетчика (TCNTn) совпадает с выходным регистром сравнения B (OCRnB).

Обратите внимание, что строб Forced Output Compare (FOCnB) не будет устанавливать флаг OCFnB.

OCFnB автоматически сбрасывается при выполнении вектора прерывания сравнения выходных данных B. В качестве альтернативы OCFnB можно очистить, записав логическую единицу в его битовую позицию.

##### • Бит 1 – OCF1A: Таймер/Счетчик 1, флаг сравнения выхода и совпадения

Этот флаг устанавливается в такте таймера после счетчика (значение TCNTn соответствует выходному регистру сравнения A (OCRnA)).

Обратите внимание, что строб Forced Output Compare (FOCnA) не будет устанавливать флаг OCFnA.

OCFnA автоматически сбрасывается при выполнении вектора прерывания сравнения выходных данных. В качестве альтернативы OCFnA можно очистить, записав логическую единицу в его битовую позицию.

##### • Бит 0 – TOVn: Таймер/Счетчик, Флаг переполнения

Установка этого флага зависит от установки битов WGMn3:0. В режимах Normal и CTC флаг TOVn устанавливается при переполнении таймера. Ссылаться на [Табл. 17-2 на стр. 145](#) для поведения флага TOVn при использовании другого значения бита WGMn3:0.

TOVn автоматически сбрасывается при выполнении вектора прерывания по переполнению таймера/счетчика. В качестве альтернативы TOVn можно очистить, записав логическую единицу в его битовую позицию.

## 18. Таймер/счетчик 0, 1, 3, 4 и 5 прескалер

Таймер/счетчик 0, 1, 3, 4 и 5 используют один и тот же модуль предварительного делителя, но таймеры/счетчики могут иметь разные настройки предварительного делителя. Приведенное ниже описание относится ко всем таймерам/счетчикам. Тп используется как общее имя,  $n = 0, 1, 3, 4$  или  $5$ .

### 18.1 Внутренний источник синхронизации

Таймер/счетчик может синхронизироваться непосредственно системными часами (установив  $CSn2:0 = 1$ ). Это обеспечивает самую быструю работу с максимальной тактовой частотой таймера/счетчика, равной системной тактовой частоте ( $f_{CLK\_I/O}$ ). Альтернативно, в качестве источника тактового сигнала можно использовать один из четырех ответвлений от предварительного делителя. Предварительно масштабированные часы имеют частоту количество  $f_{CLK\_I/O}/8$ ,  $f_{CLK\_I/O}/64$ ,  $f_{CLK\_I/O}/256$  или  $f_{CLK\_I/O}/1024$ .

### 18.2 Сброс делителя

Предделитель работает автономно, то есть работает независимо от логики выбора часов таймера/счетчика, и он используется совместно с таймером/счетчиком Тп. Поскольку на предварительный делитель не влияет выбор тактовой частоты Таймера/Счетчика, состояние предварительного делителя будет иметь последствия для ситуаций, когда используются предварительно масштабированные часы. Один из примеров артефактов предварительного масштабирования возникает, когда таймер включен и тактируется модулем предварительного масштабирования ( $6 > CSn2:0 > 1$ ). Количество циклов системных часов с момента включения таймера до первого отсчета может составлять от 1 до  $N+1$  циклов системных часов, где  $N$  равно делителю предварительного делителя (8, 64, 256 или 1024).

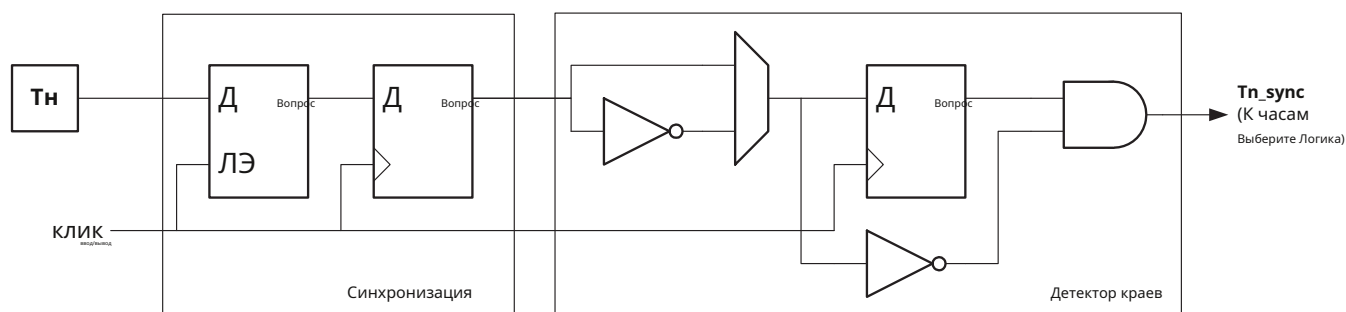
Можно использовать сброс прескалера для синхронизации таймера/счетчика с выполнением программы. Однако следует соблюдать осторожность, если другой таймер/счетчик, использующий тот же делитель, также использует предварительное масштабирование. Сброс предварительного делителя повлияет на период предварительного делителя для всех таймеров/счетчиков, к которым он подключен.

### 18.3 Внешний источник синхронизации

Внешний источник тактового сигнала, подаваемый на вывод Тп, может использоваться в качестве тактового сигнала таймера/счетчика ( $clk_{Tn}$ ). Вывод Тп опрашивается один раз в каждом системном тактовом цикле логикой синхронизации выводов. Затем синхронизированный (выборочный) сигнал проходит через детектор фронта. **Рисунок 18-1** показывает функциональную эквивалентную блок-схему синхронизации Тп и логики детектора фронта. Регистры синхронизируются по положительному фронту внутренних системных часов ( $clk_{ввод/вывод}$ ). Защелка прозрачна в высоком периоде внутренних системных часов.

Детектор краев генерирует один такт-импульс для каждого положительного ( $CSn2:0 = 7$ ) или отрицательного ( $CSn2:0 = 6$ ) фронта, который он обнаруживает.

**Рисунок 18-1.**Выборка контактов Тп/Т0



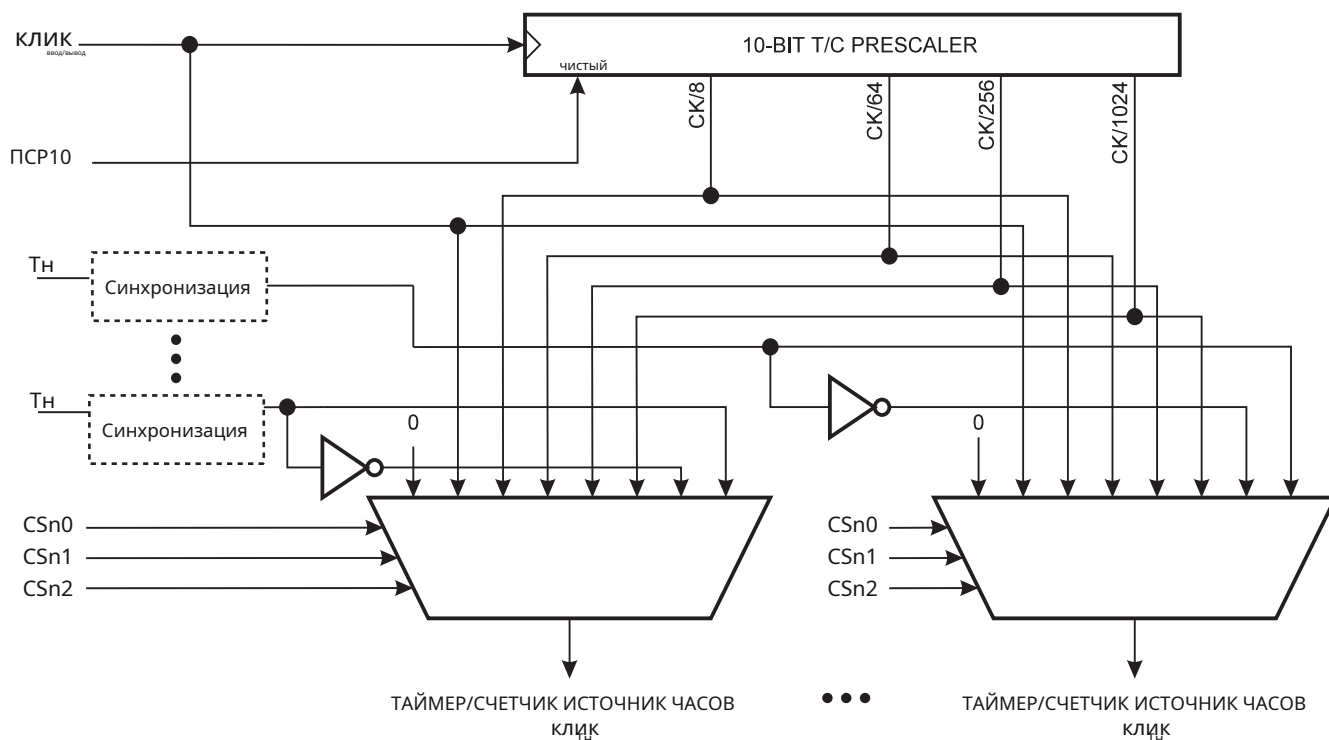
Логика синхронизации и детектора фронта вводит задержку от 2,5 до 3,5 системных тактовых циклов с момента подачи фронта на вывод Тп до обновления счетчика.

Включение и отключение тактового входа должно быть выполнено, когда Тп было стабильным, по крайней мере, в течение одного системного тактового цикла, в противном случае существует риск генерирования ложного тактового импульса Таймера/Счетчика.

Каждый полупериод внешних тактовых импульсов должен быть длиннее одного системного тактового цикла, чтобы обеспечить правильную выборку. Внешняя тактовая частота должна быть гарантированно менее половины системной тактовой частоты ( $f_{\text{ExtCLK}} < \phi_{\text{clk\_I/O}}/2$ ) при рабочем цикле 50/50%. Поскольку детектор фронта использует выборку, максимальная частота внешних часов, которую он может обнаружить, составляет половину частоты выборки (теорема Найквиста о выборке). Однако, из-за изменения тактовой частоты системы и рабочего цикла, вызванного допусками источника генератора (кристалл, резонатор и конденсаторы), рекомендуется, чтобы максимальная частота внешнего источника тактового сигнала была меньше  $f_{\text{clk\_I/O}}/2.5$ .

Внешний источник синхронизации не может быть предварительно масштабирован.

**Рисунок 18-2.**Предварительный делитель для синхронных таймеров/счетчиков



# 18.4 Описание регистра

## 18.4.1 GTCCR — общий регистр управления таймером/счетчиком

|                    |     |   |   |   |   |   |        |         |       |
|--------------------|-----|---|---|---|---|---|--------|---------|-------|
| Кусочек            | 7   | 6 | 5 | 4 | 3 | 2 | 1      | 0       |       |
| 0x23 (0x43)        | TSM | – | – | – | – | – | PSRASI | PSRSYNC | GTCCR |
| Читай пиши         | Ч/З | р | р | р | р | р | Ч/З    | Ч/З     |       |
| Начальное значение | 0   | 0 | 0 | 0 | 0 | 0 | 0      | 0       |       |

• **Бит 7 – TSM: режим синхронизации таймера/счетчика.**

Запись бита TSM в единицу активирует режим синхронизации таймера/счетчика. В этом режиме значение, записанное в биты PSRASY и PSRSYNC, сохраняется, следовательно, соответствующие сигналы сброса прескалера сохраняются. Это гарантирует, что соответствующие таймеры/счетчики остановлены и могут быть настроены на одно и то же значение без риска того, что один из них переместится вперед во время настройки. Когда бит TSM записывается в ноль, биты PSRASY и PSRSYNC сбрасываются аппаратно, и таймеры/счетчики начинают отсчет одновременно.

• **Бит 0 – PSRSYNC: сброс предварительного делителя для синхронного таймера/счетчиков.**

Когда этот бит равен единице, предварительный делитель Таймера/Счетчика 0, Таймера/Счетчика 1, Таймера/Счетчика 3, Таймера/Счетчика 4 и Таймера/Счетчика 5 будет сброшен. Этот бит обычно немедленно сбрасывается аппаратно, за исключением случаев, когда установлен бит TSM. Обратите внимание, что Таймер/Счетчик 0, Таймер/Счетчик 1, Таймер/Счетчик 3, Таймер/Счетчик 4 и Таймер/Счетчик 5 используют один и тот же предварительный делитель, и сброс этого предварительного делителя повлияет на все таймеры.