

Hinweise zur Inbetriebnahme und Test

Projekt: LimeSDR-USB_GW_IO

https://github.com/GSI-CS-CO/limesdr-usb_gw_io

Beschreibung: Modifikation des SDR-VHDL-Codes für gleichzeitige Übertragung von 12Bit DAC-Werten und 4 Bit aus Digitaleingängen in den 16Bit des Rx-Streams.

Autor: Volker Kleipa

Board: LimeSDR

<https://limemicro.com/products/boards/limesdr/>



Vorbereitung Software:

LMS 7002 Software installieren.

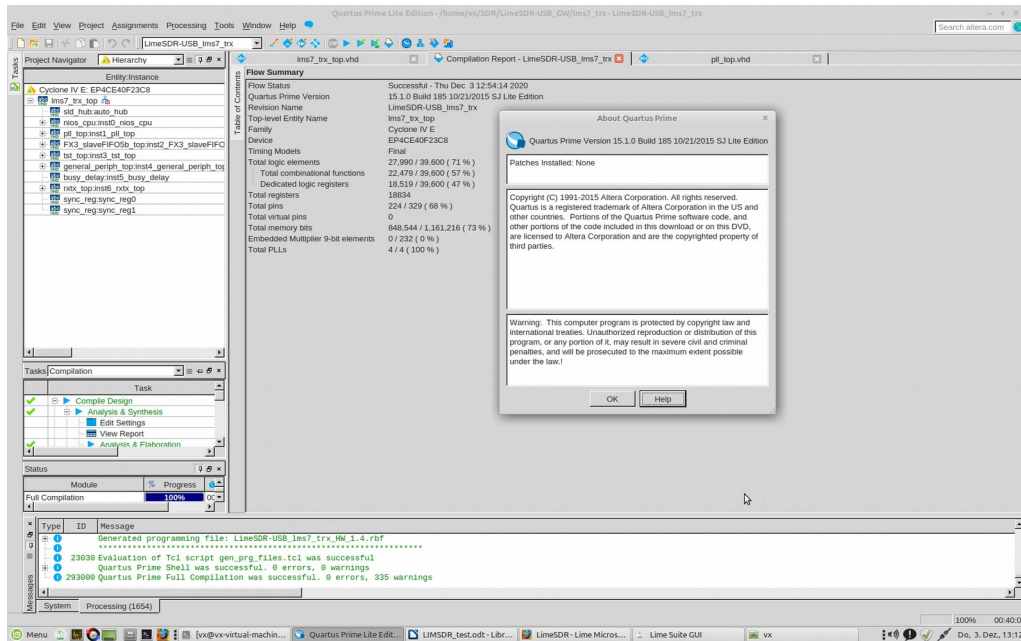
<https://limemicro.com/>

Hinweis: Die LMS 7002 Software nicht in einer VM installieren.

Es konnte im Testsystem keine zuverlässige Verbindung aus der VM zum SDR ermöglicht werden. Die SW wurde daher direkt im WIN10- Host installiert und die Firmware von dort über den USB-Anschluss programmiert.

Der Test erfolgte mit Vers. 17.12 build 2018-1-12

Die FPGA-Software wurde mit Quartus-Prime 15.1 auf VMware übersetzt.



Vorbereitung Hardware:

GPIO7 -Board mit Flachbandkabel an LimeSDR anschließen.

s. https://wiki.myriadrf.org/LimeSDR_GPIO_Board

JP3 auf GPIO7 Setzen - 3,3V Versorgung intern.

Eine weitere externe Spannungsversorgung darf nun nicht mehr am GPIO-Board angeschlossen werden!

LimeSDR über USB-Kabel mit PC verbinden.

In Lime Suite GUI:

Options → Connection Settings

das SDR-Board auswählen und mit Connect bestätigen.

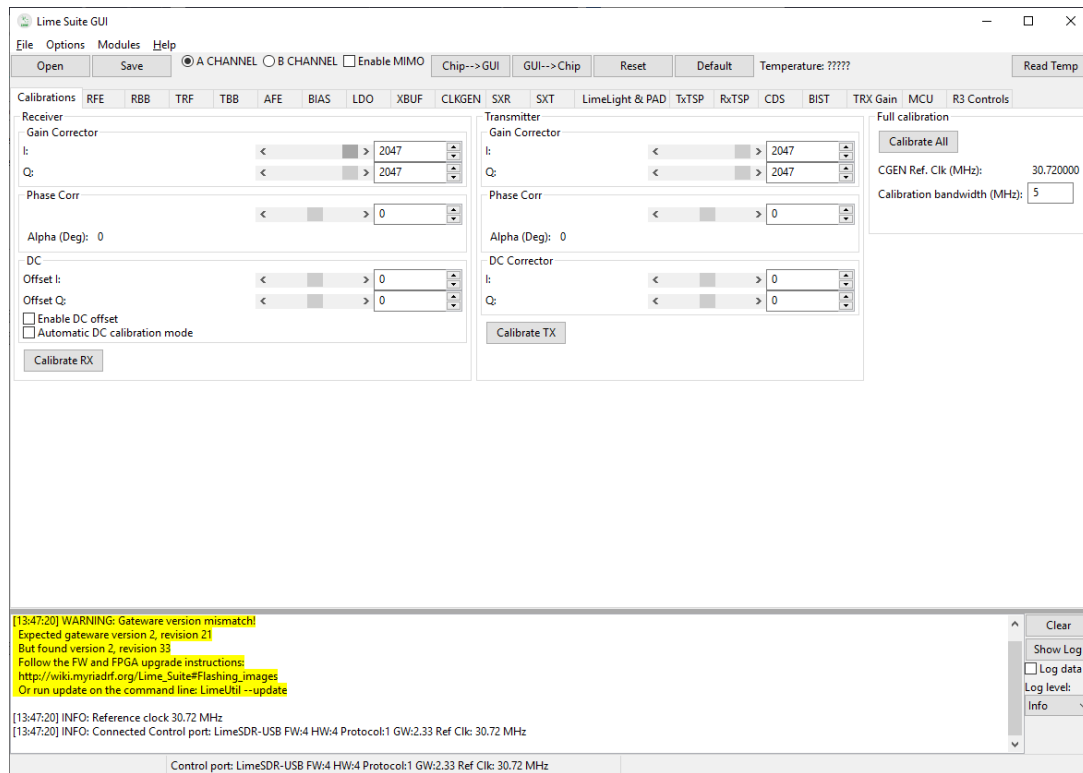
Programmierung:

Das Programmieren einer FPGA Firmware erfolgt dann mit:

Modules → Programming

Programming mode ist „FPGAFLASH“

Die passende *.rbf Datei dann über Menüpunkt „Open“ auswählen.



Nach der Programmierung:
Kaltstart der Hardware ausführen.
Lime-SDR über Connection Settings neu verbinden

Calibrate RX und Calibrate TX ausführen.
Read Temp sollte ca. 45 °C anzeigen.

Weitere Einstellungen sind nicht erforderlich. Die Vorbereitungen sind nun abgeschlossen

Änderungen im VHDL-Code:

Als Entwicklungsbasis wurde Version 2.23 vom 06.02.2020 verwendet.
Änderungen oder Ergänzungen zu dieser Version wurden mit „VK“ gekennzeichnet.

Test:

Unter Modules → Board related Controls können die IO-Zustände auf der GPIO-Karte verändert und eingelesen werden. (Micro-Switch alle auf OFF).

Die DIR-Bits von Kanal 0 und 1 werden auf 1 gesetzt.

Wird Kanal 0 mit OUT=1 gesetzt, dann blinkt LED_1 auf dem SDR Bord in Rot.

Das ist eine 1:1 Verbindung und testet die korrekten Einstellungen und Verbindung zwischen GPIO und SDR-Board.

Wird Kanal 1 mit OUT=1 gesetzt dann leuchtet LED_2 auf dem SDR Bord in Grün, wenn der Binärwert mit den DAC-Werten korrekt über den Rx-Eingang und die Empfangspuffer verarbeitet wurde. Der Abgriff für den LED-Zustand erfolgt vor der Verarbeitung für die USB-Ausgabe im FPGA.

Unter Modules → FFT können die empfangenen Daten dargestellt werden.

Im Modus mit 16 Bit sind keine Änderungen zu sehen, wenn Kanal 1 geschaltet wird, da die 4 übertragenen Bits LBS sind und daher im Rauschen untergehen.

Im Modus mit 12 Bit ist eine Störung im IQ-Diagramm zu sehen, welche sich mit Umschaltung von Kanal 1 auch ändert.

Die SDR-Software im Analysetool wurde nicht angepasst. Sie geht im 12 Bit-Modus von einer korrekten Kompression und Zuordnung im Lime-FPGA aus, welches nun nicht mehr der Fall ist.