```verilog
 1   `timescale 1ns / 1ps
 2   //////////////////////////////////////////////////////////////////////////////////
 3   // Company:
 4   // Engineer:
 5   //
 6   // Create Date: 03/11/2016 11:27:29 AM
 7   // Design Name:
 8   // Module Name: Barrel_shifter
 9   // Project Name:
10   // Target Devices:
11   // Tool Versions:
12   // Description:
13   //
14   // Dependencies:
15   //
16   // Revision:
17   // Revision 0.01 - File Created
18   // Additional Comments:
19   //
20   //////////////////////////////////////////////////////////////////////////////////
21
22
23   module Barrel_Shifter
24       #(parameter SWR=26, parameter EWR=5) //Implicit bit + Significand Width (23 bits  ↵
         for simple format, 52 bits for Double format)
25       //+ guard Bit +  round bit
26       /*#(parameter SWR=55, parameter EWR=6)*/
27       (
28       input wire clk,
29       input wire rst,
30       input wire load_i,
31       input wire [EWR-1:0] Shift_Value_i,
32       input wire [SWR-1:0] Shift_Data_i,
33       input wire Left_Right_i,
34       input wire Bit_Shift_i,
35       ////////////////////////////////////////////7
36       output wire [SWR-1:0] N_mant_o
37       );
38       wire [SWR-1:0] Data_Reg;
39
40
41       ////////////////////////////////////////////////7
42
43
44       Mux_Array #(.SWR(SWR),.EWR(EWR)) Mux_Array(
45           .clk(clk),
46           .rst(rst),
47           .load_i(load_i),
48           .Data_i(Shift_Data_i),
49           .FSM_left_right_i(Left_Right_i),
50           .Shift_Value_i(Shift_Value_i),
51           .bit_shift_i(Bit_Shift_i),
52           .Data_o(Data_Reg)
```

```
53              );
54
55          RegisterAdd #(.W(SWR)) Output_Reg(
56              .clk(clk),
57              .rst(rst),
58              .load(load_i),
59              .D(Data_Reg),
60              .Q(N_mant_o)
61              );
62
63      endmodule
64
```