

INSTITUTO FEDERAL DE EDUCAÇÃO
CIÊNCIA E TECNOLOGIA DE SANTA CATARINA

RELATÓRIO 1
LATCHES E FLIP-FLOPS

GUSTAVO SIMAS DA SILVA
PEDRO DOS SANTOS GUERREIRO
VITOR GARCEZ MORIGI

Florianópolis, Agosto de 2014

GUSTAVO SIMAS DA SILVA
PEDRO DOS SANTOS GUERREIRO
VITOR GARCEZ MORIGI

LATCHES E FLIP-FLOPS

Trabalho apresentado ao professor Fernando Miranda, ministrador da disciplina de Eletrônica Digital II pertencente à 6ª fase do curso técnico integrado de Eletrônica do IF-SC, Campus Florianópolis.

Florianópolis

2014

1. Resumo

Neste relatório serão apresentadas as estruturas Latch e Flip-Flop, explanando as características de cada, seus diversos tipos, além da demonstração das atividades propostas com a construção das mesmas através de portas lógicas e a realização de comparações entre os resultados teóricos esperados e os obtidos por meio de simulação nos softwares competentes e experimentalmente.

São apresentadas tabelas e figuras e elementos adicionais nos momentos necessários para o melhor entendimento. Todo material retirado de fontes externas, ou seja, aquelas que não são de propriedade dos autores deste trabalho são citadas e referenciadas ao longo do texto e no final do trabalho.

2. Abstract

In this work will be presented the Latch and Flip-Flop structures, explaining the characteristics of each, the different kinds, besides the proposed activities demonstration with their own constructions through logical gates and the performing of comparisons between the expected theoretical results and those who were obtained by simulation and experimentally by the determined softwares.

Also are presented tables and figures and additional elements when necessary for the better understanding. All the material taken from external sources, ie, those which are not property of the authors of this work are cited and referenced throughout the text and at the end of the work.

3. Sumário

Sumário

1. Resumo	3
2. Abstract	4
3. Sumário	5
4. Lista de Figuras e Tabelas	7
5. Objetivos.....	8
6. Introdução Teórica.....	9
6.1 Latch	9
6.1.1 Set-Clear	9
6.1.2 Tipo R-S	10
6.1.3 Tipo D.....	11
6.2 Flip-Flop (FF)	13
6.2.1 JK	13
6.2.2 Tipo D.....	14
6.2.3 Tipo T	14
6.2.4 Mestre-Escravo	15
7. Circuitos propostos.....	16
7.1 Circuito 1.....	16
7.1.1 Simulação.....	16
7.1.2 Montagem prática.....	18
7.2 Circuito 2.....	18
7.2.1 Simulação.....	19
7.2.2 Montagem prática.....	20
7.3 Circuito 3.....	20
7.3.1 Montagem prática.....	21
8. Comparações de resultados.....	22
8.1 Circuito 1 – Circuito Latch Set-Clear	22
8.2 Circuito 2 - Circuito Latch Set-Clear com Clock (portas NAND).....	22
8.3 Circuito 3 – Flip-Flop Mestre-escravo	22
9. Considerações Relevantes.....	24
9.1 Aplicações.....	24
9.2 Dificuldades e recomendações	24
10. Referência Imagética.....	26

11. Anexo	28
11.1 Diagramas esquemáticos dos CI's utilizados.....	28
11.1.1 7400	28
11.1.2 7410	28
11.1.3 7404	29

4. Lista de Figuras e Tabelas

FIGURA 1 - DIAGRAMA DE BLOCOS LÓGICA SEQUENCIAL (RETIRADO DE FACULTY)	9
FIGURA 2 - LATCH SET-CLEAR COM PORTAS NOR (RETIRADO DE FACULTY/BRAGA)	10
FIGURA 3 – DIAGRAMA DE TEMPOS LATCH SET-CLEAR (RETIRADO DE CEE-UFRJ)	10
FIGURA 4 - LATCH TIPO R-S (RETIRADO DE FACULTY)	11
FIGURA 5 - LATCH TIPO D (RETIRADO DE FACULTY)	11
FIGURA 6 - DIAGRAMA DE TEMPOS LATCH TIPO D (RETIRADO DE CEE-UFRJ)	12
FIGURA 7 - FLIP-FLOPS SENSÍVEIS A BORDA DE SUBIDA/DESCIDA (RETIRADO DE ONEDRIVE)	13
FIGURA 8 - FLIP-FLOP JK (RETIRADO DE ELEMANIA)	14
FIGURA 9 - FLIP-FLOP TIPO T (RETIRADO DE INF-UFSC/BRAGA)	14
FIGURA 13 - LATCH COM PORTAS NAND (RETIRADO DE INF-UFSC)	16
FIGURA 14 – DIAGRAMA ESQUEMÁTICO DO CIRCUITO 1 NO ISIS PROTEUS	16
FIGURA 15 - DIAGRAMA DE TEMPOS DO CIRCUITO 2 - PROTEUS	17
FIGURA 16 - DIAGRAMA DE TEMPOS DO CIRCUITO 1 – QUARTUS II	17
FIGURA 17 - LATCH SET-CLEAR COMANDADO POR CLOCK (RETIRADO DE CODEPROJECT)	18
FIGURA 18 - CIRCUITO 2 SIMULADO NO ISIS PROTEUS	19
FIGURA 19 - DIAGRAMA DE TEMPOS DO CIRCUITO 2 - QUARTUS II	19
FIGURA 20 - DIAGRAMA ESQUEMÁTICO DO CIRCUITO 3	20
FIGURA 21 - DIAGRAMA DE TEMPOS ERRADO 1 CIRCUITO 3	20
FIGURA 22 - EDIÇÃO DE PADRÃO DE SINAL	21
FIGURA 23 - DIAGRAMA DE TEMPOS ERRADO 2 CIRCUITO 3	21
FIGURA 24 - PROBLEMA NO DIAGRAMA DE TEMPOS DO CIRCUITO 3 - QUARTUS II	24
FIGURA 10 - ESQUEMÁTICO 7400 (RETIRADO DE TAYLOREDGE)	28
FIGURA 11 - ESQUEMÁTICO 7410 (RETIRADO DE TAYLOREDGE)	28
FIGURA 12 - ESQUEMÁTICO 7404 (RETIRADO DE TAYLOREDGE)	29
TABELA 1 – TABELA VERDADE DO CIRCUITO 1 SIMULADO	17
TABELA 2 - TABELA VERDADE TEÓRICA PARA O CIRCUITO 2 (RETIRADO DE CODEPROJECT)	18
TABELA 3 - TABELA DE COMPARAÇÃO CIRCUITO 1	22
TABELA 4 - TABELA DE COMPARAÇÃO CIRCUITO 2	22
TABELA 5 - TABELA DE COMPARAÇÃO CIRCUITO 3	22

5. Objetivos

Entre os objetivos visados desta atividade, listam-se:

- 1) Avaliação prática do funcionamento de estruturas Latches e Flip-Flops, através da implementação dos mesmos em matriz de contato, com uso de circuitos integrados contendo portas lógicas (*gates*).
- 2) Avaliação do comportamento de tais circuitos em diferentes softwares de simulação (Proteus e Quartus).
- 3) Comparação de resultados teóricos (resultados esperados de acordo com o estudado) com os resultados práticos e simulados digitalmente. Também a discussão sobre as possíveis diferenças observadas entre os simuladores utilizados.

6. Introdução Teórica

Diferentemente da Lógica Combinacional, a Lógica Sequencial é dependente de fatores temporais, ou seja, o comportamento de circuitos sequenciais pode variar não somente a partir da alteração dos dados de entrada, mas também de acordo com o tempo (caso haja aplicação de um relógio/clock). Com isto ela é utilizada para operações de ativar/desativar funções de outros circuitos, enviar/guardar informações ou realizar contagens, tudo isto com bases na dinâmica temporal.

O clock é um dos elementos fundamentais para a Lógica Sequencial. Muitos dos circuitos manuseados necessitam da aplicação de um sinal digital variante com determinada frequência, para que haja tanto mudanças de estados lógicos, quanto de sincronização dos componentes.

Na Figura 1 ilustra-se com um diagrama de blocos a operação de um circuito com Lógica Sequencial. É possível ver que existem duas partes; o primeiro estado, obtido a partir de uma típica combinacional é levada para uma saída (Output), enquanto outra parte é armazenada e trazida de volta ao início, realizando-se a “realimentação”, como será melhor explicado adiante.

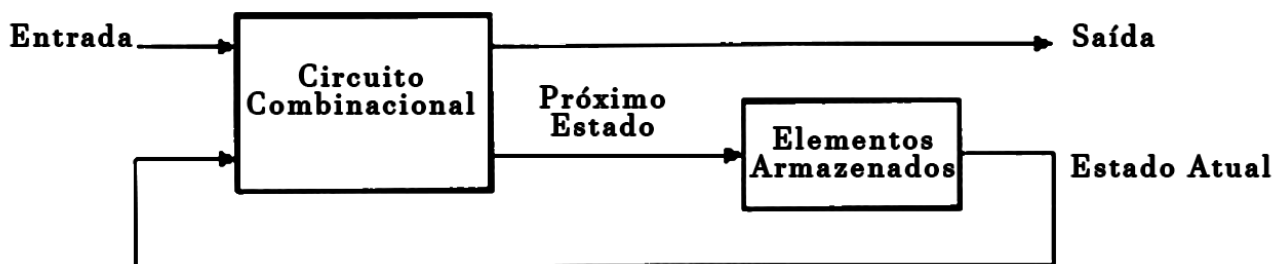


Figura 1 - Diagrama de Blocos Lógica Sequencial (Retirado de FACULTY)

6.1 Latch

Latch é um circuito integrado composto por portas lógicas, na qual tem a capacidade de armazenar 1 bit de informação (0 ou 1), possuindo uma memória que é reutilizada, seguindo o raciocínio apresentado no diagrama de blocos. Devido a esta característica ele utiliza o próprio estado de saída para implementar a realimentação do circuito, ou seja, os níveis lógicos de saída e de entrada são mutuamente dependentes.

Dentre os tipos de latches, estão:

6.1.1 Set-Clear

Os circuitos Set-Clear são os mais comuns. Eles apresentam dois terminais de entrada S e C (Set e Clear/Reset, respectivamente) e dois de saída

(Q e \bar{Q}). Caso ambas as entradas estejam em 0, não ocorrerá mudança nas saídas, preservando o estado anterior (Qa, Q anterior). Caso o Set esteja em 1 e o Reset em 0, o output (Q) será forçado para 1. Caso seja o inverso, Q será forçado para 0. No entanto, se S e R estiverem em 1, o circuito será incapaz de

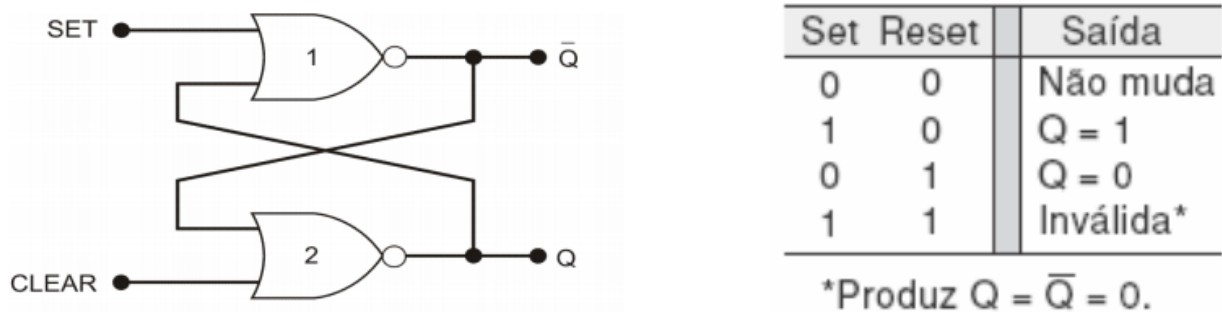


Figura 2 - Latch Set-Clear com portas NOR (Retirado de FACULTY/BRAGA)

realizar uma função estável, pois acontecerá a produção de $Q = \bar{Q}$, sendo uma propriedade inválida. Pela Figura a seguir obtém-se o circuito característico e a tabela verdade com os resultados de acordo com os inputs.

Abaixo o diagrama de tempos esperado teoricamente para um Latch Set-Clear.

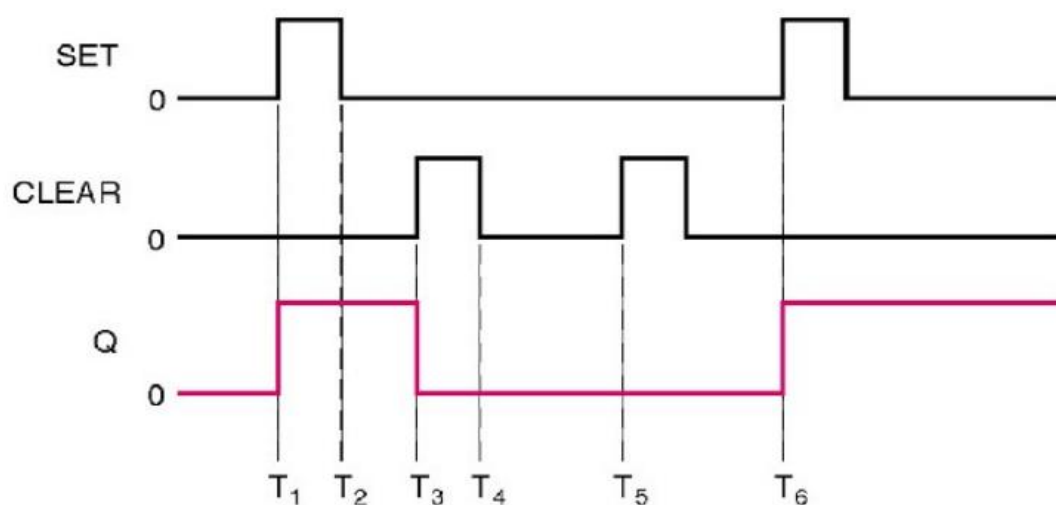


Figura 3 – Diagrama de tempos Latch Set-Clear (Retirado de CEE-UFRJ)

6.1.2 Tipo R-S

Os R-S são circuitos que possuem elementos adicionais em relação ao anterior. Em sua constituição há a presença de um Set-Clear, juntamente a duas portas lógicas a mais e terminal para o clock.

Com o clock vem a possibilidade de otimizar e automatizar o sistema, já que sua variação é automática, sem ser preciso o controle de dois inputs pelo usuário.

Na figura abaixo, ilustra-se um circuito R-S com a sua tabela verdade.

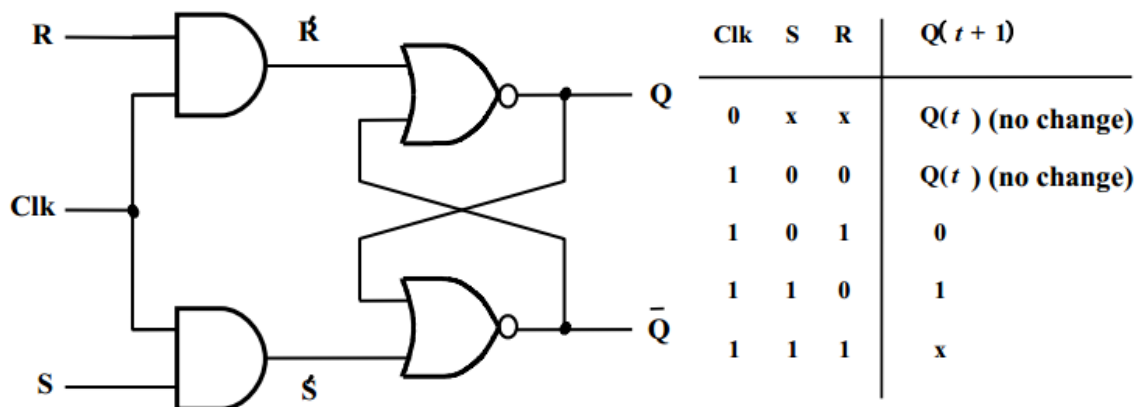


Figura 4 - Latch Tipo R-S (Retirado de FACULTY)

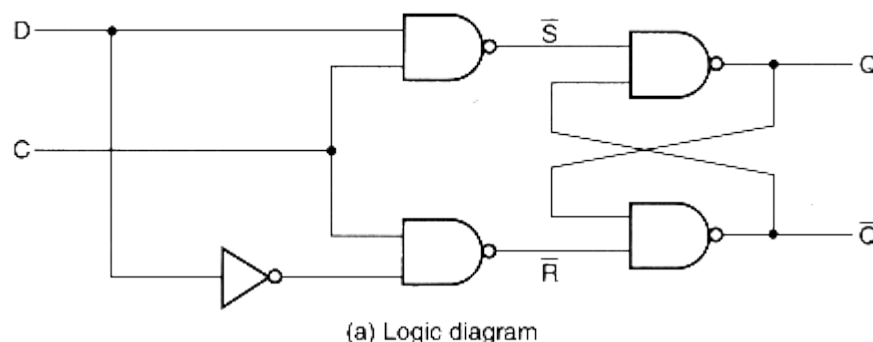
Pela tabela verdade analisa-se que a saída se manterá em duas situações: com Clk desativado, independentemente do estado dos outros inputs; ou com Clk ativado e as outras entradas em baixa.

Todas as possibilidades de operação de um R-S basicamente comportam-se como um Set-Clear, sendo a exceção e grande diferença entre ambos a necessidade do clock em estado 1 para as funções de “setar” ou “resetar”.

6.1.3 Tipo D

O Tipo D é semelhante ao R-S, porém, com um terminal a menos, sendo apenas dois de entrada: C (do clock, ou às vezes E, de Enable) e D, no qual a informação é levada a uma das portas lógicas, e a informação barrada é direcionada a outro *gate*, sendo o seu estado lógico podendo ser alterado pelo usuário a qualquer momento.

Na Figura 3 observa-se um Latch-Tipo D implementado com portas lógicas NAND e NOT.



C	D	Next state of Q
0	X	No change
1	0	Q = 0; Reset state
1	1	Q = 1; Set state

Figura 5 - Latch Tipo D (Retirado de FACULTY)

Percebe-se que com o Clock em 0, independentemente do estado da entrada, não haverá mudança em Q (por isso há o X em D, o que revela que ele não interferirá na saída).

Já com o Clock ativo e D em 0, haverá o “reset” de Q, ou seja, a saída irá para nível lógico baixo.

Porém com ambos os dados em nível lógico alto, haverá o “set”, com Q indo para 1.

Abaixo apresenta-se o Diagrama de Tempos esperado para um Latch Tipo D.

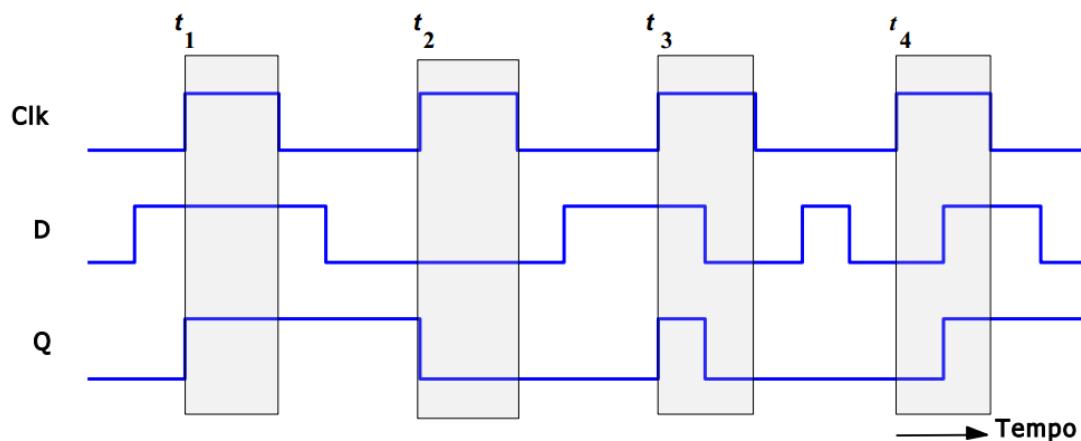


Figura 6 - Diagrama de tempos Latch Tipo D (Retirado de CEE-UFRJ)

Observa-se que um Latch pode ser implementado com diferentes portas lógicas (portas NOR, por exemplo), e a Figura 5 somente representa uma destas possibilidades.

Além disto, estes circuitos podem operar para resolver problemas analógicos, pois dentre as aplicações dos latches está a estabilização de sinais de tensão, sendo aplicados às chaves seletoras evitando a trepidação do sinal.

6.2 Flip-Flop (FF)

Os Flip-Flops operam com a mesma base teórica dos Latches, porém com certas distinções que merecem relevância. Uma das diferenças notáveis entre ambos é a alternância quanto ao clock; enquanto os latches são capazes de alterar os seus estados enquanto o clock estiver ativo, os flip-flops somente apresentam mudanças nas bordas. Na Figura 4 são mostrados Flip-Flops sensíveis à borda de subida e descida, respectivamente.

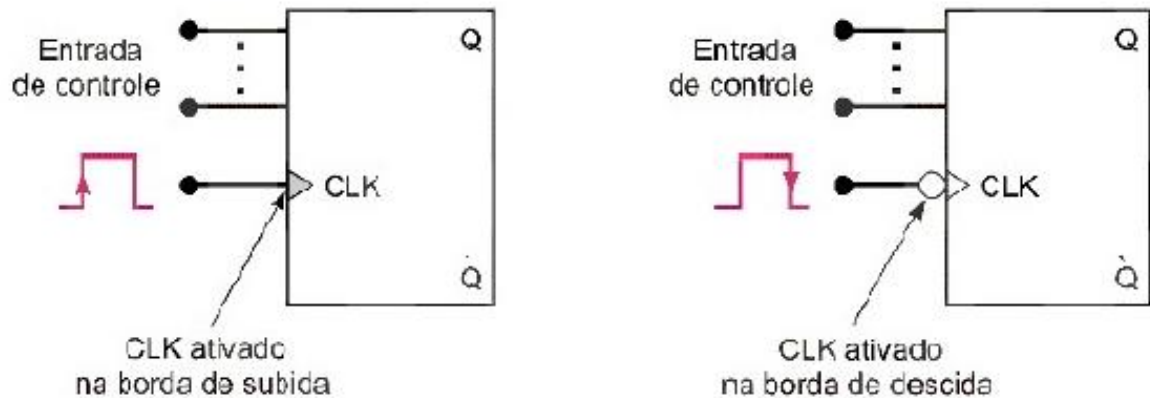


Figura 7 - Flip-Flops sensíveis a borda de subida/descida (Retirado de OneDrive)

A detecção das bordas de um clock geralmente é realizada com o apoio de uma porta NOT aplicada antes do circuito operacional, na qual apresenta um leve atraso para barrar a informação obtida, o que ocasiona um pulso que, por sua vez, é redirecionado a um detector de pulsos.

Assim como os latches, os flip-flops possuem ramificações:

6.2.1 JK

Com o nome em honra ao inventor Jack Kilby, o JK é, *grosso modo*, o Set-Clear dos FF, com uma diferença (além da permissão de operação somente nas bordas do clock): caso ambas as entradas estiverem em 1 ocorre a comutação (como em inglês é chamado de Toggle), ou seja, o estado anterior é barrado, não sendo mais inválido como acontecia com o circuito a que foi comparado.

Com esta propriedade o sistema é capaz de aceitar qualquer variabilidade de dados, sem apresentar invalidez operacional em determinado caso.

Abaixo, na Figura 8, o diagrama esquemático juntamente à tabela verdade.

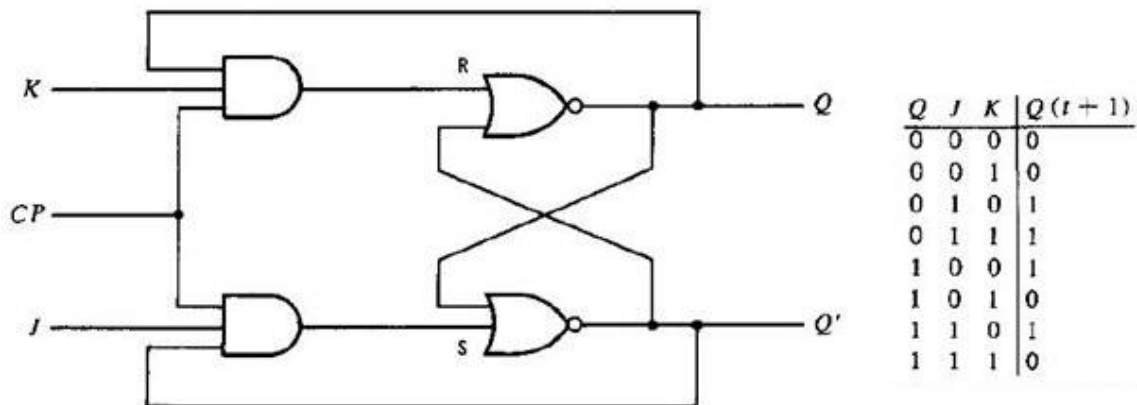


Figura 8 - Flip-Flop JK (Retirado de ELEMANIA)

6.2.2 Tipo D

Assim como o Latch Tipo D (*delay*) possui a informação aplicada no terminal D diretamente levada a uma das portas lógicas, enquanto esta informação barrada é levada a outro *gate*, como figura a 5ª imagem, mostrada anteriormente. Deste modo, o sistema opera na faixa de set ou reset. Lembrando que somente realiza o processamento de um novo estado na borda de subida ou descida do clock.

6.2.3 Tipo T

Diferentemente do Tipo D, o FF Tipo T (*toggle*, “*alternação*” em inglês) possui os terminais de entrada (que seriam o J e o K) curto-circuitados, fazendo com que ambos os inputs tenham o mesmo valor lógico em qualquer situação. Deste modo há a operação do sistema na faixa de Q_a ou $\overline{Q_a}$, nunca havendo o set ou reset.

Abaixo uma figura representando o diagrama esquemático com as portas constituintes, a simbologia e a tabela verdade.

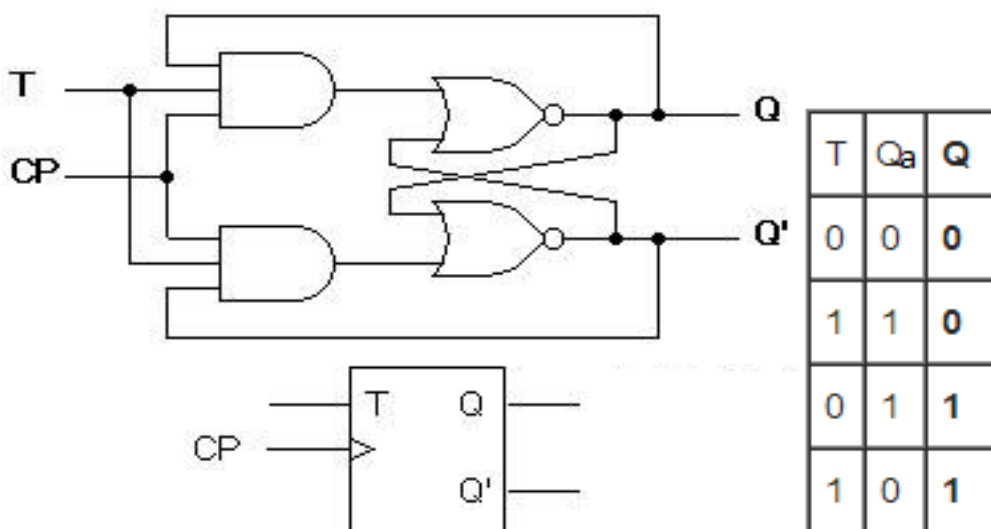


Figura 9 - Flip-Flop Tipo T (Retirado de INF-UFSC/BRAGA)

6.2.4 Mestre-Escravo

Chamado em inglês de master-slave, baseia-se no funcionamento em períodos, sendo ora o mestre (adquirindo a entrada aplicada) ora o escravo (processando a informação transmitida pelo mestre) operando.

Segue a figura do diagrama esquemático de um Master-Slave

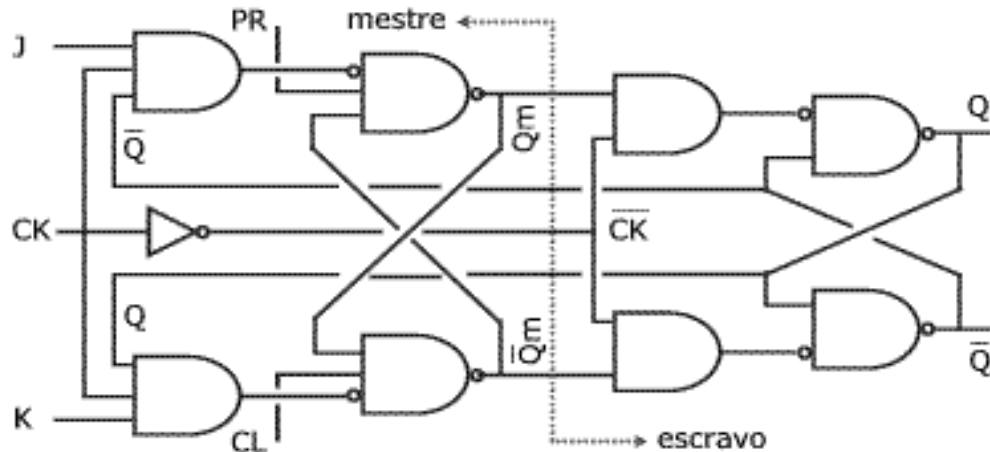


Figura 10 - Flip-Flop Mestre-escravo (Retirado de DIGITAL XI-20)

Este tipo de flip-flop possui a mesma tabela verdade do JK, no entanto com a distinção de que opera de modo sistemático, com o mestre ativo e o escravo desativo quando o clock é alto e vice-versa quando o clock é baixo.

Uma das vantagens deste em relação a um JK comum é a eliminação de oscilação dos sinais.

7. Circuitos propostos

Durante o experimento, foi proposta a realização por simulação e montagem experimental de três circuitos sobre *Latches* e *Flip Flops* através da construção dos mesmos por intermédio de portas lógicas contidas nos CI's apresentados. Em cada um deles deveria ser encontrada a tabela verdade, tanto por meios de simulação quanto pela montagem prática.

Para a simulação foram utilizados os softwares eletrônicos mais comuns entre os técnicos: o LabCenter Electronics ISIS Proteus Professional versão 7.8 e o Altera Quartus II versão 9.1 Service Pack 2 Web Edition.

7.1 Circuito 1

O primeiro seria um simples *Latch* montado com portas lógicas NAND, como pode ser visto na figura abaixo:

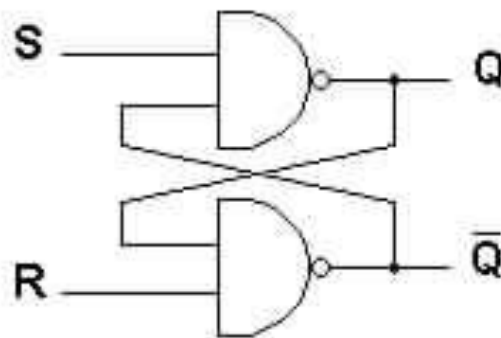


Figura 10 - Latch com portas NAND (Retirado de INF-UFSC)

No caso deste circuito, o Set (S) e o Reset (R) são ativados em nível lógico baixo, pois o circuito foi montado com *gates* NAND, caso fossem *gates* NOR, o contrário aconteceria.

7.1.1 Simulação

Na simulação foram implementadas portas lógicas NAND, tendo DPattern's como inputs e as ponteiros digitais para obtenção dos sinais de saída, como pode ser visto na figura a seguir.

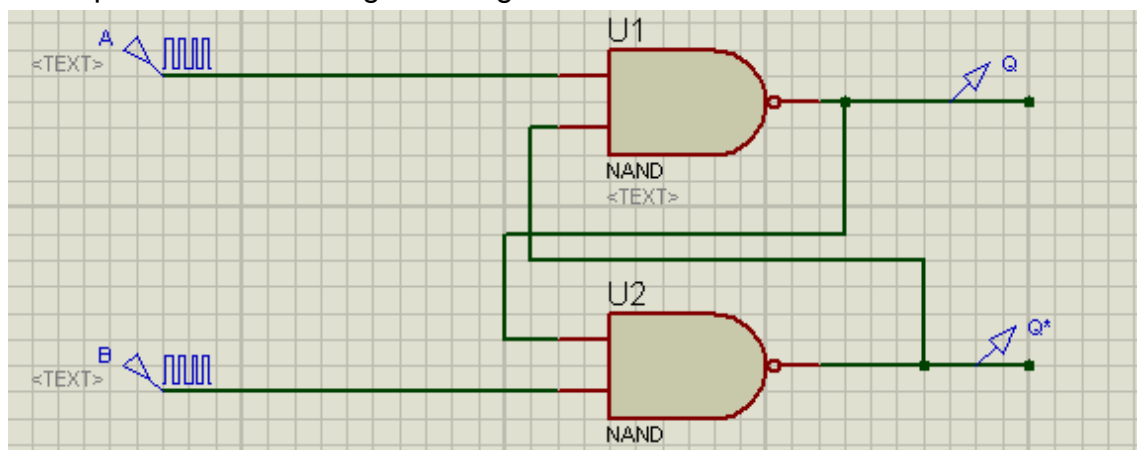


Figura 11 – Diagrama esquemático do circuito 1 no ISIS Proteus

Quanto ao diagrama de tempos do Proteus e do Quartus II, respectivamente, apresentam-se a seguir:

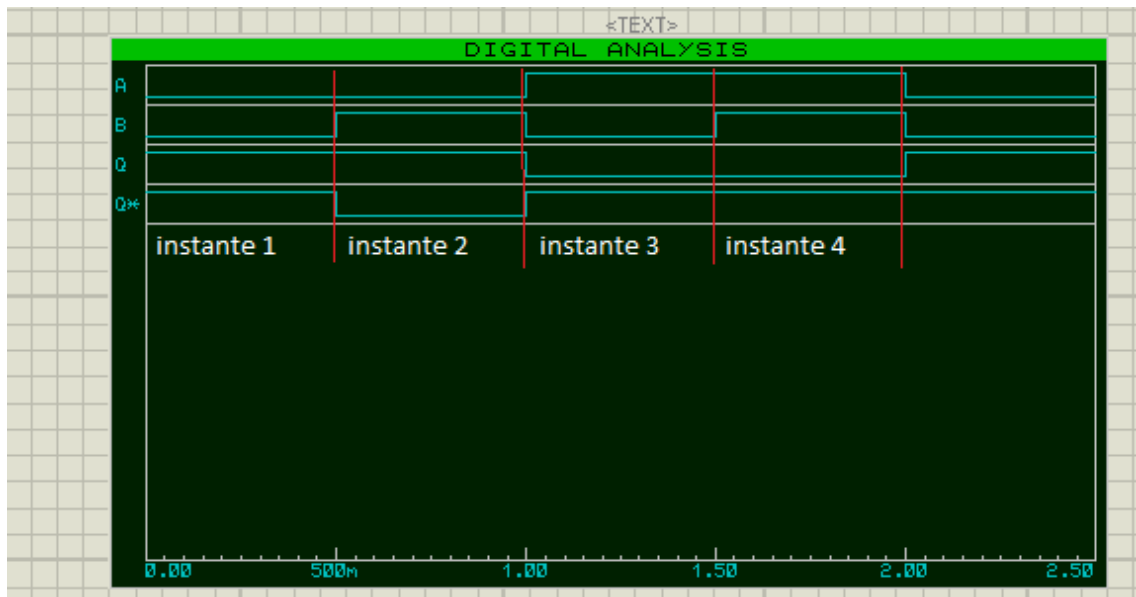


Figura 12 - Diagrama de tempos do circuito 2 - Proteus

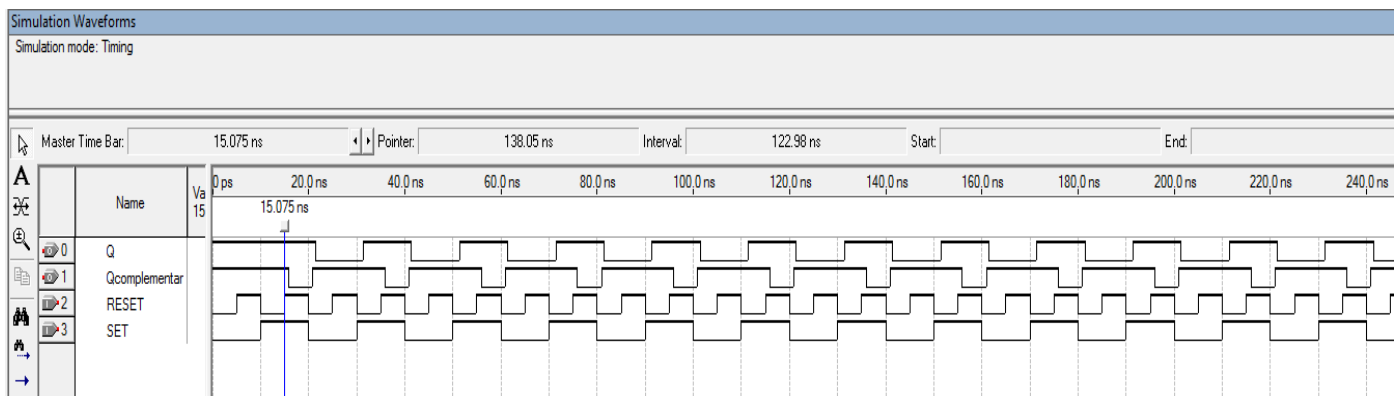


Figura 13 - Diagrama de tempos do circuito 1 – Quartus II

Como pode ser visto nas imagens anteriores, comprovou-se na simulação o que foi estudado e avaliado a respeito do funcionamento deste circuito, tendo a tabela verdade da simulação:

Instantes	Reset (A)	Set (B)	Q	Q*
Instante 1	0	0	1	1
			(Inválido)	
Instante 2	0	1	1	0
Instante 3	1	0	0	1
Instante 4	1	1	0	1
			Mantém (Hold)	

Tabela 1 – Tabela Verdade do circuito 1 simulado

7.1.2 Montagem prática

Na montagem prática deste primeiro circuito, os resultados obtidos foram os mesmos dos teóricos esperados. Não houve problema de conexão ou falha de CI's, sendo necessário apenas a aplicação de um estado anterior à saída Q, ligando-se o GND no output. Após isto o sistema operou normalmente.

7.2 Circuito 2

O segundo circuito revela-se maior em termos de conexões e componentes quando comparado ao anterior, porém ainda sendo de pouca complexidade e de fácil entendimento.

Neste, utilizam-se 4 portas NAND e um clock para as alternâncias de estados quando ativo, sendo a conexão de um único para a sincronização entre os *gates*. O circuito montado é o da Figura 14.

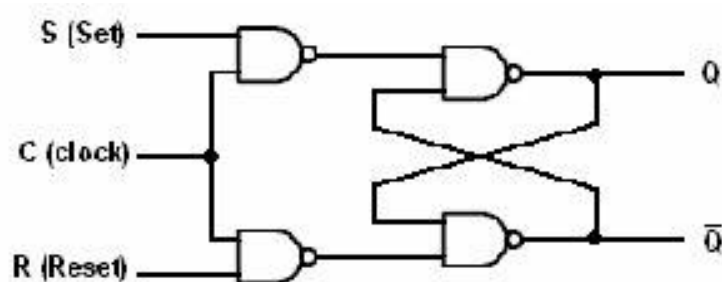


Figura 14 - Latch Set-Clear comandado por clock (Retirado de CODEPROJECT)

Um dos fatos que diferem este circuito do anterior é o Set e o Reset passarem a ser ativados em nível lógico alto. Com isso, os dados obtidos passam a ser o inverso do prévio; o estado inválido, por exemplo, ocorria quando se tinha 0 em ambas as entradas, agora este mesmo estado aparece quando temos nível lógico alto nos mesmos.

Porém, a principal diferença desse circuito em relação ao anterior é a presença do clock, sendo ele a permissão de mudanças nas saídas Q e Q*. Observando-se que foi explanado somente ocorrerá quando o clock estiver em nível lógico alto, caso esteja em 0, o circuito guardará a informação anterior (o bit de memória), independentemente do S ou R.

A tabela abaixo resume o que foi dito a respeito do funcionamento deste circuito:

C	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	Q = 0: Reset state
1	1	0	Q = 1: Set state
1	1	1	Undefined

Tabela 2 - Tabela verdade teórica para o circuito 2 (Retirado de CODEPROJECT)

7.2.1 Simulação

A simulação novamente ocorreu sem erros. Percebe-se do instante 1 ao 4, quando o clock é 0, que não houve mudança alguma nas saídas, independentemente do que havia no Set ou Reset (este é o chamado estado “Don’t Care” - DC). A partir do instante 5, quando o clock passa a ser 1, os inputs, então, passam a ter relevância, interferindo nas saídas Q e Q*.

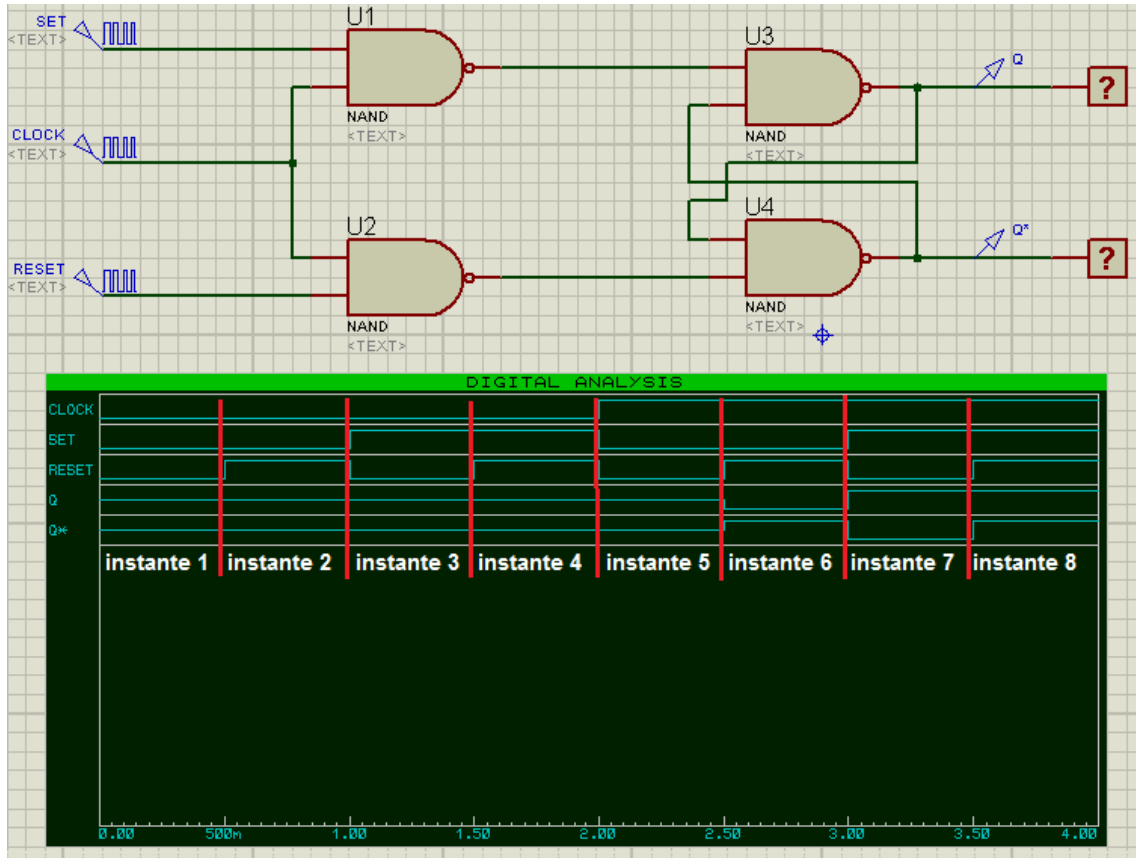


Figura 15 - Circuito 2 simulado no ISIS Proteus

Quanto ao Quartus II também não apresentaram-se problemas. A Figura 16 demonstra a semelhança entre os diagramas.

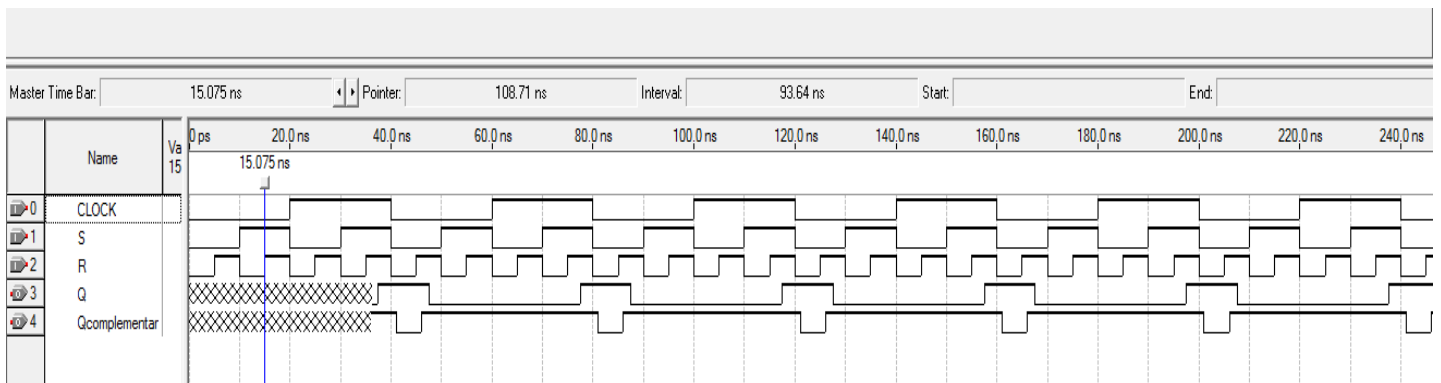


Figura 16 - Diagrama de tempos do circuito 2 - Quartus II

7.2.2 Montagem prática

Assim como a atividade anterior, esta necessitou da aplicação de um nível anterior nas saídas para o sistema sair do estado indefinido (alta impedância) e entendê-lo como um nível lógico para realizar a realimentação.

Nenhum problema significativo apresentou-se neste exercício. Os resultados foram os mesmos dos simulados.

7.3 Circuito 3

Diferentemente dos dois circuitos anteriores, esse se trata de um flip-flop, também montado com portas lógicas NAND, como representado na figura abaixo.

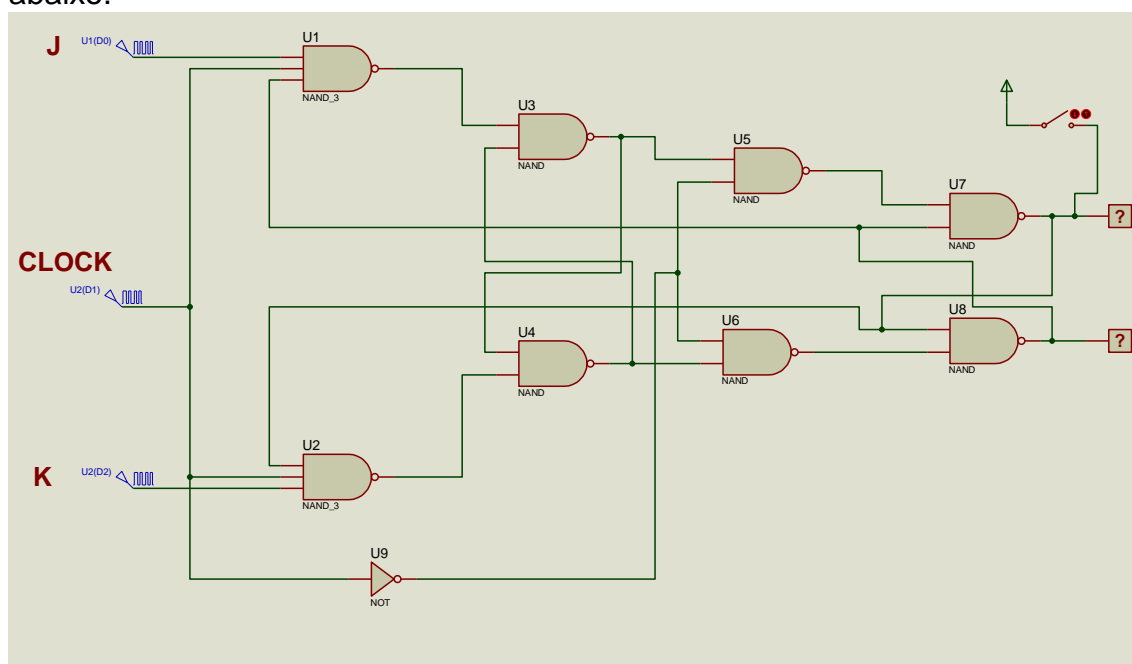


Figura 17 - Diagrama esquemático do circuito 3

Este terceiro e último circuito mostrou-se como o mais problemático. Foram encontradas dificuldades na montagem, mal contato nas conexões, a necessidade (assim como previsto e já exercida) de aplicação de um nível lógico prévio nas saídas, agora na simulação, de mesmo modo, como se pode observar na Figura 17 a ponteira Power representado analogicamente +5V e digitalmente nível lógico alto. Simulação

Na simulação houve problemas. Como pode-se ver pela figura abaixo:

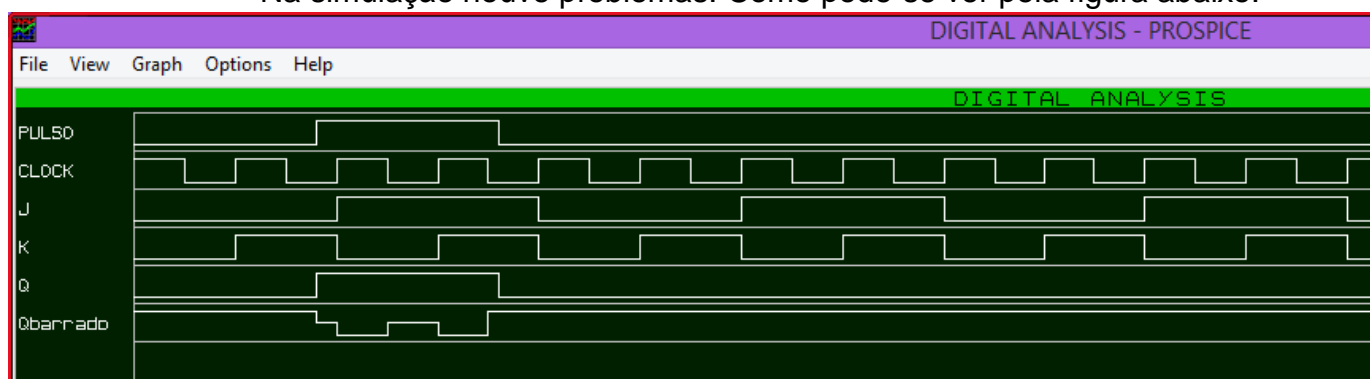


Figura 18 - Diagrama de tempos errado 1 circuito 3

Tentou-se obter o diagrama de tempos pelo Proteus aplicando um nível lógico na saída digitalmente através de um pulso (DPulse), já que de forma analógica obtém-se este mesmo resultado com o +5V (ponteira Power). No entanto, como se vê pela figura 18, saída Q corresponde exatamente ao pulso, sendo o método analógico o eficiente, pois apenas insere um nível e em seguida se desacopla do circuito, não mantendo estado lógico zero como o PULSO mantém.

Tentou-se, ainda, a configuração do DPulse através da edição do padrão de sinal que é disponibilizado pelo programa.

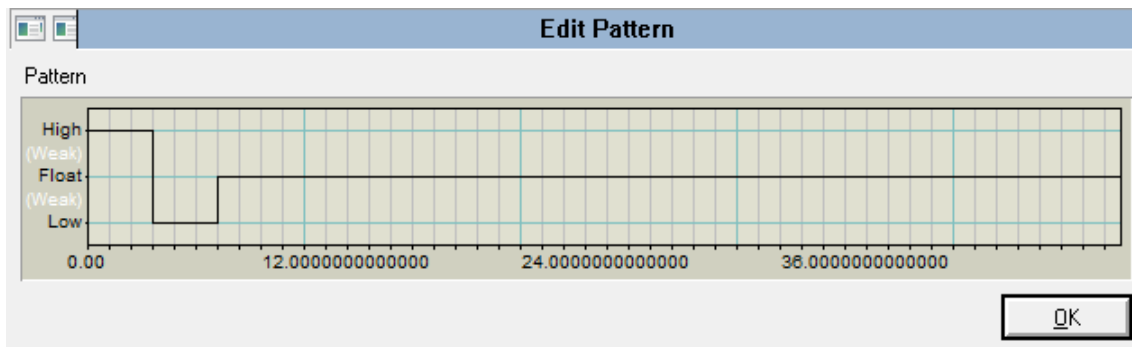


Figura 19 - Edição de padrão de sinal

Nas diversas tentativas vários padrões foram experimentados (a figura 19 demonstra apenas um dos), contudo o mesmo resultado: Q sendo igual ao Pulso e Q* sendo, em alguns casos, a saída Q barrada, em outros, algo totalmente aleatório.

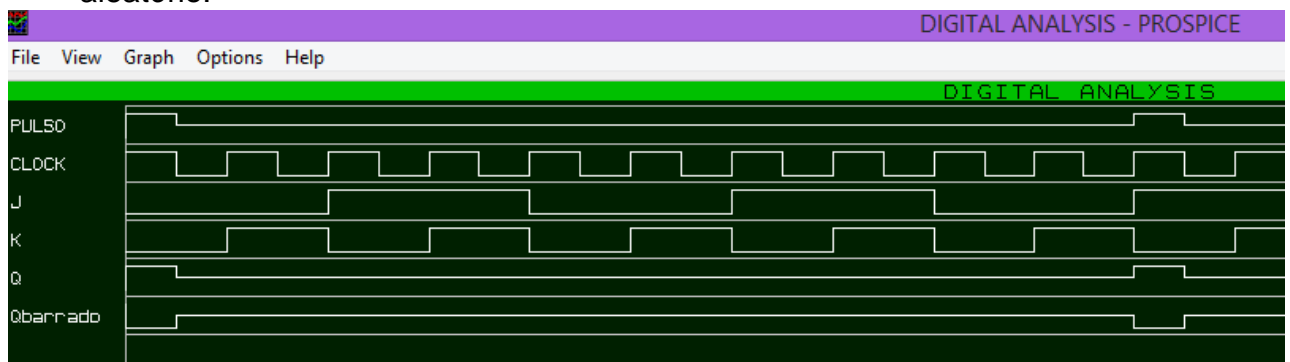


Figura 20 - Diagrama de tempos errado 2 circuito 3

E, como é possível perceber, o software não compreende as instruções do usuário e o estado a que está submetido o output, quando montado através de portas lógicas, impossibilitando, portanto, a apresentação de resultados semelhantes ao teórico estudado.

7.3.1 Montagem prática

As dificuldades encontradas na montagem prática foram resolvidas após a verificação de todos os terminais dos CI's utilizados, analisando conexão por conexão, viu-se que a falha era devido a um mau contato. Após isto o circuito funcionou como esperado.

8. Comparações de resultados

Abaixo estão as tabelas verdades obtidas das três formas:

8.1 Circuito 1 – Circuito Latch Set-Clear

Faz-se a observação de que o circuito foi montado com portas NAND e o demonstrado na Figura 2 na Introdução Teórica possui tabela verdade diferente pois é montado com portas NOR, então os dados teóricos desta tabela verdade são:

Entradas		Teórico		Simulado		Experimental	
S	R	Q	Q*	Q	Q*	Q	Q*
0	0	Inválido		1	1	1	1
0	1	1	0	1	0	1	0
1	0	0	1	0	1	0	1
1	1	Qa	Qa*	0	1	1	0

Tabela 3 - Tabela de comparação circuito 1

8.2 Circuito 2 - Circuito Latch Set-Clear com Clock (portas NAND)

Entradas			Teórico		Simulado		Experimental	
S	R	Clock	Q	Q*	Q	Q*	Q	Q*
0	0	0	Qa	Qa*	0	1	0	1
0	1				0	1	0	1
1	0				0	1	0	1
1	1				0	1	0	1
0	0	1	0	1	0	1	0	1
0	1				0	1	1	0
1	0				1	0	0	1
1	1				Inválido		1	1

Tabela 4 - Tabela de comparação circuito 2

O simulado corresponde ao teórico. O experimental somente não na faixa com clock alto, pois possui os outputs invertidos.

8.3 Circuito 3 – Flip-Flop Mestre-escravo

Entradas			Teórico		Simulado		Experimental	
J	K	Clock	Q	Q*	Q	Q*	Q	Q*
0	0	Borda de descida (↓)	Mantém		0	1	0	1
0	1		0	1	0	1	1	0
1	0		1	0	1	0	0	1
1	1		Comuta		1	0	1	0

Tabela 5 - Tabela de comparação circuito 3

No simulado obtiveram-se os dados apenas com os LogicState (no ISIS Proteus) e não no diagrama de tempos. O experimental possui funcionamento correto, apesar dos outputs invertidos.

9. Considerações Relevantes

9.1 Aplicações

Considerando as aplicações dos Latches e Flip-Flops estão a possibilidade de utilizá-los como contadores, controladores e acionadores de outros sistemas, ou na área de telecomunicação com o registro das informações por meio dos bits de memória, por exemplo.

9.2 Dificuldades e recomendações

Primeiramente, tanto no circuito 1 quanto no segundo, diferenças foram encontradas nas tabelas verdades. Mas, ao perceber a diferença entre o simulado e experimental durante a realização da prática, notou-se que o Q e o Q* estavam trocados (com os LED's alterados), por isto as tabelas não estavam exatamente iguais. Com esta constatação, as ligações nos LED's foram alteradas para melhor organização.

Como pôde-se analisar, o terceiro circuito veio a ser o mais dificultoso. Além de experimentalmente, encontraram-se problemas na simulação tanto do software Proteus quanto do Quartus II: em primeiro momento com a sua compilação, segundamente a inserção dos inputs e então com a simulação do diagrama de tempos que resultou no que a figura abaixo apresenta.

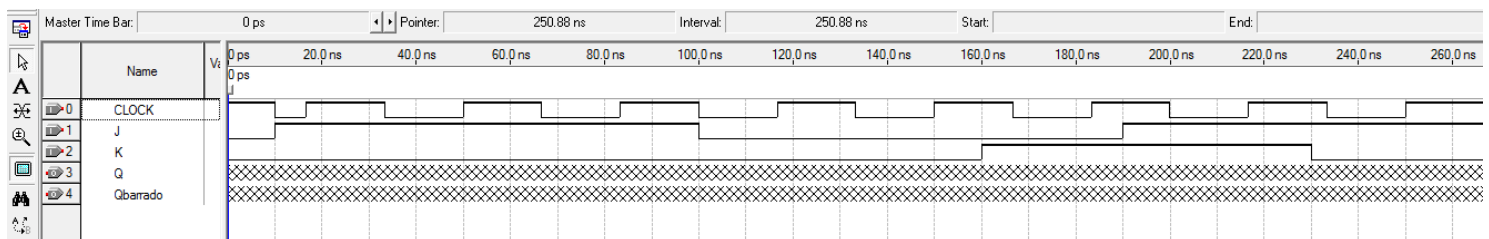


Figura 21 - Problema no diagrama de tempos do circuito 3 - Quartus II

As dificuldades de compilação e inserção de inputs foram resolvidas, já a do diagrama de tempos não.

Outro erro de software foi o fechamento automático do programa Proteus nos computadores da instituição, o que ocasionou a perda dos circuitos montados digitalmente. Com isto, recomenda-se o salvamento periódico do projeto para que não haja a necessidade de montá-lo novamente caso algo assim ocorra.

De outro modo, as falhas mais simples (e mais comuns), como o mal contato e os CI's inoperantes já eram previstas e foram resolvidas com facilidade.

Releva-se, no entanto, a condição dos módulos da instituição: muitos dos seus inputs estão danificados, com a maioria funcionando parcialmente, outros alternando seus níveis aleatoriamente e alguns sem nem mesmo ligar.

Por fim, afirma-se que Latches e Flip-Flops são mais estáveis quando trabalhados com os CI's que englobam todo o sistema, a série 741XX, como

exemplo, ao invés da montagem manual do circuito com portas lógicas, pois as mesmas podem apresentar mais problemas de conexão e/ou instabilidade além de falhas individuais, sendo de maior dificuldade para o usuário de solucioná-lo pois desconhece o(s) componente(s) específico(s) com erro.

10. Referência Imagética

FACULTY, SEQUENTIAL CIRCUITS. Disponível em: http://faculty.kfupm.edu.sa/COE/ashraf/RichFilesTeaching/COE022_200/Chapter4_1.htm. Acesso em 24 ago. 2014.

TAYLOREDGE. Disponível em: <http://www.tayloredge.com/reference/Packages/pinouts/>. Acesso em 24 ago. 2014.

CEE-UFRJ. LATCHES E FLIP-FLOPS. Disponível em: <http://www.dcc.ufrj.br/~gabriel/circlog/FlipFlop.pdf>. Acesso em 26 ago. 2014.

FLIP-FLOPS E FUNÇÕES LÓGICAS EM CIRCUITOS INTEGRADOS. BRAGA, Newton C. Disponível em: <http://www.newtoncbraga.com.br/index.php/electronica-digital/96-licao-7-os-flip-flops-e-funcoes-logicas-em-circuitos-integrados>. Acesso em 24 ago. 2014.

ELETRÔNICA DIGITAL XI-20. Disponível em: <http://www.mspc.eng.br/eledig/eldg1120.shtml>. Acesso em 27 ago. 2014.

CIRCUITOS SEQUENCIAIS. INF-UFSC. Disponível em: <http://www.inf.ufsc.br/ine5365/circseq.html>. Acesso em 27 ago. 2014.

LATCHES E FLIP-FLOPS. OneDrive. Disponível em: <https://onedrive.live.com/view.aspx?cid=A1F9444BE5525823&resid=A1F9444BE5525823%21160&app=WordPdf&authkey=%21APJsM-U08q8D8vw>. Acesso em 27 ago. 2014

CODEPROJECT. Disponível em: <http://www.codeproject.com/Articles/24577/Circuit-Engine>. Acesso em 27 ago. 2014.

DIGITALE – FLIP FLOP MASTER-SLAVE. ELEMANIA. Disponível em: <http://www.elemania.altervista.org/digitale/ff/ff9.html>. Acesso em 27 ago. 2014.

CIRCUITOS SEQUENCIAIS – LATCHES E FLIP-FLOPS. UNIVASF. Disponível em: <http://www.univasf.edu.br/~romulo.camara/novo/wp->

content/uploads/2013/07/Aula9_10_Circuitos_sequenciais.pdf.pdf. Acesso em 28 ago. 2014

EGONCALVES. Disponível em:
<http://egoncalves.net/eletdig/FLIP%20FLOP%20eletronica%20cap%205%20.pdf>. Acesso em 28 ago. 2014.

11. Anexo

11.1 Diagramas esquemáticos dos CI's utilizados

11.1.1 7400

CI DIP-14 com quatro unidades integradas de portas lógicas NAND de duas entradas.

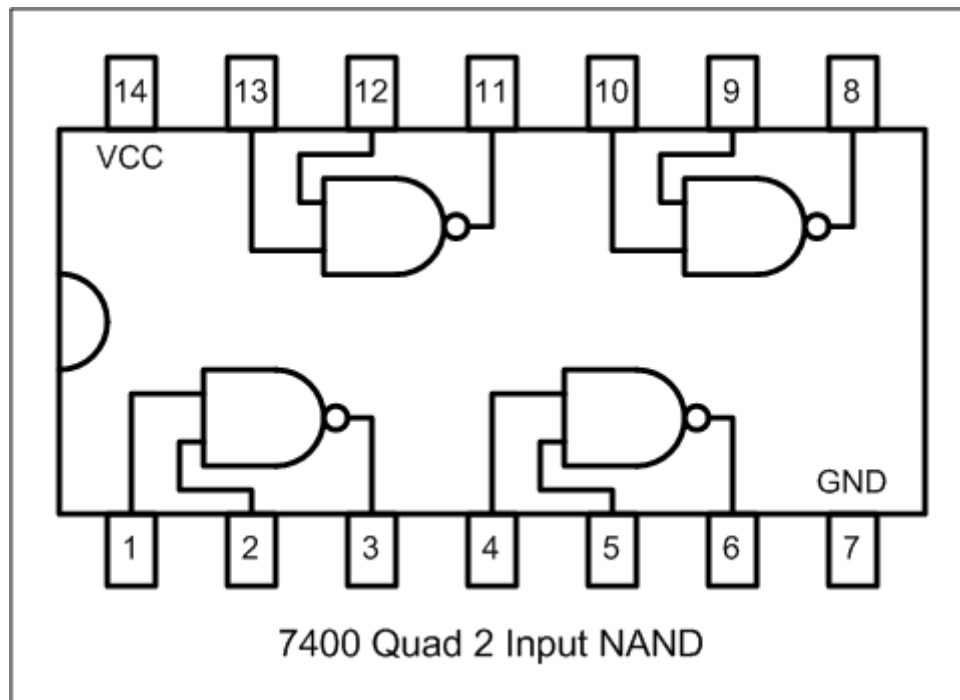


Figura 22 - Esquemático 7400 (Retirado de TAYLOREDGE)

11.1.2 7410

CI DIP-14 com três unidades integradas de *gates* NAND de três entradas cada.

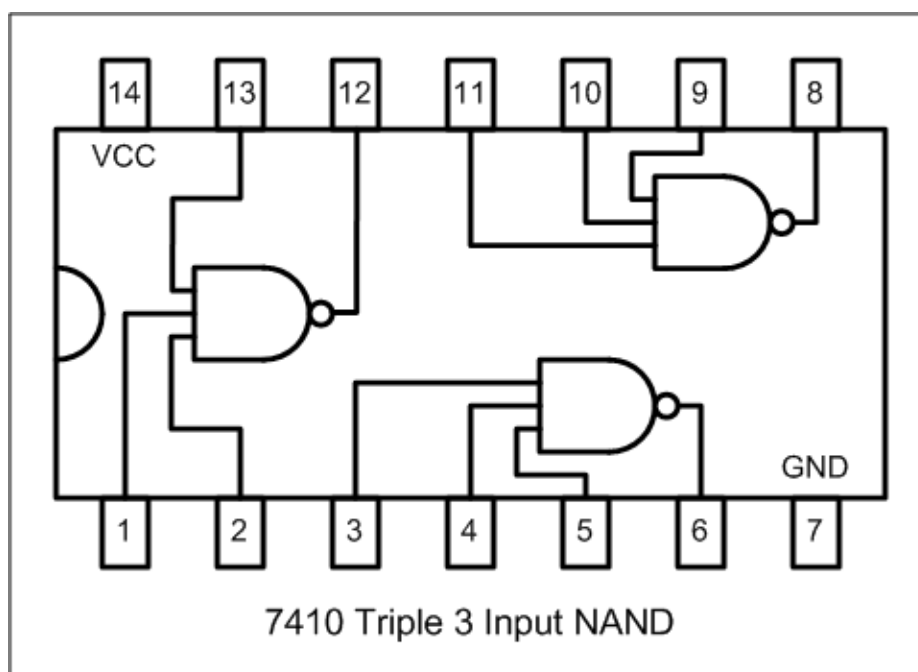


Figura 23 - Esquemático 7410 (Retirado de TAYLOREDGE)

11.1.3 7404

CI DIP-14 com seis unidades de portas lógicas inversoras (NOT).

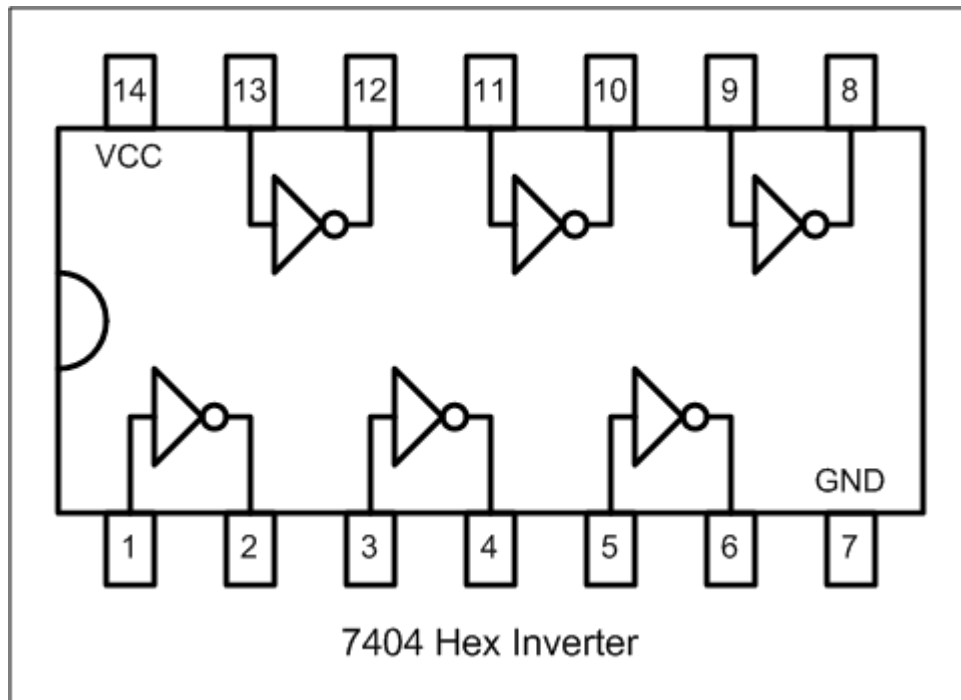


Figura 24 - Esquemático 7404 (Retirado de TAYLOREDGE)

Observação: Todos os Circuitos Integrados apresentados possuem tensão de alimentação (VCC, pino 14) de +5V e baixa corrente de operação.

