



Universidade Federal de Santa Catarina
Centro Tecnológico – CTC
Departamento de Engenharia Elétrica



“EEL7020 – Sistemas Digitais”

Prof. Eduardo Augusto Bezerra

Eduardo.Bezerra@eel.ufsc.br

Florianópolis, agosto de 2011.

“Desenvolvimento de Sistemas Digitais com FPGAs”

Arquivos utilizados no Lab 1:

- lab1_FPGAs.ppt
- DE2_introduction.pdf
- DE2_UserManual.pdf
- tut_quartus_intro_schem.pdf

Roteiro da aula

1. Apresentação **lab1_FPGAs.ppt**
Slides 1..14, 31..33, 55..58
2. Na pasta *altera\DE2\DE2_user_manual DE2_introduction*
 - Arquivo **DE2_introduction.pdf** (*aplicações da placa*)
 - Arquivo **DE2_UserManual.pdf** (*pinagem da placa*)
3. Na pasta *altera\DE2\Tutorials*
 - Arquivo **tut_quartus_intro_schem.pdf**
4. Seguir o tutorial **COMPLETO** descrito no arquivo ***tut_quartus_intro_schem.pdf***, pois esse fluxo será utilizado em todas as aulas de laboratório do semestre.

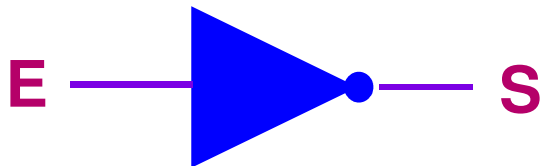
Motivação – Indústria de Circuitos Integrados

INVERSOR CMOS

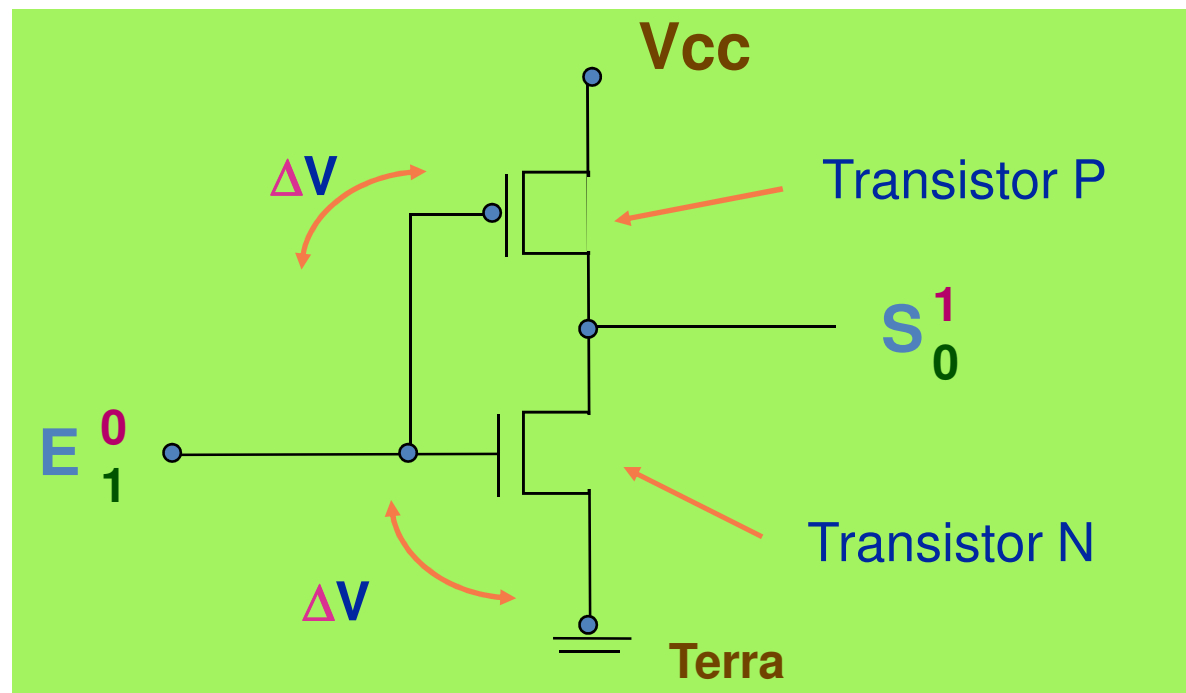
- Equação:

$$S = \overline{E}$$

- Esquema Lógico



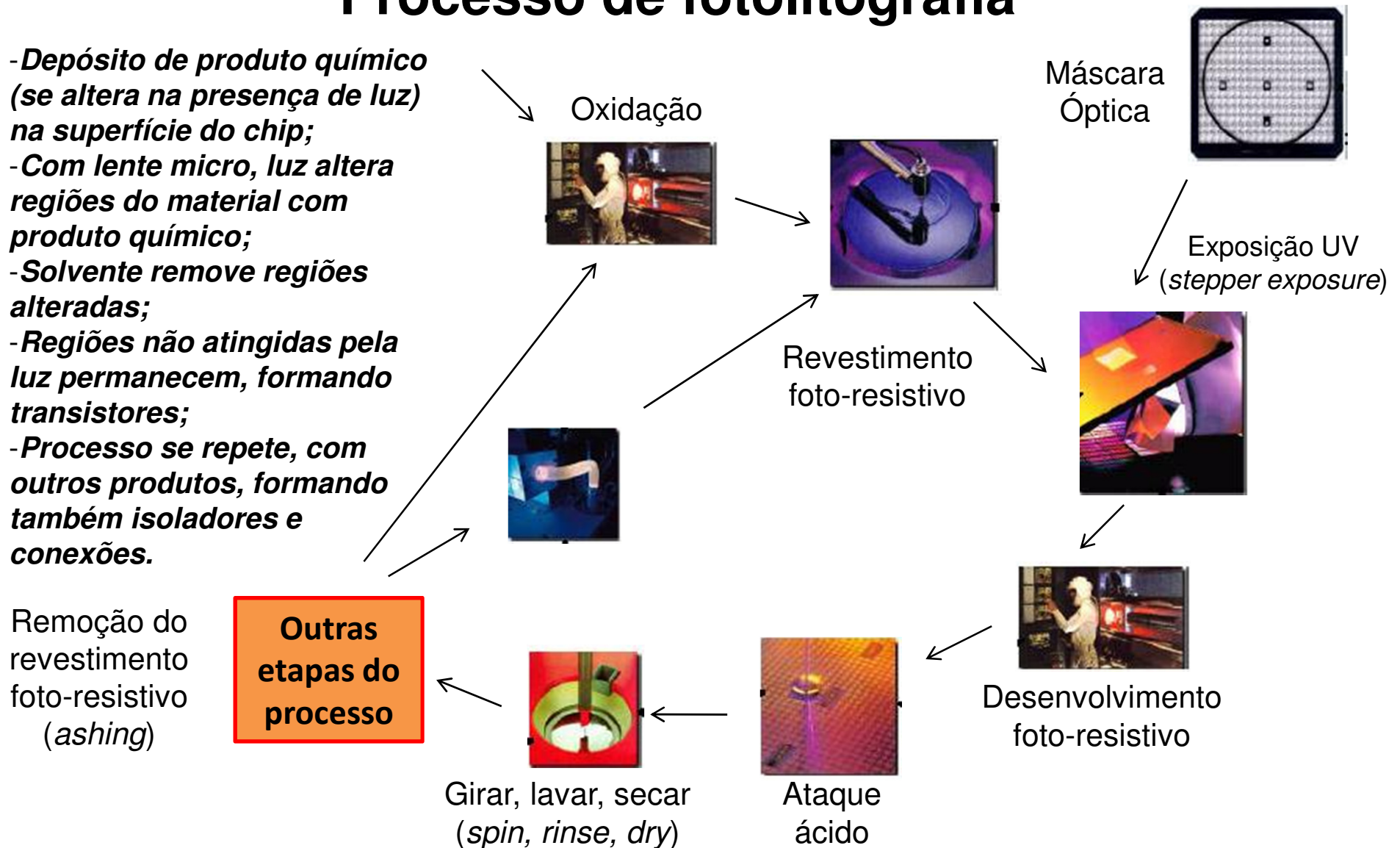
- Esquema Elétrico CMOS



Tecnologia CMOS: fabricação

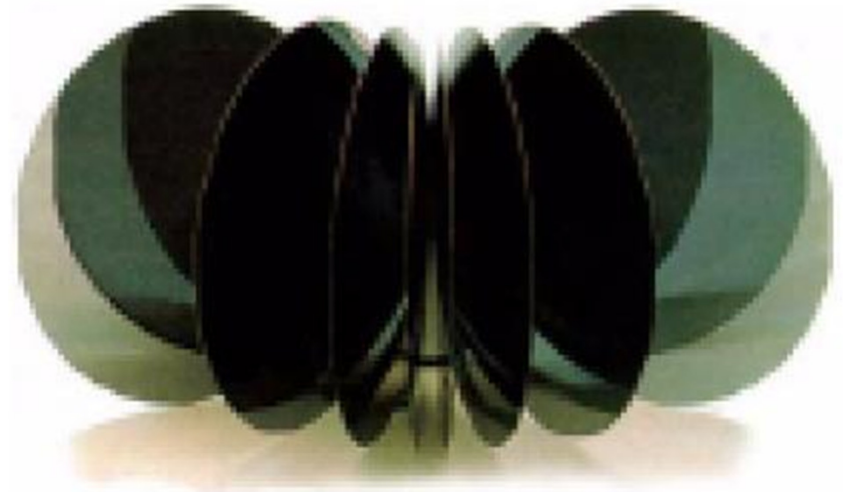
Processo de fotolitografia

- *Depósito de produto químico (se altera na presença de luz) na superfície do chip;*
- *Com lente micro, luz altera regiões do material com produto químico;*
- *Solvente remove regiões alteradas;*
- *Regiões não atingidas pela luz permanecem, formando transistores;*
- *Processo se repete, com outros produtos, formando também isoladores e conexões.*

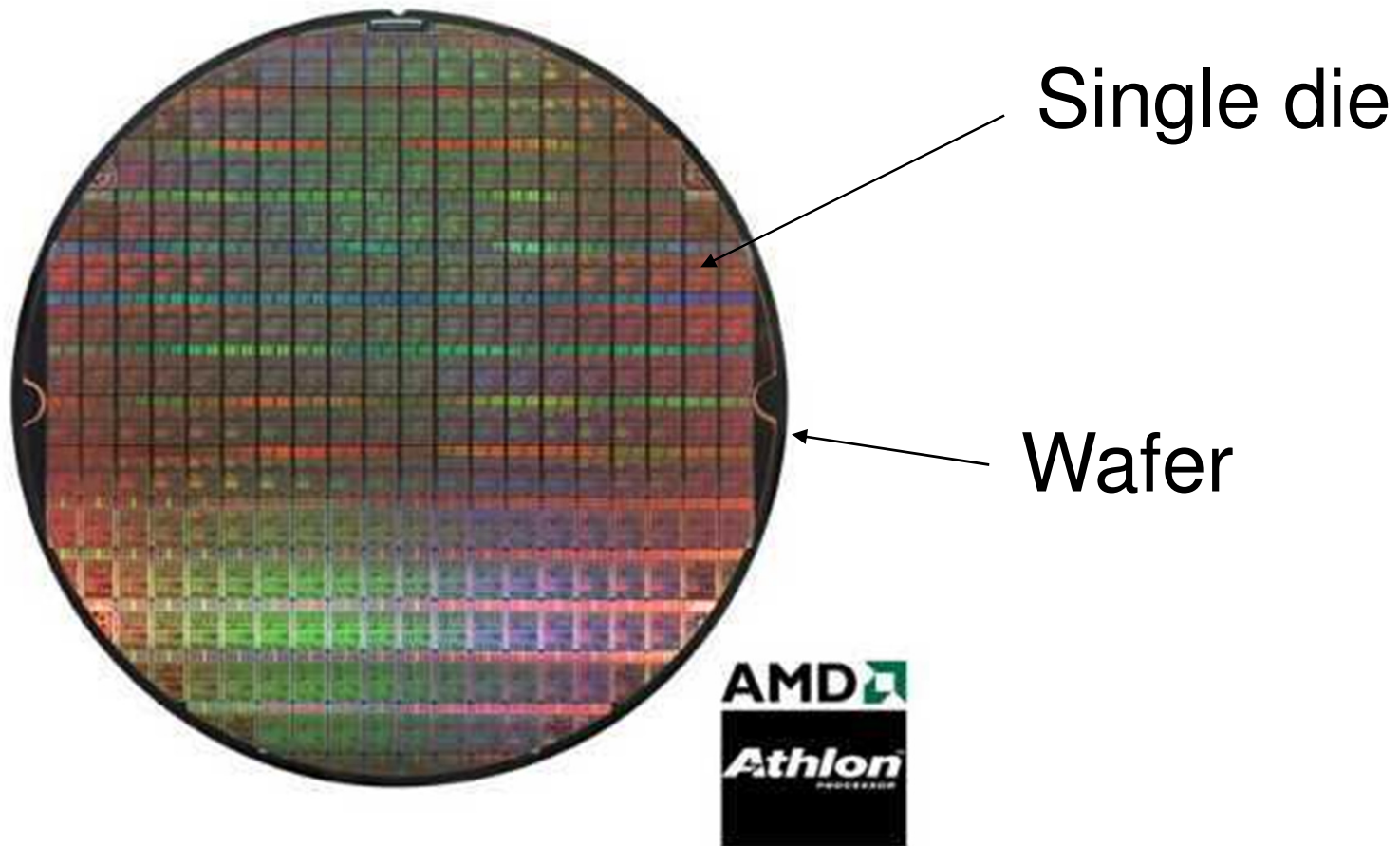


Motivação – Indústria de Circuitos Integrados

- SiO_2 , átomos de silício e oxigênio ligados por seus elétrons.
- O_2 é retirado em laboratório, e os átomos de silício resultantes formam cristal de silício puro.
- Próximo ao zero absoluto, os elétrons de silício se ocupam apenas em manter a estrutura do cristal.
- Aumentando para temperatura ambiente, átomos de Si vibram o suficiente para gerar energia térmica possibilitando seus elétrons saltar para camada de condução.
- Cristal de Silício a ser “fatiado”. Diâmetro varia de 10 a 30 cm.
- Wafers de silício (fatias) com espessura em torno de 1mm.



Motivação – Indústria de Circuitos Integrados



Obtido em <http://www.amd.com>

Portas Lógicas Básicas e Tabela Verdade



OR

A	B	S
0	0	0
0	1	1
1	0	1
1	1	1

$S = A \text{ or } B$

$S = A + B$

$S = A | B$

AND

A	B	S
0	0	0
0	1	0
1	0	0
1	1	1

$S = A \text{ and } B$

$S = A . B$

$S = A \& B$

XOR

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

$S = A \text{ xor } B$

$S = A \wedge B$

NOT

A	S
0	1
1	0

$S = \text{not } A$

$S = \bar{A}$

$S = !A$

Tarefa a ser realizada na aula prática

Tarefa a ser realizada na aula prática

- Utilizando a ferramenta Quartus II da Altera, criar um projeto de circuito digital (esquemático) com as 4 portas lógicas apresentadas no slide 8.
- Realizar a simulação das portas lógicas no Quartus II, e levantar a tabela verdade para cada uma das portas.
- O objetivo principal dessa aula prática é possibilitar que o aluno tenha um primeiro contato com as ferramentas de desenvolvimento a serem utilizadas durante o semestre.
- Seguir o tutorial descrito no arquivo:
tut_quartus_intro_schem.pdf
- Um resumo desse tutorial está incluído nos slides a seguir.

Resumo do tutorial *tut_quartus_intro_schem.pdf*

1. Criação do projeto ***File -> New Project Wizard***
2. No “project wizard”, seguir exatamente os passos listados no tutorial. Qualquer engano poderá significar em **erros** na geração do hardware para o FPGA.
3. ***Design Entry*** (esquemático) ***File -> New -> Block Diagram***
4. Preparar esquemático simples - portas lógicas básicas.
5. Definição dos pinos de entrada e saída (interface com o exterior) – ***Assignments – Assignment Editor***
6. Síntese lógica – Projeto fornecido (diagrama de blocos) é usado na geração do circuito considerando os elementos lógicos (CLBs) existentes no FPGA selecionado.
7. Síntese física (*place & route*) – Os elementos lógicos definidos na síntese lógica são posicionados fisicamente nos recursos existentes no FPGA. Nessa etapa são definidas as conexões (roteamento) entre os elementos lógicos.

Resumo do tutorial *tut_quartus_intro_schem.pdf*

8. **Simulação Funcional** – Circuito sintetizado é testado para verificação de sua funcionalidade -> não considera informação de temporização.
 - *File – New – Vector Waveform File*
 - *Edit – End Time – 200 ns*
 - *View – Fit in Window (^W)*
 - *Edit – Insert Node or Bus – Node Finder*
 - *Assignments – Settings – Simulator Settings – Functional*
 - *Processing – Generate Functional Simulation Netlist*
 - *Processing – Start Simulation*
9. **Análise Temporal** – Análise dos atrasos de propagação de sinais no circuito após a síntese física – resulta em relatório constando o desempenho esperado.
10. **Simulação Temporal** – teste para verificação com atrasos.
11. **Programação** – FPGA é carregado com circuito, configurando fisicamente elementos de processamento e roteamento.

Tools – Programmer. Hardware Setup – USB-Blaster. Start!