



Universidade Federal de Santa Catarina
Centro Tecnológico – CTC
Departamento de Engenharia Elétrica



“EEL7020 – Sistemas Digitais”

Prof. Eduardo Augusto Bezerra

Eduardo.Bezerra@eel.ufsc.br

Florianópolis, agosto de 2011.

Sistemas Digitais

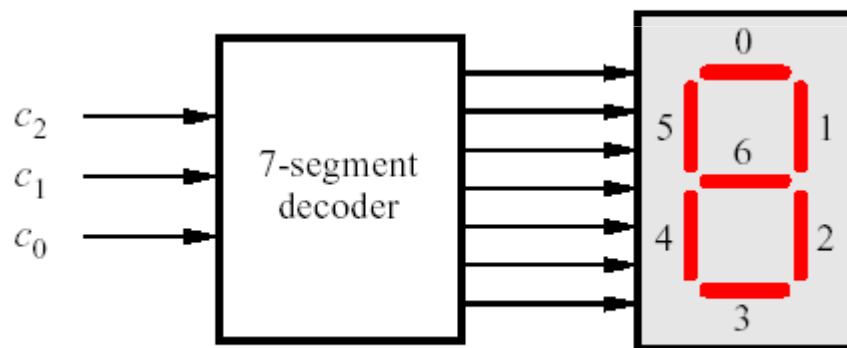
Prática: Projeto de decodificador

Arquivo: lab1_VHDL.pdf
parte IV
(parte V e parte VI, opcional)

Tarefa I

Projeto de decodificador 7-seg

- Projetar em VHDL o **decodificador** da figura a seguir.
- Os 3 bits de entrada são *decodificados*, e a palavra de 7 bits gerada é enviada para o display de 7 segmentos.
- O circuito a ser projetado deverá gerar os 7 bits (sinais) de acordo com os códigos listados na tabela ao lado.
- **Usar expressões booleanas para implementar cada função lógica.**

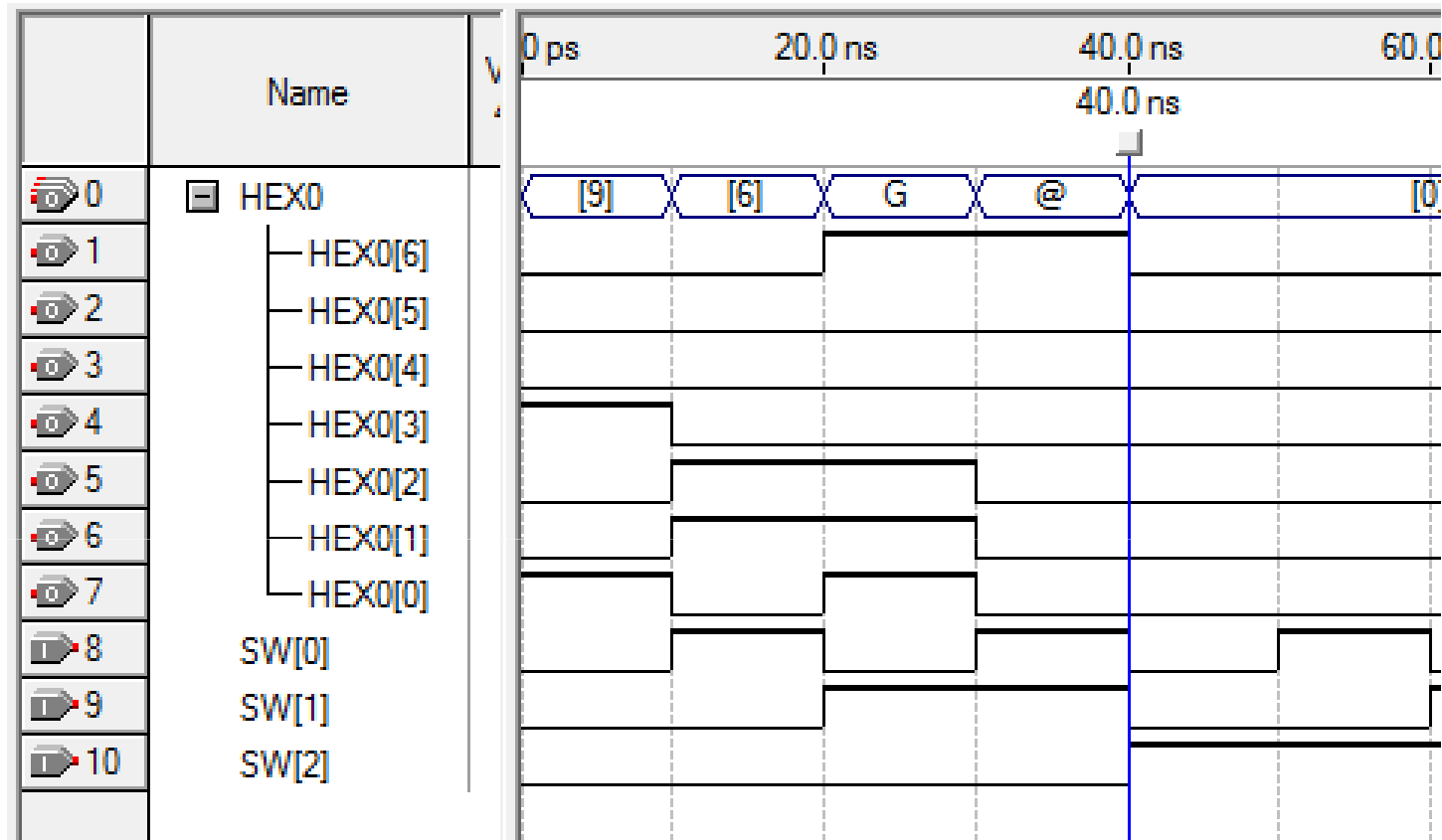


			7 bits	
C2	C1	C0	6543210	Letra
0	0	0	0001001	H
0	0	1	0000110	E
0	1	0	1000111	L
0	1	1	1000000	O

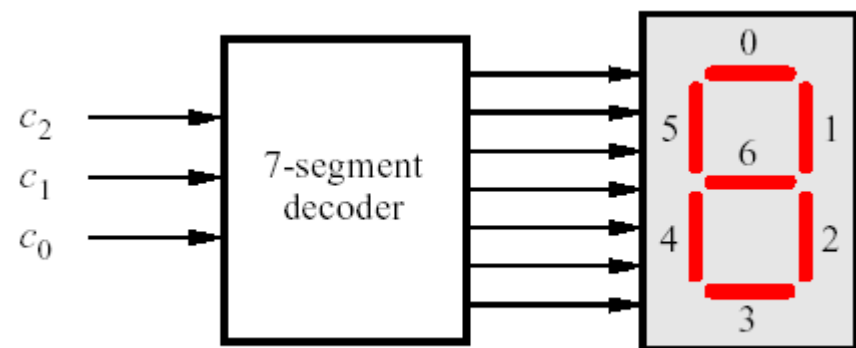
Dicas:

- Os displays estão definidos em *DE2_pin_assignments.csv* (HEX0, HEX1, ...)
- O display menos significativo é o HEX0 - usar apenas um display.
- Na *entity*, declarar “HEX0: out std_logic_vector(7 downto 0);”

Simulação funcional do decodificador



C2	C1	C0	6543210	Letra
0	0	0	0001001	H
0	0	1	0000110	E
0	1	0	1000111	L
0	1	1	1000000	O



Tarefa II

Projeto de decodificador BCD para 7-seg

- Completar a tabela a seguir e projetar em VHDL o decodificador BCD para 7 segmentos.
- Os 4 bits de entrada ($SW_{3..0}$) são *decodificados*, e a palavra de 7 bits gerada é enviada para o display de 7 segmentos.

				7 bits	
SW3	SW2	SW1	SW0	6543210	Valor
0	0	0	0	1000000	0
0	0	0	1		1
0	0	1	0		2
0	0	1	1		3
0	1	0	0		4
0	1	0	1		5
0	1	1	0		6
0	1	1	1		7
1	0	0	0	0000000	8
1	0	0	1		9

Dica 1:

```
HEX0 <= "1000000"
```

```
WHEN SW = "0000"
```

```
ELSE "0000000" ...
```

```
WHEN SW = "1000"
```

```
ELSE ... ;
```

Dica 2:

Procurar no google por

VHDL 7-seg

Simulação com *ModelSim*

Simulação do projeto com ModelSim

1. Criar uma nova pasta dentro da pasta do projeto.
2. Copiar os **scripts de simulação** disponíveis na página da disciplina para dentro da nova pasta.
3. Entrar na nova pasta, editar o arquivo "*compila.do*", e alterar ***decod_7seg.vhd*** para o nome do seu arquivo VHDL a ser simulado.
4. Copiar APENAS o seu arquivo VHDL (*decodificador*) a ser simulado para a nova pasta, que já deve possuir os *scripts* de simulação copiados da página da disciplina.
5. Executar o *ModelSim-Altera*, que se encontra no menu *Iniciar* do Windows, pasta "*Altera*".
6. No menu "*File*" do *ModelSim*, definir a pasta do projeto (opção "*Change Directory*"), selecionando a nova pasta.

Simulação do projeto com ModelSim (cont.)

7. Execução da simulação (arquivo *compila.do*)
 - a) No menu "Tools" do ModelSim, selecionar "*Tcl*" -> "*Execute Macro*".
 - b) Selecionar o arquivo "*compila.do*", e "*Open*".
8. O *ModelSim* irá compilar os arquivos VHDL e iniciar a simulação.
9. A janela com as formas de onda irá abrir, apresentando o resultado da simulação.

Obs. Se desejar, editar o arquivo *tb.vhd* para alterar a simulação a ser realizada, e repetir o passo 7.

Simulação do projeto com ModelSim (cont.)

Obs. Se o resultado da simulação não estiver de acordo com o esperado, alterar o seu VHDL, salvar, e executar novamente a simulação (arquivo *compila.do*).

Obs. A simulação só irá funcionar se o seu projeto possuir EXATAMENTE a seguinte *entity*:

```
entity decod_7seg IS
    PORT (SW   : IN   STD_LOGIC_VECTOR(17 DOWNT0 0);
          HEX0 : OUT  STD_LOGIC_VECTOR(6 DOWNT0 0)
    );
end decod_7seg;
```

Simulação do projeto com ModelSim (cont.)

Obs. O arquivo "*compila.do*" contém os comandos do *ModelSim* necessários para realizar a simulação, incluindo:

- a) Criação da biblioteca de trabalho - comando *vlib*.
- b) Compilação dos arquivos VHDL para a biblioteca de trabalho - comando *vcom*.
- c) Inicialização do simulador com o arquivo *testbench* - comando *vsim*.
- d) Execução da janela de formas de onda (*waveform*) - comando *wave*.
- e) Adição dos sinais na janela de formas de onda - comando *wave*.
- f) Execução da simulação - comando *run*.