

**INSTITUTO FEDERAL**  
SANTA CATARINA

**CÂMPUS FLORIANÓPOLIS**  
**DEPARTAMENTO ACADÊMICO DE ELETRÔNICA**  
**CURSO TÉCNICO INTEGRADO EM ELETRÔNICA**

**GUSTAVO SIMAS DA SILVA**  
**THALES LOHN DA SILVA**  
**VITOR GARCEZ MORIGI**

**RELATÓRIO 3**  
**CONTADOR DE DÉCADAS EM FPGA**

**Florianópolis, 2014**

**GUSTAVO SIMAS DA SILVA**

**THALES LOHN DA SILVA**

**VITOR GARCEZ MORIGI**

## **CONTADOR DE DÉCADAS EM FPGA**

Relatório apresentado ao professor Fernando Pedro Henriques de Miranda, ministrador da disciplina de Eletrônica Digital II pertencente à 6ª fase do curso técnico integrado em Eletrônica do Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina (IF-SC), campus Florianópolis.

**Florianópolis**

**Outubro de 2014**

# 1. Resumo

Neste relatório será apresentado um circuito eletrônico de contador crescente de década com display multiplexado em FPGA. Serão abordados o seu funcionamento teórico, as possíveis aplicações e a análise dos resultados na atividade prática, com detalhamento do operacional de cada circuito integrado utilizado.

Serão apresentadas tabelas, figuras e elementos adicionais como gráficos e diagramas dos softwares eletrônicos de simulação de circuitos para a melhor explanação.

*Palavras-chave: Contador. Display. Multiplexado. FPGA.*

## 2. Abstract

In this work will be presented an increasing decade counter with multiplexed display electronic circuit on a FPGA. Will be approached its theoretical operation, the possible applications and the analysis of results in practical activity, with details of each operating integrated circuit used.

Tables, figures and additional elements such as graphs and diagrams of electronic circuits simulation softwares will be presented for the best explanation.

*Key-words: Counter. Display. Multiplexed. FPGA.*

### 3. Sumário

1. Resumo .....	3
2. Abstract .....	4
3. Sumário .....	5
4. Lista de figuras .....	6
5. Objetivos.....	7
6. Introdução Teórica.....	8
6.1 Contadores de décadas: uma breve recapitulação .....	8
6.2 Aplicações dos contadores .....	8
6.3 Informações sobre os contadores referidos e equipamentos utilizados	9
7. Descritivo de operação .....	10
7.1 1ª etapa - Divisor de frequência .....	10
7.2 2ª etapa - Montagem do circuito .....	12
7.3 3ª etapa – Definindo os pinos dos “outputs” .....	12
7.4 4ª etapa – Transportando a lógica para o FPGA .....	13
7.5 5ª etapa – Desativando os segmentos de display não utilizados.....	14
8. Discussão dos resultados.....	15
9. Conclusões.....	17
9.1 Quanto às aplicações.....	17
9.2 PCB com FPGA ante o Módulo didático .....	17
9.3 Considerações finais.....	18
10. Referências .....	19
11. Anexo .....	20

## 4. Lista de figuras

FIGURA 1 - FUNÇÃO “MEGAWIZARD PLUG-IN MANAGER” .....	10
FIGURA 2 - CRIANDO O DIVISOR DE FREQUÊNCIA .....	11
FIGURA 3 - DIVISORES DE FREQUÊNCIA E FLIP FLOPS TIPO T .....	11
FIGURA 4 – CIRCUITO COMPLETO MONTADO NO QUARTUS II .....	12
FIGURA 5 - DEFININDO OS PINOS DOS “OUTPUTS” NA PCB DIDÁTICA .....	12
FIGURA 6 – TRANSPORTANDO A LÓGICA PARA A PCB DIDÁTICA .....	13
FIGURA 7 – DESATIVANDO OS DISPLAYS NÃO UTILIZADOS .....	14
FIGURA 8 - FOTO DA PCB COM FPGA 1 .....	15

## 5. Objetivos

Entre os objetivos visados desta atividade, listam-se:

- 1) Montagem digital do circuito Contador de Décadas com Display Multiplexado em software de simulação especializado (Altera Quartus II versão 9.1 Service Pack 2);
- 2) Avaliação em prática do funcionamento de tal circuito através implementação do mesmo em placa com FPGA;
- 3) Comparação de resultados teóricos (aqueles esperados de acordo com o estudado) com o comportamento do projeto prático e resultados simulados digitalmente.
- 4) Refletir sobre os modos de operação realizados, falhas de funcionamento observadas e considerar a melhor forma de manuseio e uso dos componentes utilizados e dificuldades/erros que podem ser encontrados durante a realização de tal exercício.

## 6. Introdução Teórica

Primeiramente serão apresentadas as bases teóricas para a compreensão completa dos resultados obtidos.

### 6.1 Contadores de décadas: uma breve recapitulação

Pela definição do mestre e professor em sistemas eletrônicos, Ivan Idoeta, “*contadores são circuitos digitais que variam seus estados, sob comando de um clock, de acordo com uma sequência predeterminada*”. São circuitos que tem como base o funcionamento dos FF's (flip-flops) que se integram à sua estrutura e alteram os seus estados lógicos a cada borda de transição do clock.

Como já estudado, os contadores dividem-se em dois grandes grupos: os assíncronos (aqueles que possuem a saída Q de um FF ligada ao terminal CLK do próximo e onde todas as entradas têm nível lógico alto) e síncronos (nos quais possuem terminal de clock comum e apenas o flip-flop inicial tem a sua entrada a todo instante em nível lógico alto).

Os contadores de década são aqueles que realizam a operação de contagem até certo ponto, chegando ao final, que é determinado por este ponto, e retomando a contagem a partir de seu estado inicial. Por exemplo: um contador de décadas com 1 bit possui módulo 9, pois conta do algarismo  $0_{10}$  ( $0000_2$ ) até o algarismo  $9_{10}$  ( $1001_2$ ) passando por 9 estados. Um contador de 2 bits utiliza da divisão de frequência efetuada no sistema para a contagem no próximo flip-flop. Neste caso a quantidade de FF's será igual a quantidade de bits.

### 6.2 Aplicações dos contadores

Os contadores desenvolvidos atualmente não disponibilizam apenas uma função ou aplicações exclusivas à área de eletrônica. Tais circuitos, em termos de indicação de dados, podem ser aplicados em multímetros, velocímetros, cronômetros digitais, termômetros entre outros medidores e aparelhos que possuem displays e que são informadores de estados.

Com as variações do clock pode-se acelerar ou desacelerar o processamento de dados do circuito, tendo como consequência a obtenção de uma contagem mais rápida ou mais devagar de acordo com a programação realizada previamente.

Também são utilizados como divisores de frequência, já que em sua estrutura a variação do estado lógico na saída do próximo flip-flop tem o dobro do período do anterior.



### 6.3 Informações sobre os contadores referidos e equipamentos utilizados

Os contadores de décadas que possuem foco neste relatório se enquadram no grupo dos contadores síncronos crescentes. Tal circuito, diferentemente do realizado em atividade predecessora, não necessitava da montagem em matriz de contatos nos módulos eletrônicos.

Desta vez o objetivo seria a montagem e programação do sistema no software Quartus II para a realização das operações desejadas e a aplicação do mesmo em uma placa de desenvolvedor com FPGA (Field Programmable Gate Array), que é uma placa com chips que realizam as funções programadas e gravadas em sua memória ROM, levando em consideração as funções de chaves e botões atribuídas.

A placa manuseada no exercício da atividade prática foi disponibilizada pela instituição, sendo a versão do dispositivo a Cyclone I EP1C3T100C8.<sup>1</sup>

---

<sup>1</sup> Mais informações sobre o dispositivo consultar o diagrama esquemático em “Anexo”

## 7. Descritivo de operação

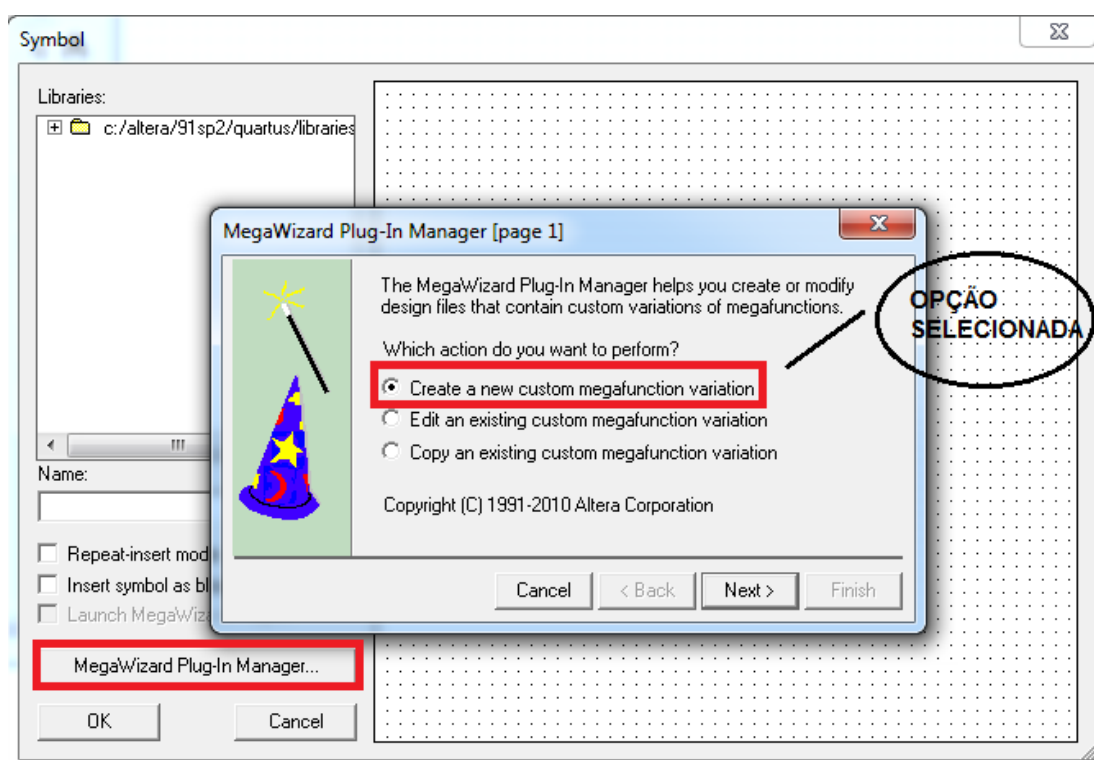
Foi proposto que se utilizasse o software *Quartus II* pois o objetivo era que se construísse somente a lógica do circuito no software, para que depois então fosse possível transportar essa lógica para a PCB didática com FPGA.

Sabe-se se a PCB didática é uma placa que possui todos os componentes básicos de um circuito digital. Nela, é possível montar o circuito com qualquer lógica desejada. Mas, para isso, é preciso que se utilize um software especializado, no caso o mais recomendado sendo a versão gratuita do Altera Quartus II. É nele que foram montados o circuito e programados os pinos para a lógica que seria executada na PCB.

### 7.1 1ª etapa - Divisor de frequência

Um dos elementos básicos presentes na PCB didática é o clock. Porém havia somente um cristal com clock fixo cuja frequência é de 25MHz.

No experimento a ser realizado, desejava-se dois clocks de frequências 120Hz e 1Hz. Então, para obter-se esta frequência, é necessário criar um componente no *Quartus II* que realize a função de “divisor de frequência”. Para isso, precisa-se usar a função *MegaWizard Plug-In Manager* do software, como pode ser visto na Figura 1.



**Figura 1 - Função “MegaWizard Plug-In Manager”**

Após clicar-se em “next”, é disponibilizada uma série de opções. Deve-se escolher a opção “Arithmetic” e depois selecionar a “LPM-COUNTER”, como mostra a Figura 2:

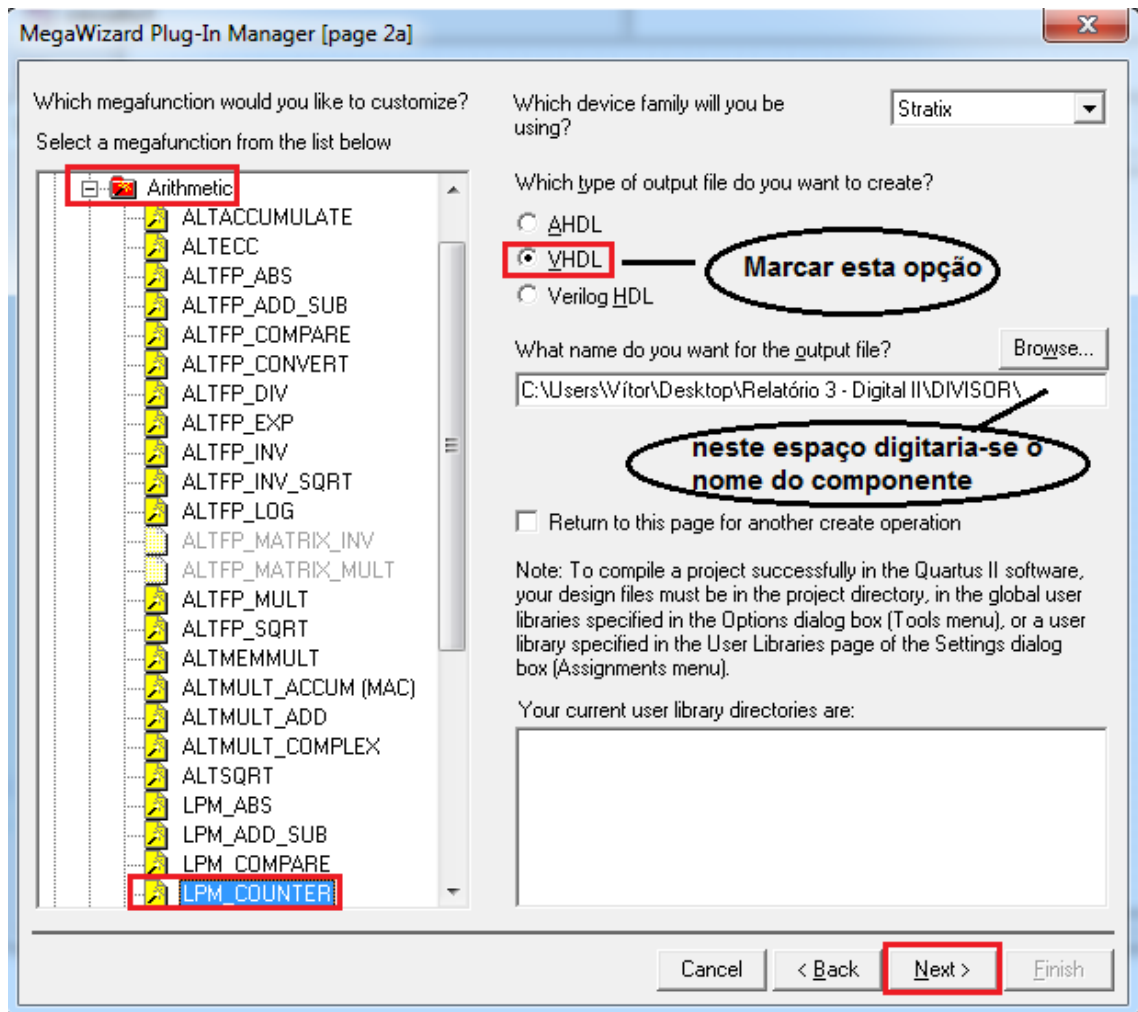


Figura 2 - Criando o divisor de frequência

Após isso, aparece algumas janelas, as quais deve-se definir o valor do módulo do divisor, o número de bits da saída Q e habilitar um terminal *carry-out* adicional.

Depois disto tem-se, então, o componente desejado. Contudo, ele ainda não é perfeitamente um divisor de frequência, porque apenas dá um pulso quando a frequência chega a 25MHz. Precisa-se, portanto, fazer com que ele oscile da maneira correta. Para tal, conecta-se o terminal *carry-out* de ambos os componentes criados no terminal de clock de dois Flip Flops tipo T. O terminal T dos Flip Flops devem ser conectados à Vcc (nível lógico alto), para assim fazer com que ele comutasse sempre, gerando a oscilação de um clock com as frequências requeridas como demonstra a Figura 3.

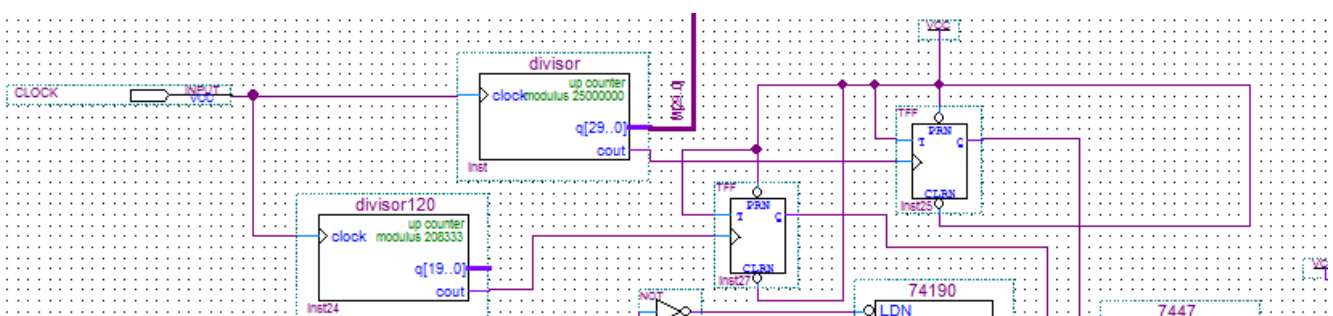


Figura 3 - Divisores de frequência e Flip Flops tipo T

## 7.2 2ª etapa - Montagem do circuito

Essa etapa se resumiu em apenas montar o circuito que já estava na folha de instruções do experimento. Foi feita a montagem do circuito no Quartus conferindo a estrutura interna de cada CI no datasheet dos fabricantes, pois alguns pinos diferiam.

Como pode ser visto na Figura 4, atribui-se “outputs” para todos os segmentos dos displays que seriam utilizados na PCB didática, já que o software só compreende a lógica deste modo (não possuindo o componente “display de 7 segmentos”).

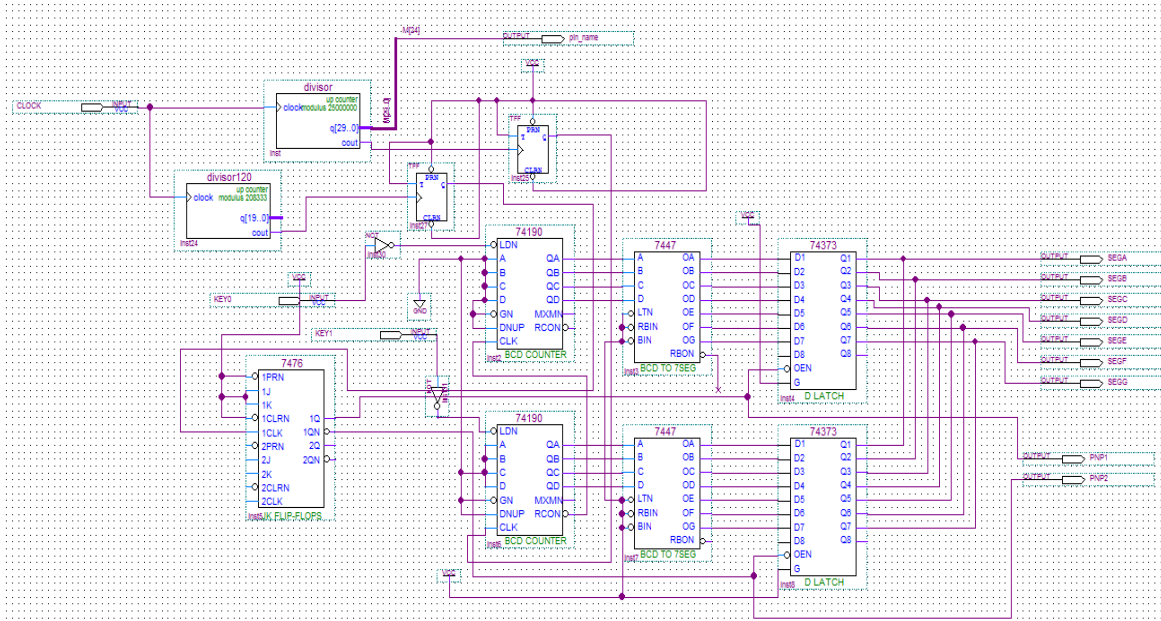


Figura 4 – Circuito completo montado no Quartus II

## 7.3 3ª etapa – Definindo os pinos dos “outputs”

A Erro! Fonte de referência não encontrada. mostra a interface da função “Pin Planner”, que é onde definem-se os pinos de cada output utilizado no esquemático do circuito.

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
KEY0	Input	PIN_41	4	B4_N0	3.3-V LVTTTL (default)	Reserved
KEY1	Input	PIN_36	4	B4_N2	3.3-V LVTTTL (default)	
PNP1	Output	PIN_72	3	B3_N0	3.3-V LVTTTL (default)	
PNP2	Output	PIN_75	3	B3_N0	3.3-V LVTTTL (default)	
SEGA	Output	PIN_71	3	B3_N0	3.3-V LVTTTL (default)	
SEGB	Output	PIN_68	3	B3_N1	3.3-V LVTTTL (default)	
SEGC	Output	PIN_92	2	B2_N2	3.3-V LVTTTL (default)	
SEGD	Output	PIN_90	2	B2_N2	3.3-V LVTTTL (default)	
SEGE	Output	PIN_89	2	B2_N1	3.3-V LVTTTL (default)	
SEGF	Output	PIN_70	3	B3_N0	3.3-V LVTTTL (default)	
SEGG	Output	PIN_69	3	B3_N0	3.3-V LVTTTL (default)	
SEGDP	Unknown	PIN_91	2	B2_N2	3.3-V LVTTTL (default)	
<new node>						

Figura 5 - Definindo os pinos dos “outputs” na PCB didática

Como pode ser visto na imagem, cada pino tem uma certa numeração. Para se descobrir a quais pinos dever-se-ia associar cada output, foi utilizado o esquemático da PCB didática, o qual mostra cada pino corresponde no FPGA, como pode ser visto no “Anexo”.

#### 7.4 4ª etapa – Transportando a lógica para o FPGA

Após isso, o último passo era somente transportar a lógica para o FPGA, através do menu “*Programmer*”, como pode ser visto na Figura 6:

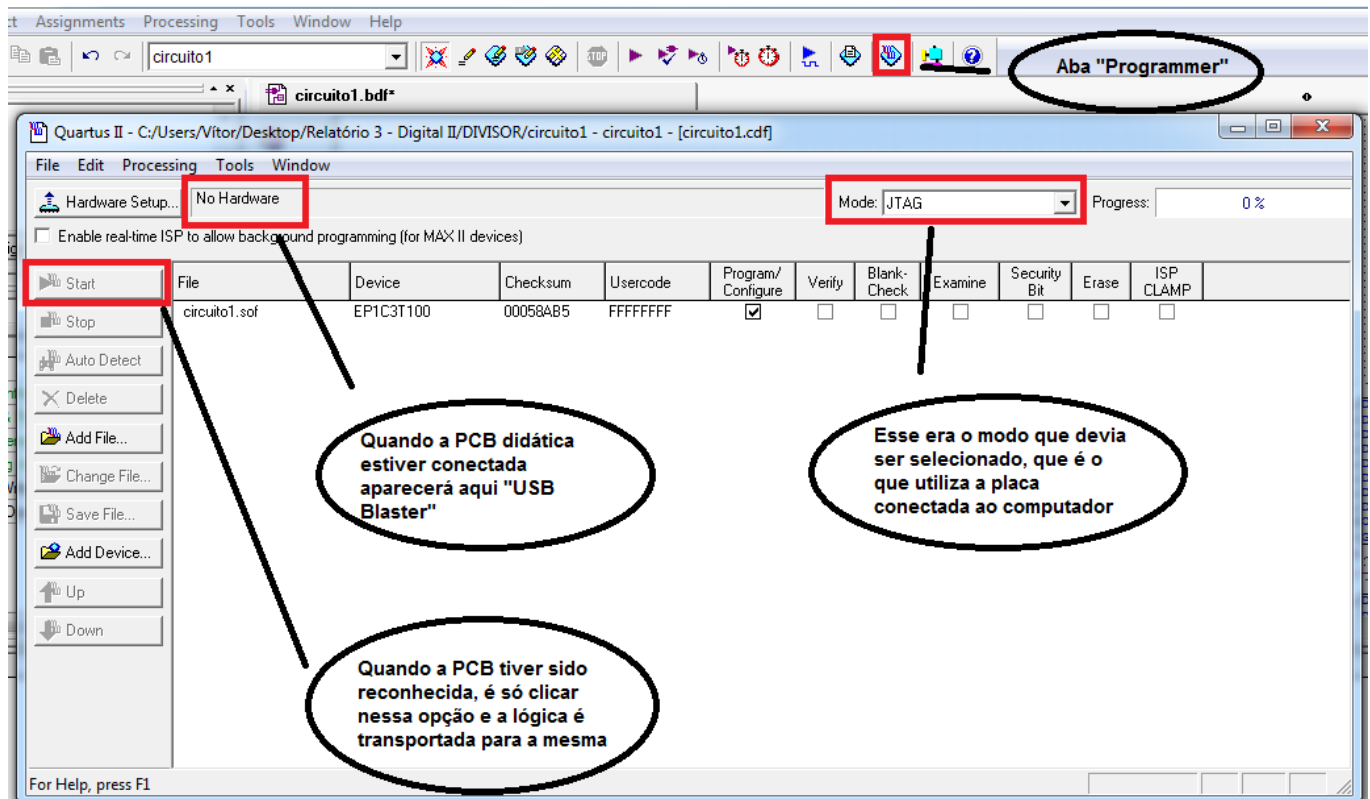


Figura 6 – Transportando a lógica para a PCB didática

No entanto, para a adequação a PCB didática de toda a lógica inferida no software, as configurações que são instruídas na figura anterior devem ser aplicadas, para que não ocorra erros de não identificação do dispositivo ou falha operacional do mesmo quando gravado em sua memória.

Observa-se que para o transporte da lógica do circuito montado digitalmente para a memória ROM da placa com FPGA é preciso, a princípio, haver instalado no computador o driver da PCB, para que haja o reconhecimento do dispositivo. Caso contrário é impossível executar a gravação. Os drivers geralmente são disponibilizados gratuitamente pelos fabricantes através de seus respectivos sites. Como o computador usado era o pertencente à instituição de ensino, o driver Cyclone já estava instalado.

## 7.5 5ª etapa – Desativando os segmentos de display não utilizados

Sabe-se que a PCB didática possui vários displays. Neste experimento, utilizou-se apenas dois deles (o de unidade e o de dezena). Para evitar que todos os outros não utilizados ficassem ligados, foi feito o procedimento o qual será mostrado na Figura 7:

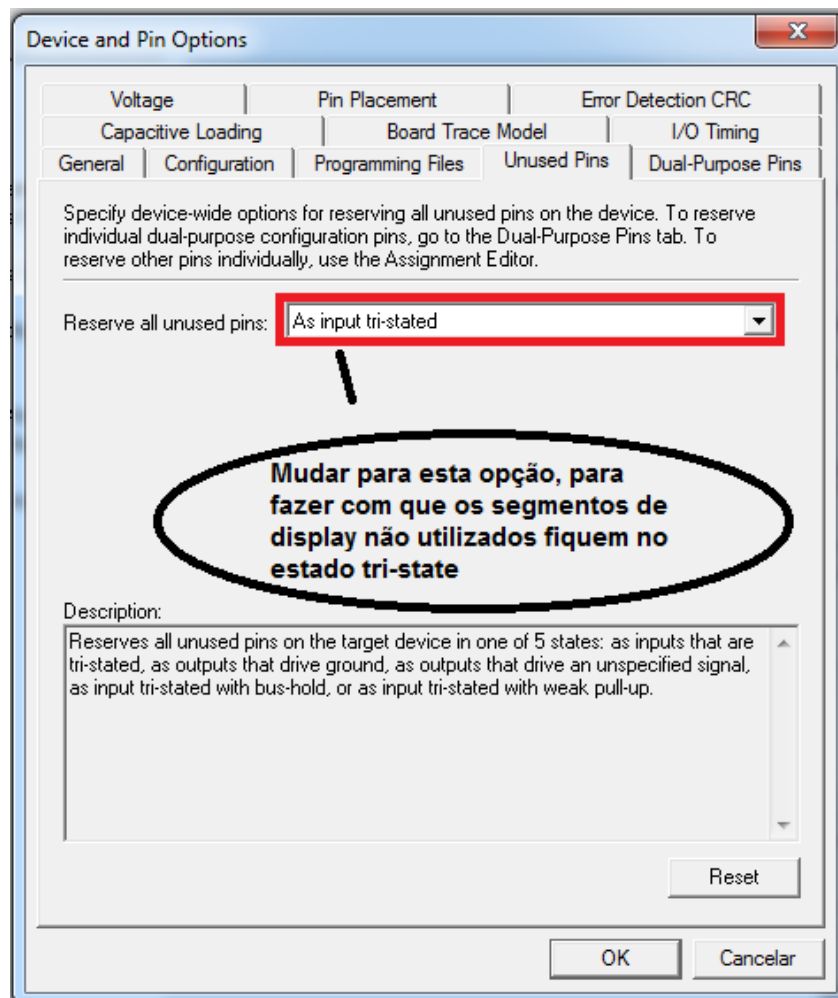


Figura 7 – Desativando os displays não utilizados

Para tal, basta modificar através das configurações ajustáveis do projeto para que os pinos não utilizados fiquem em estado tri-state (nem nível 0 nem 1).

Este procedimento visa a desativação dos displays inúteis na atividade para que haja tanto a otimização da visualização dos displays úteis, quanto para a economia de energia.



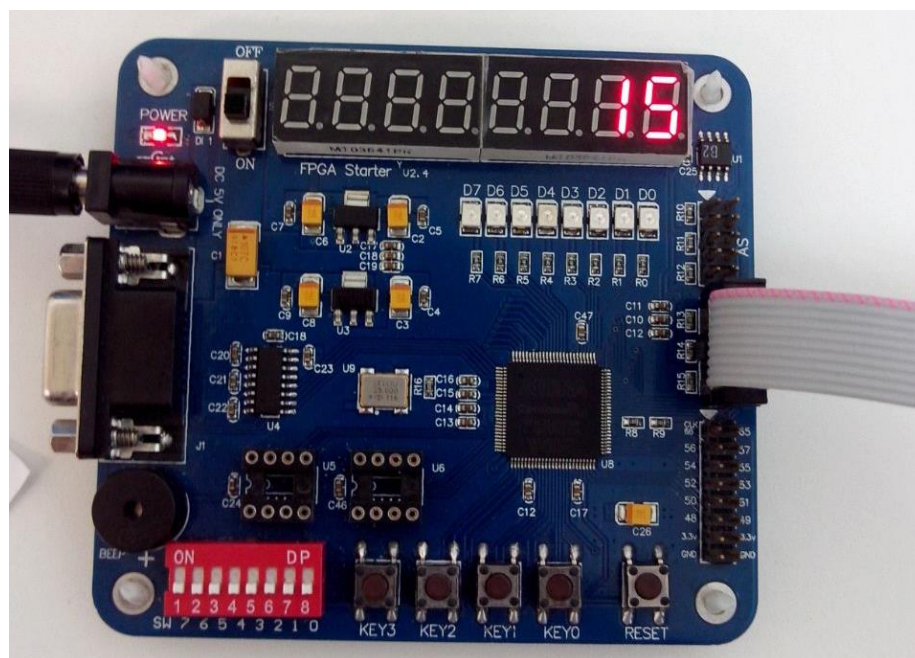
## 8. Discussão dos resultados

Com o circuito montado digitalmente, os pinos organizados no software, e a lógica transportada para a PCB didática através da conexão da placa com o computador por meio do cabo USB Blaster, obteve-se a ligação do dispositivo.

Primeiramente houve a ativação de todos os oito displays, tendo sido desligados posteriormente pela configuração já demonstrada, aplicando tri-state para os segmentos inutilizados (inclusive o segmento do ponto, segmento “dp” – pino 91).

Outro incidente, também, foi a alteração dos displays demonstradores dos algarismos da dezena e da unidade, ambos estavam invertidos. Após esta identificação, foi-se corrigido com a modificação dos terminais no Pin Planner.

Pela Figura 8 se vê o resultado em placa.



**Figura 8 - Foto da PCB com FPGA (1)**

Observou-se a exata alteração a cada 1 segundo dos algarismos do display das unidades, de  $0_{10}$  ( $0000_2$ ) até  $9_{10}$  ( $1001_2$ ) e das dezenas no que seria o instante 10 ( $1010_2$ ). Como a entrada CLK do contador das dezenas foi conectada a saída RCO (terminal 13) do contador das unidades, isso garantiu que o display das dezenas só se altere quando o das unidades efetua um ciclo completo, ou seja, de  $0_{10}$  à  $9_{10}$ . O 74190 possui um sistema inteligente que realiza comparações nas saídas disponibilizadas para somente prover uma transição de borda no terminal RCO atingido o estado  $1001_2$ .

Quanto as funções de retorno ao  $0000_2$ , aplicou-se para a “Key0” (Pino 41) a operação de zerar o display dos algarismos da unidade e para a “Key1” (Pino

37) o zerar das dezenas. Tal função foi efetuada e conseguida logo na primeira tentativa, sem quaisquer problemas.

Comenta-se que a função de zerar é realizada ao se apertar o botão (o que o sistema entende como nível lógico alto). O estado 1 é direcionado ao terminal LDN dos dois CI's 74190, que é um contador síncrono, tendo como consequência nível low nas entradas do 7447, que é um decodificador de BCD para display de 7 segmentos. As saídas do 7447 não são automaticamente conectadas com o display, mas sim ligadas aos terminais de input do CI 74373, que é um integrado com 8 latches tipo-D internos. Tal CI é necessário, pois atua em paralelo com o 7476, que é um integrado que possui duas estruturas Mestre-Escravo com Flip-Flops JK individuais, ou seja, duas estruturas que não tem conexão entre si. O 7476 executa a função de ora ativar um 74373 ora ativar outro. Enquanto um 74373 está ativo, outro possui um estado de alta impedância, quando se infere *high* no seu terminal 1 (Output Control, OEN). Este estado de alta impedância possibilita a atuação de ambos os circuitos integrados, e o uso de um display multiplexado, sem que ocorra curto-circuito ou outros problemas maiores.

Para mais informações, os diagramas esquemáticos dos CI's podem ser consultados no "20Anexo".



## 9. Conclusões

### 9.1 Quanto às aplicações

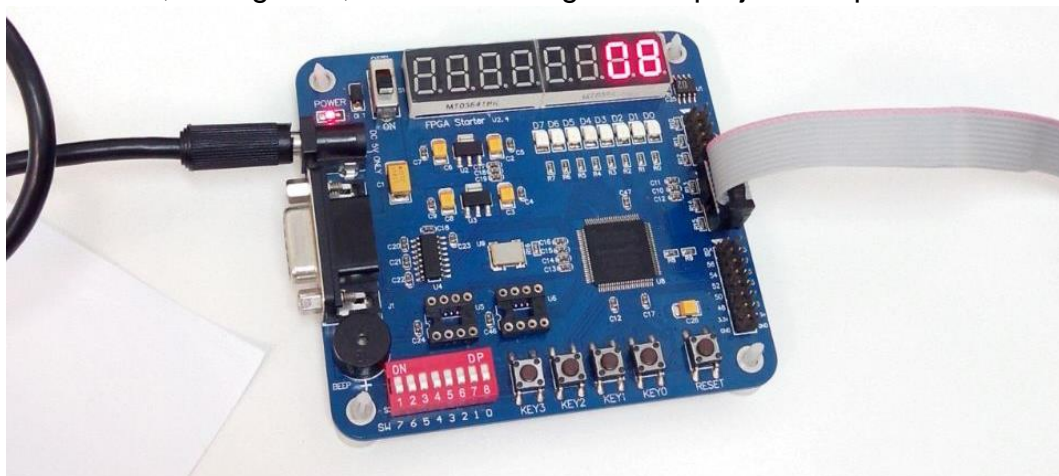
Pelo material estudado observa-se que a tecnologia da eletrônica digital, mais especificamente dos contadores, possibilita um sem-número de aplicações nas mais diversas áreas que utilizam aparelhos eletrônicos para a sinalização de um estado, como já havia sido dito anteriormente.

Como a frequência do clock utilizado foi baixa, houve a possibilidade da observância clara das alterações efetuadas pelo circuito a cada transição. Com a frequência aplicada (1Hz) é possível implementar um dos circuitos mais básicos neste quesito: um relógio digital; com a contagem dos segundos sendo feita até o número  $59_{10}$ , necessitando, portanto, de uma lógica combinacional adicional para a ativação do clear quando fosse atingido o estado  $01100000_2$  ( $60_{10}$ ). Com a inserção de mais bits pode-se ampliar o projeto, acrescentando os algarismos dos minutos e das horas, porém há a consequência da obtenção de um circuito maior, com maior ocupação de espaço e consumo de energia.

### 9.2 PCB com FPGA ante o Módulo didático

Constatou-se, de mesmo modo, que a realização do exercício com auxílio da PCB com FPGA proporciona uma montagem muito mais prática do que aquela usando o módulo didático. Não foram encontrados maus-contatos, conexões falhas por motivos de erro de paralaxe ou qualquer outra dificuldade característica da montagem em módulo. A digitalização do processo oferece maior praticidade, facilidade e rapidez no alcance dos objetivos.

Abaixo, na Figura 9, mais uma fotografia do projeto em placa.



**Figura 9 – Foto da PCB com FPGA (2)**

Salienta-se que as dificuldades maiores que podem ser encontradas são o planejamento errado dos pinos e as conexões em terminais errados. Observa-se, ainda, que o próprio software Quartus II apresenta dicas e relatório de erros caso ocorram, evitando assim consequências de mais intensa gravidade ao executar o projeto fisicamente.

### 9.3 Considerações finais

Com a atividade realizada, conclui-se que, em prática, os dados assemelharam-se com os esperados teoricamente. Afirma-se ainda que, apesar dos problemas poucos e pequenos, os objetivos foram alcançados.

Finaliza-se acrescentando que, ao ser montado digitalmente, as possíveis falhas do circuito diminuem significativamente, sendo falhas humanas as prováveis justificativas para um mau funcionamento do mesmo.

## 10. Referências

ONE DRIVE. Disponível em: <https://onedrive.live.com/view.aspx?cid=A1F9444BE5525823&resid=A1F9444BE5525823%21368&app=WordPdf&authkey=%21APJsM-U08q8D8vw>. Acesso em 14 out. 2014.

WIKIPEDIA. Field Programmable Array. Disponível em: [http://pt.wikipedia.org/wiki/Field-programmable\\_gate\\_array](http://pt.wikipedia.org/wiki/Field-programmable_gate_array). Acesso em 14 out. 2014.

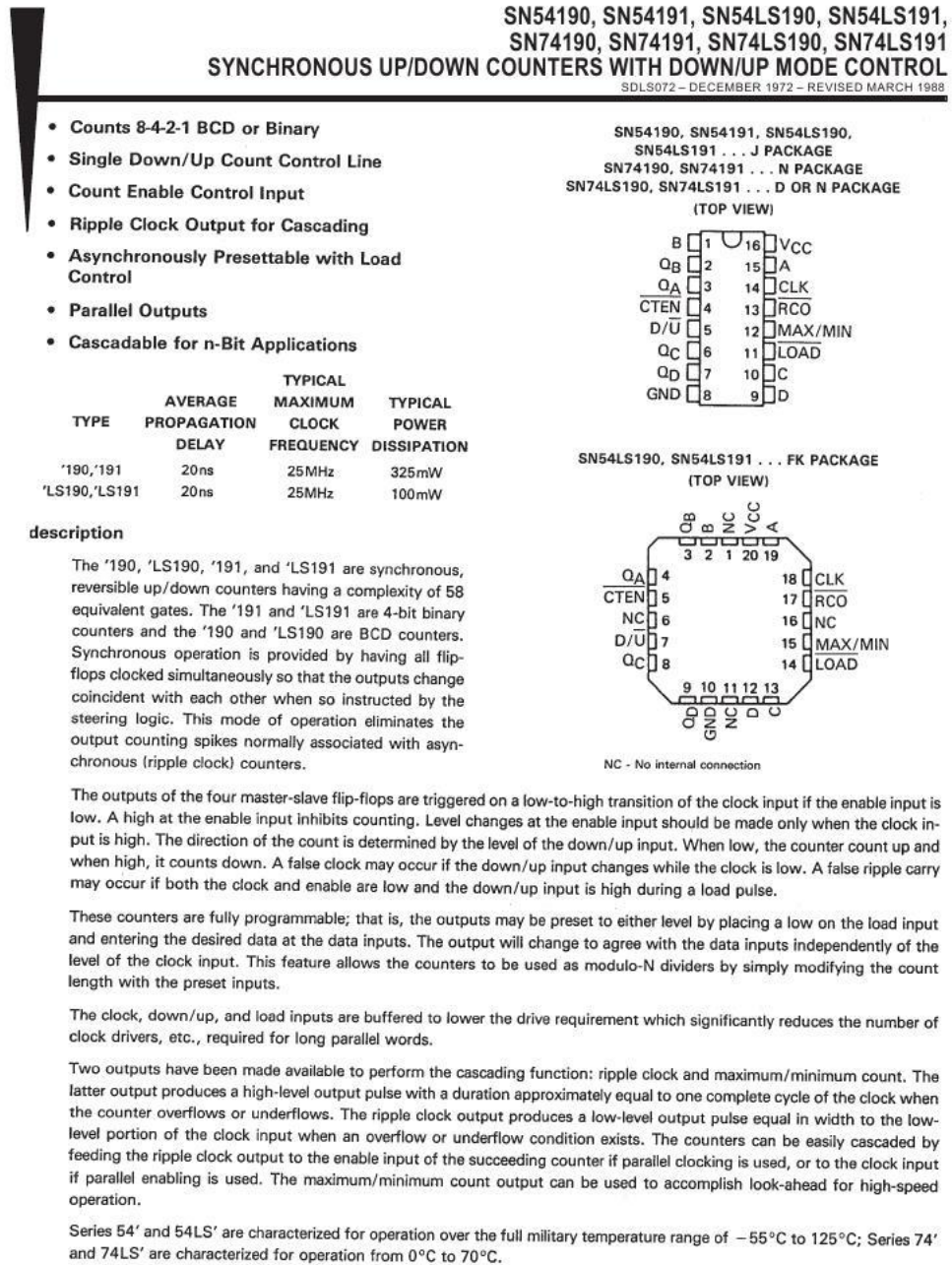
IFSC – Campus São José. Contadores. Disponível em: <http://www.sj.ifsc.edu.br/~odilson/ELD/Contadores.pdf>. Acesso em 13 out. 2014.

IDOETA, I. V. CAPUANO, F. Q. Elementos de Eletrônica Digital. 40ª Ed. Érica. 1984.

MIRANDA, Fernando Pedro Henriques de. Contadores Síncronos 2. Florianópolis: IFSC, 26 out. 2014. Aula ministrada aos alunos da turma 622 do Curso Técnico Integrado em Eletrônica.

## 11. Anexo

### Diagrama esquemático do CI 74190



PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS  
INSTRUMENTS**

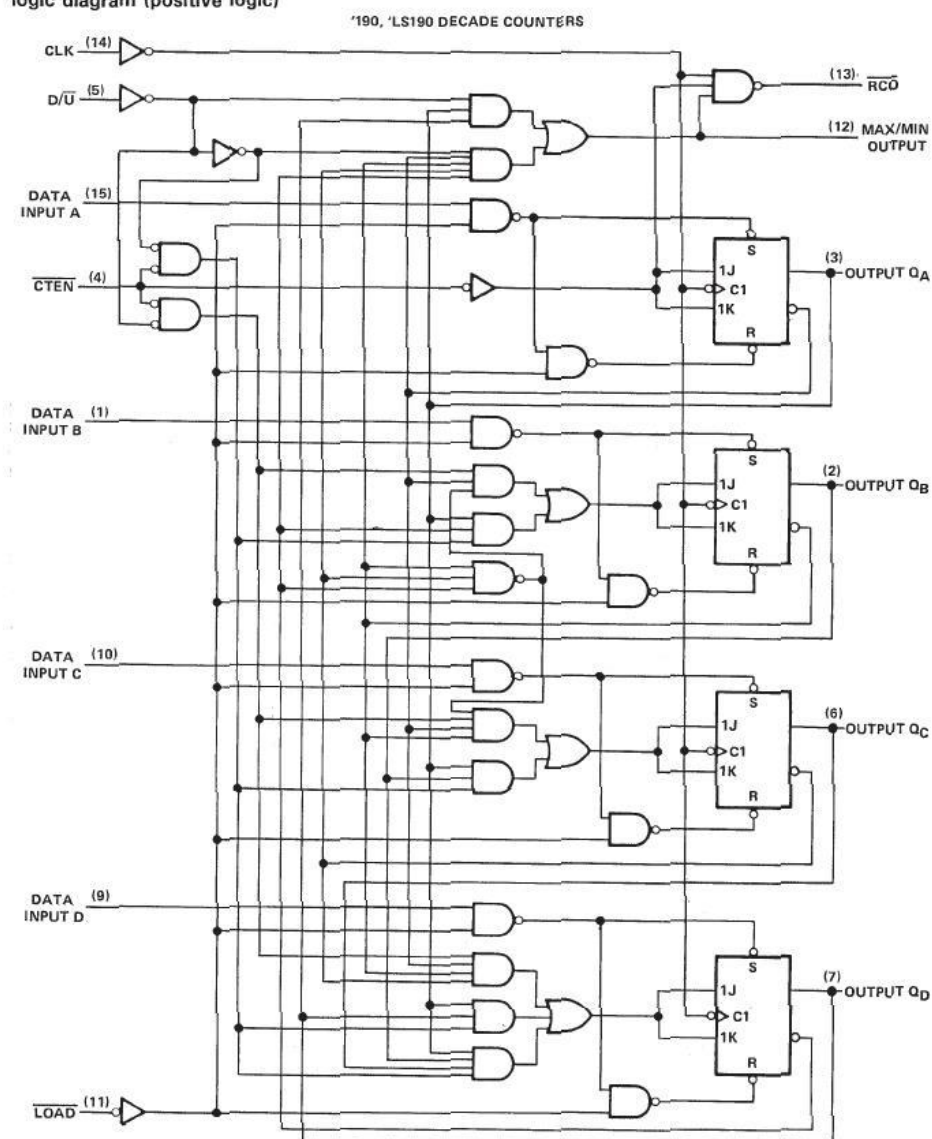
POST OFFICE BOX 655303 DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

SN54190, SN54LS190, SN74190, SN74LS190  
SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

SDLS072 - DECEMBER 1972 - REVISED MARCH 1988

logic diagram (positive logic)



Pin numbers shown are for D, J, and N packages.

**TEXAS  
INSTRUMENTS**

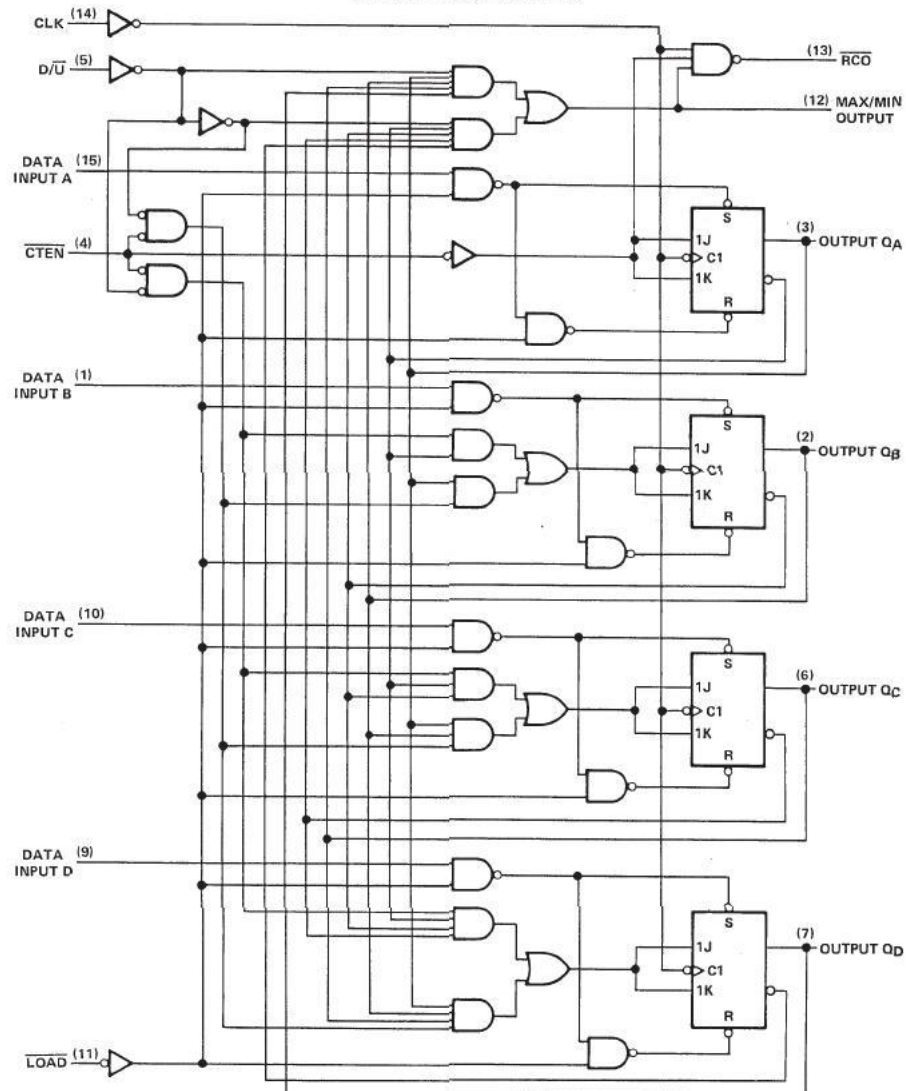
POST OFFICE BOX 655303 DALLAS, TEXAS 75265

**SN54191, SN54LS191, SN74191, SN74LS191**  
**SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL**

SDLS072 - DECEMBER 1972 - REVISED MARCH 1988

logic diagram (positive logic)

'191, 'LS191 BINARY COUNTERS



Pin numbers shown are for D, J, and N packages.



**TEXAS  
INSTRUMENTS**

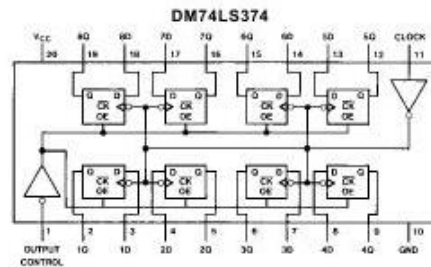
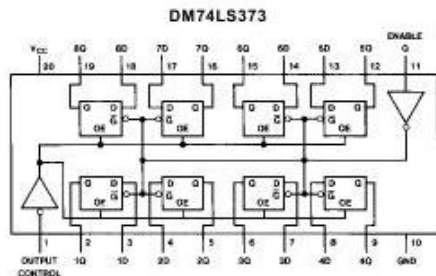
POST OFFICE BOX 655303 DALLAS, TEXAS 75265



## Diagrama esquemático do CI 74373

DM74LS373 • DM74LS374

### Connection Diagrams



### Function Tables

DM74LS373

Output Control	Enable G	D	Output
L	H	H	H
L	H	L	L
L	L	X	$Q_0$
H	X	X	Z

DM74LS374

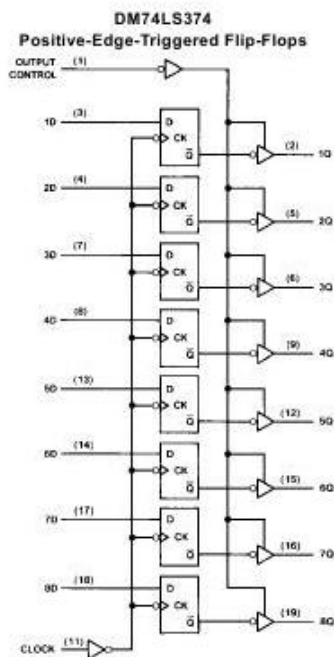
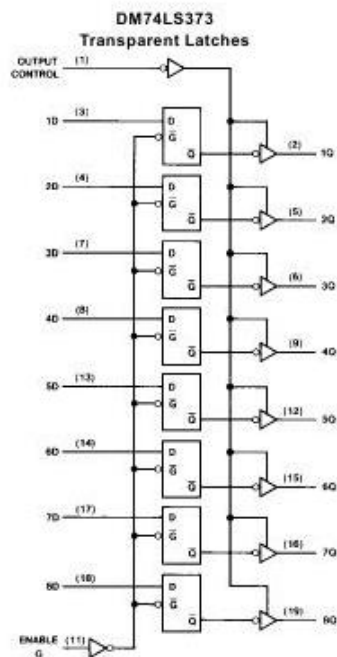
Output Control	Clock	D	Output
L	$\uparrow$	H	H
L	$\uparrow$	L	L
L	L	X	$Q_0$
H	X	X	Z

H = HIGH Level (Steady State) L = LOW Level (Steady State) X = Don't Care Z = High Impedance State

$\uparrow$  = Transition from LOW-to-HIGH level

$Q_0$  = The level of the output before steady-state input conditions were established.

### Logic Diagrams



# Diagrama esquemático do CI 7447

FAIRCHILD

SEMICONDUCTOR™

September 1986  
Revised July 2001

DM7446A, DM7447A

BCD to 7-Segment Decoders/Drivers

General Description

The DM7446A and DM7447A feature active-LOW outputs designed for driving common-anode LEDs or incandescent indicators directly. All of the circuits have full ripple-blanking input/output controls and a lamp test input. Segment identification and resultant displays are shown on a following page. Display patterns for BCD input counts above nine are unique symbols to authenticate input conditions.

All of the circuits incorporate automatic leading and/or trailing-edge, zero-blanking control (RBI and RBO). Lamp test (LT) of these devices may be performed at any time when the BI/RBO node is at a HIGH logic level. All types contain an overriding blanking input (BI) which can be used to control the lamp intensity (by pulsing) or to inhibit the outputs.

Features

- All circuit types feature lamp intensity modulation capability
- Open-collector outputs drive indicators directly
- Lamp-test provision
- Leading/trailing zero suppression

Ordering Code:

Order Number	Package Number	Package Description
DM7446AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
DM7447AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Connection Diagram

DM7446A, DM7447A BCD to 7-Segment Decoders/Drivers

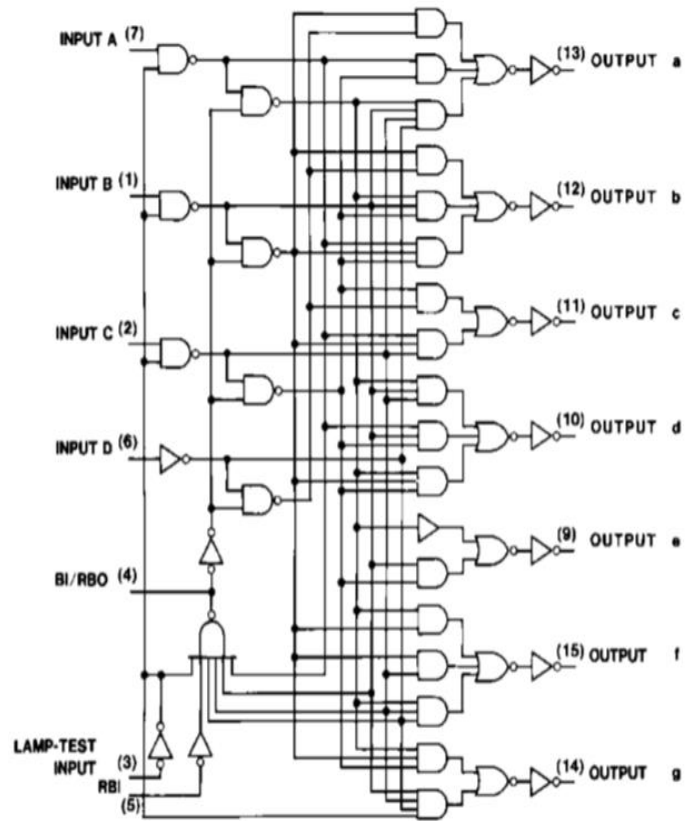
© 2001 Fairchild Semiconductor Corporation

DS006518

www.fairchildsemi.com



## Logic Diagram



## Diagrama esquemático do CI 7476



March 1998

### DM7476

## Dual Master-Slave J-K Flip-Flops with Clear, Preset, and Complementary Outputs

### General Description

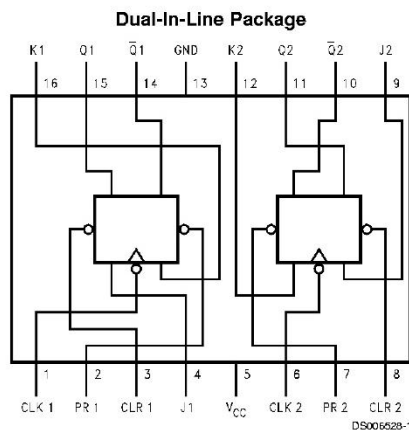
This device contains two independent positive pulse triggered J-K flip-flops with complementary outputs. The J and K data is processed by the flip-flop after a complete clock pulse. While the clock is low the slave is isolated from the master. On the positive transition of the clock, the data from the J and K inputs is transferred to the master. While the clock is high the J and K inputs are disabled. On the negative transition of the clock, the data from the master is transferred to the slave. The logic state of J and K inputs must not be al-

lowed to change while the clock is high. The data is transferred to the outputs on the falling edge of the clock pulse. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

### Features

- Alternate Military/Aerospace device (5476) is available. Contact a Fairchild Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



Order Number 5476DMQB, 5476FMB, DM5476J, DM5476W or DM7476N  
See Package Number J16A, N16E or W16A

### Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	⌊	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	H	⌊	H	L	H	L
H	H	⌊	L	H	L	H
H	H	⌊	H	H	Toggle	

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level

⌊ = Positive pulse data. The J and K inputs must be held constant while the clock is high. Data is transferred to the outputs on the falling edge of the clock pulse.

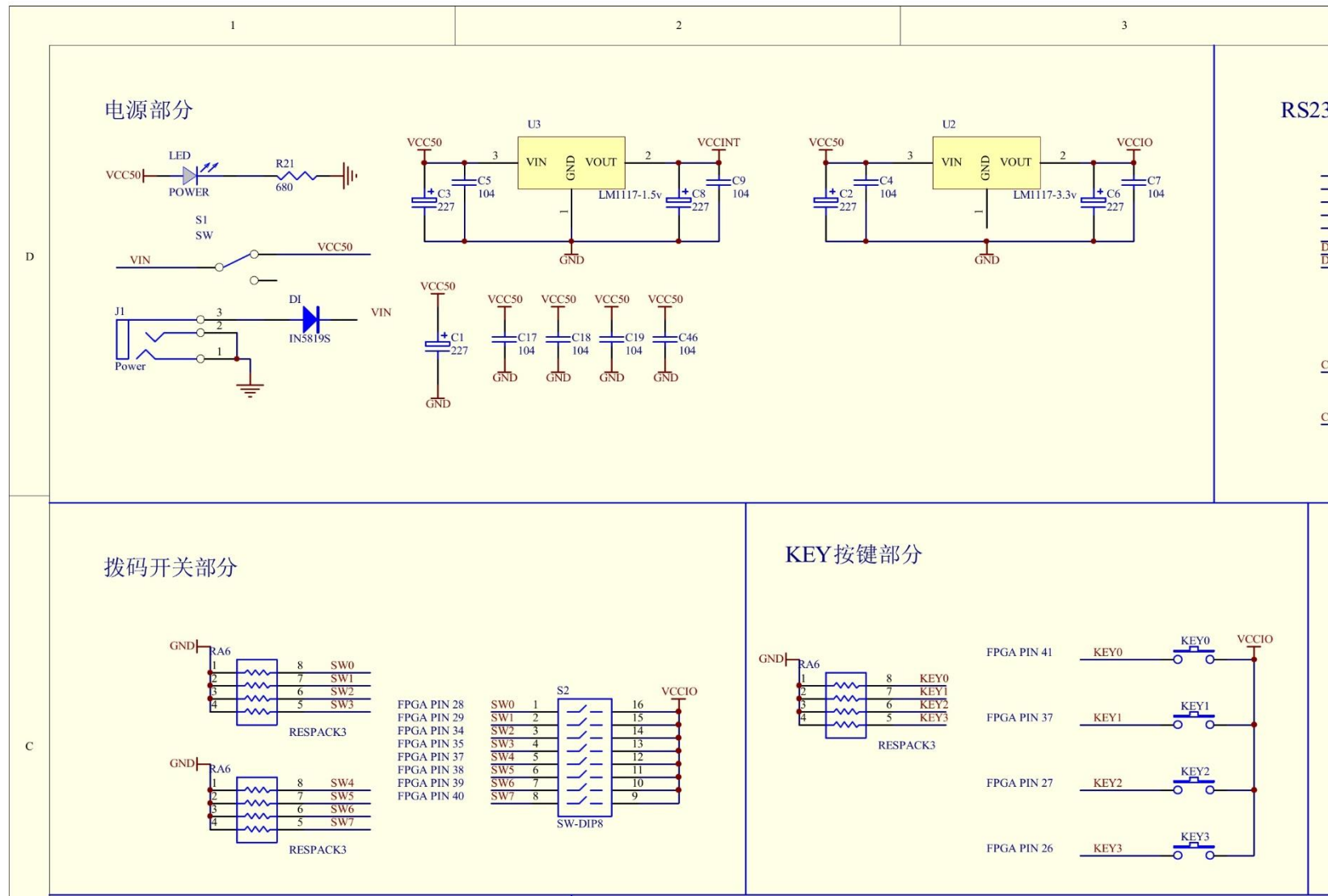
Q<sub>0</sub> = The output logic level before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each complete active high level clock pulse.

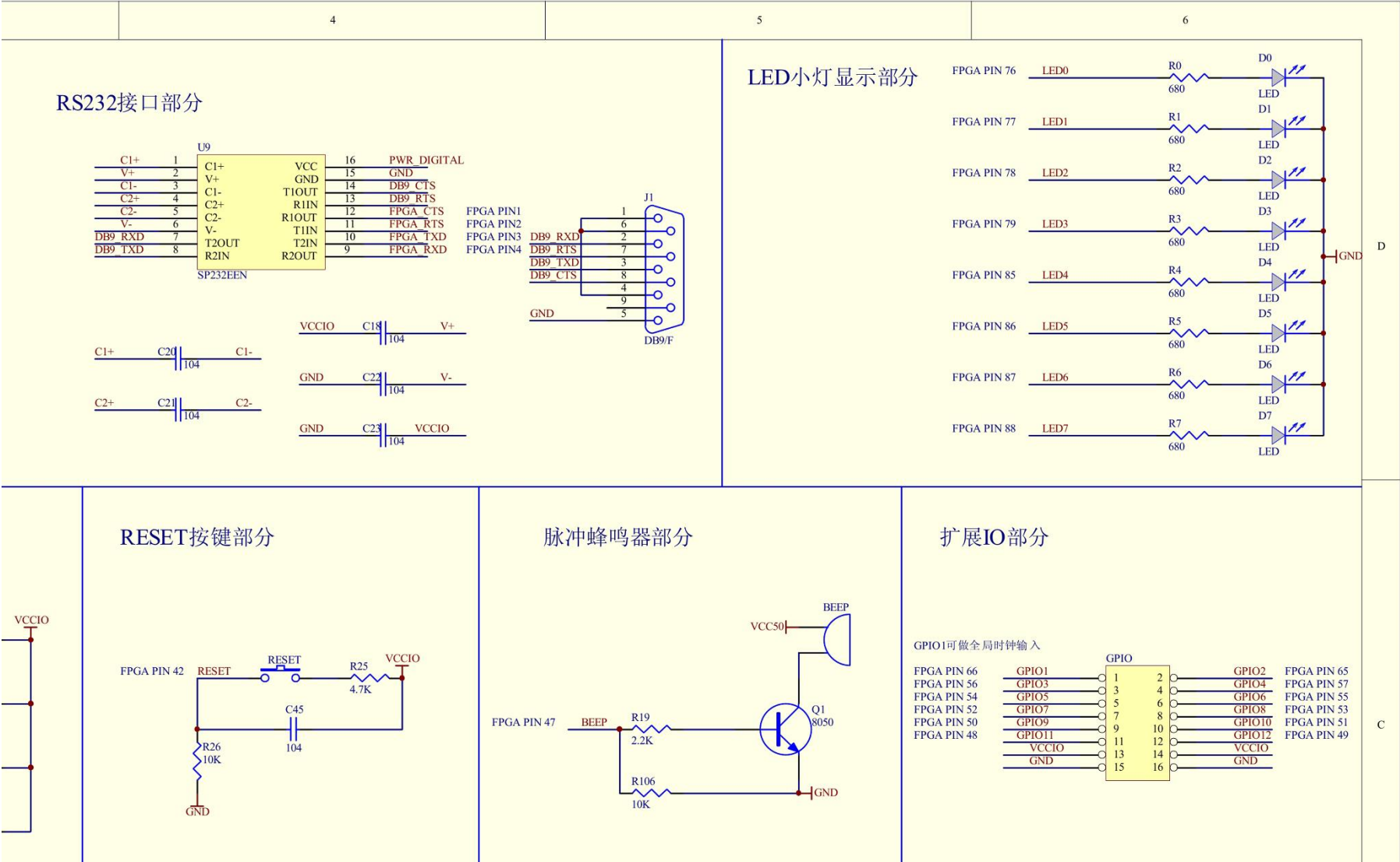
Note 1: This configuration is nonstable; that is, it will not persist when the preset and/or clear inputs return to their inactive (high) level.

DM7476 Dual Master-Slave J-K Flip-Flops with Clear, Preset, and Complementary Outputs

Diagrama esquemático da placa FPGA Cyclone I (parte 1)

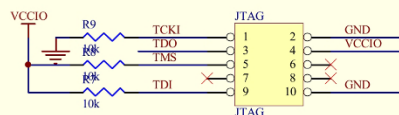


Datasheet Placa FPGA Cyclone I (parte 2)

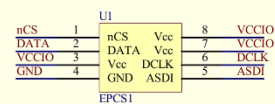


## Datasheet Placa FPGA Cyclone I (parte 3)

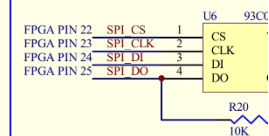
JTAG接口部分



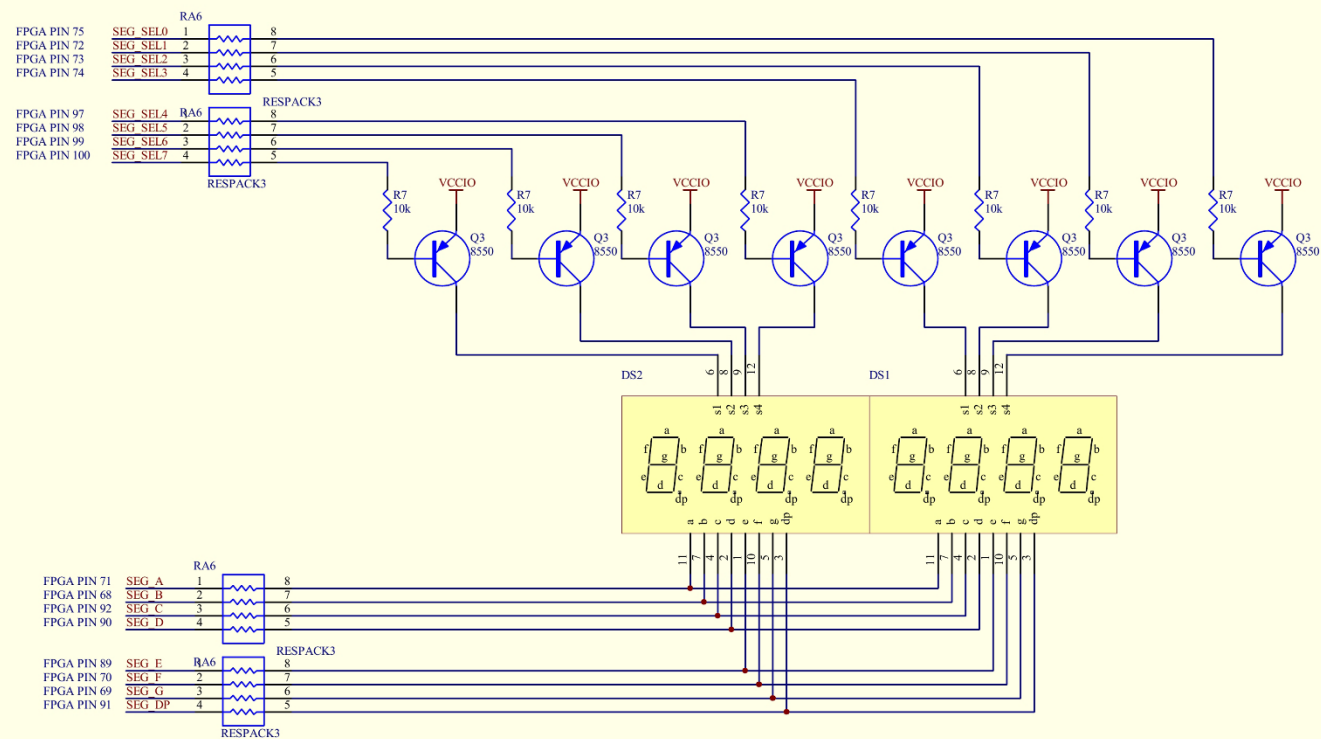
AS(主动串行配置)接口部分



SPI 串行EEPROM接口部分



动态7段数码管显示部分



## Datasheet Placa FPGA Cyclone I (parte 4)

