Universidade Federal de Santa Catarina
Centro Tecnológico – CTC
Departamento de Engenharia Elétrica

"EEL7020 – Sistemas Digitais"

Prof. Eduardo Augusto Bezerra

Eduardo.Bezerra@eel.ufsc.br

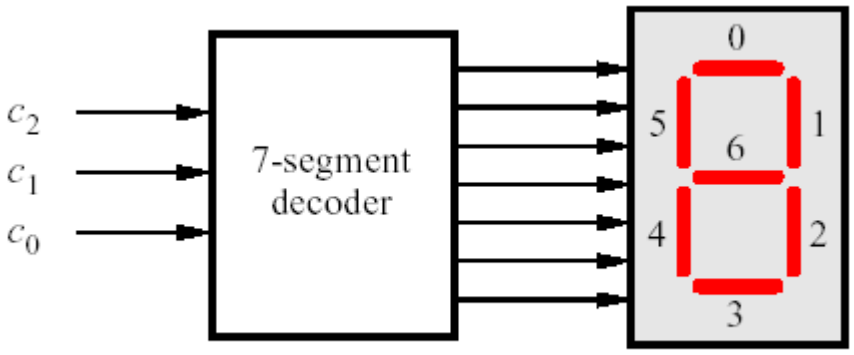
Florianópolis, março de 2010.

Sistemas Digitais

Prática: Projeto de decodificador

Arquivo: lab1_VHDL.pdf
parte IV
(parte V e parte VI, opcional)

Projeto de decodificador 7-seg - solução



			7 bits	
C2	C1	C0	*6543210*	Letra
0	0	0	0001001	H
0	0	1	0000110	E
0	1	0	1000111	L
0	1	1	1000000	O

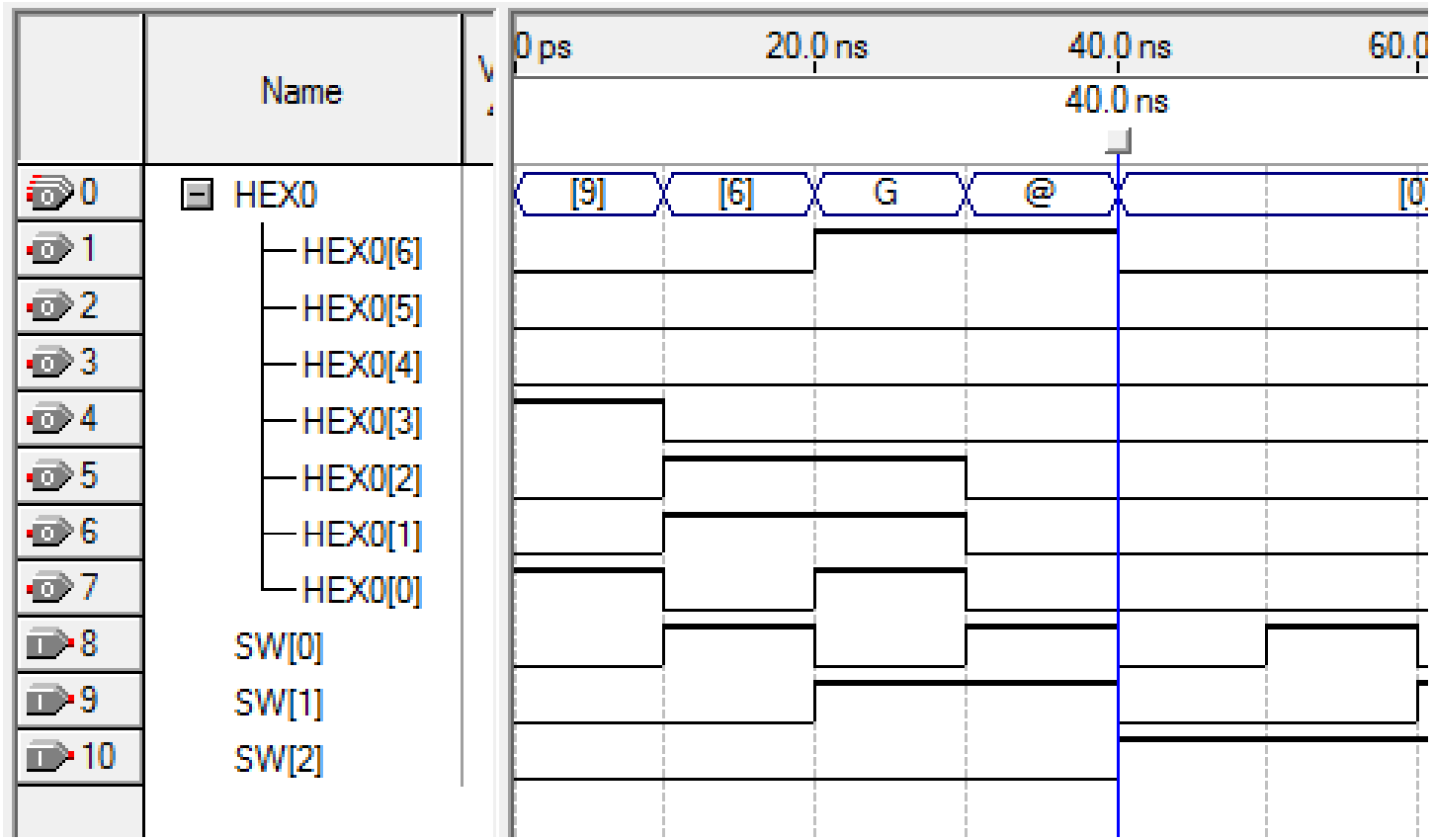
Algoritmo:
F0 = c0'
F2 = F1 = c1 xor c0
F3 = c2' c1' c0'
F4 = F5 = 0
F6 = c1

```
-- VHDL
HEX0(0) <= NOT SW(0);
HEX0(1) <= SW(1) XOR SW(0);
HEX0(2) <= SW(1) XOR SW(0);
HEX0(3) <= (NOT SW(2)) AND (NOT SW(1)) AND (NOT SW(0));
HEX0(4) <= '0';
HEX0(5) <= '0';
HEX0(6) <= SW(1);
```

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY lab3 IS
  PORT (
    SW : IN STD_LOGIC_VECTOR(17 DOWNTO 0);
    HEX0 : OUT STD_LOGIC_VECTOR(6 DOWNTO 0)
  );
END lab3;
ARCHITECTURE aula3_beh OF lab3 IS
BEGIN
  HEX0(0) <= NOT SW(0);
  HEX0(1) <= SW(1) xor SW(0);
  HEX0(2) <= SW(1) xor SW(0);
  HEX0(3) <= (NOT SW(2)) AND (NOT SW(1)) AND (NOT SW(0));
  HEX0(4) <= '0';
  HEX0(5) <= '0';
  HEX0(6) <= SW(1);
END aula3_beh;
```

Projeto de decodificador 7-seg - simulação



C2	C1	C0	*6543210*	Letra
0	0	0	0001001	H
0	0	1	0000110	E
0	1	0	1000111	L
0	1	1	1000000	O