

EEL7020 – Sistemas Digitais
Aula 9-10: Circuitos sequenciais
Máquinas de Moore

Prof. Djones Vinicius Lettnin
lettnin@eel.ufsc.br
<http://lettnin.pginas.ufsc.br/>

Disclaimer: slides adapted for EEL7020 by D. Lettnin from the original slides made available by the author J. Guentzel.

Controller Design 3.4

- Five step controller design process

Step	Description
Step 1 <i>Capture the FSM</i>	Create an FSM that describes the desired behavior of the controller.
Step 2 <i>Create the architecture</i>	Create the standard architecture by using a state register of appropriate width, and combinational logic with inputs being the state register bits and the FSM inputs and outputs being the next state bits and the FSM outputs.
Step 3 <i>Encode the states</i>	Assign a unique binary number to each state. Each binary number representing a state is known as an <i>encoding</i> . Any encoding will do as long as each state has a unique encoding.
Step 4 <i>Create the state table</i>	Create a truth table for the combinational logic such that the logic will generate the correct FSM outputs and next state signals. Ordering the inputs with state bits first makes this truth table describe the state behavior, so the table is a state table.
Step 5 <i>Implement the combinational logic</i>	Implement the combinational logic using any method.

© F. Vahid – Adapted by D. Lettnin

Controller Example: Sequence Generator

- Want generate sequence 0001, 0011, 1100, 1000, (repeat)
 - Each value for one clock cycle
 - Common, e.g., to create pattern in 4 lights, or control magnets of a "stepper motor"

Inputs: none; Outputs: w,x,y,z
 $wxyz=0001$ $wxyz=1000$

Step 1: Create FSM

Step 2: Create architecture

Step 3: Encode states

Step 4: Create state table

Inputs	Outputs
s1 s0	w x y z n1 n0
A 0 0	0 0 0 0 1 0
B 0 1	0 0 1 1 1 0
C 1 0	1 1 0 0 1 1
D 1 1	1 0 0 0 0 0

Step 5: Create combinational circuit

© F. Vahid – Adapted by D. Lettnin

Example: Seq. Circuit to FSM (Reverse Engineering)

What does this circuit do?

Inputs: none; Outputs: w,x,y,z
 $y=s1'$
 $z=s1s0'$
 $n1=(s1 \text{ xor } s0)x$
 $n0=(s1 * s0')x$

Step 1: Identify states and transitions

Step 2: Create state table

Inputs	Outputs
s1 s0 x	n1 n0 y z
A 0 0 0	0 0 0 1 0
A 0 0 1	0 0 1 1 0
B 0 1 1	1 0 0 1 0
C 1 0 0	0 0 0 0 1
D 1 1 0	1 0 0 0 0

Step 3: Assign state names

Work backwards

Pick any state names you want

© F. Vahid – Adapted by D. Lettnin

Plano de Aula

Universidade Federal de Santa Catarina

- Registradores (Características temporais)
- Máquinas de Moore
- Estudo de Caso: Vending machine

5

D Flip-Flop

• **Flip-flop:** Bit storage that stores on clock edge, not level

• One design -- master-servant

- Two latches, output of first goes to input of second, master latch has inverted clock signal
- So master loaded when C=0, then servant when C=1
- When C changes from 0 to 1, master disabled, servant loaded with value that was at D just before C changed -- i.e., value at D during rising edge of C

Note: Hundreds of different flip-flop designs exist!

rising edges

Diagram illustrating the master-servant design of a D flip-flop. It shows two D-latches: a 'master' latch with inputs D and C_m, and a 'servant' latch with inputs D_s and C_s. The master latch's output Q_m is connected to the servant latch's D_s input. The servant latch's output Q_s is the final output. The master latch's clock input C_m is inverted relative to the servant latch's clock input C_s. The diagram also shows waveforms for the clock signals Clk, D/Dm, and Qm, and the outputs Qm/Qs and Cs.

© F. Vahid – Adapted by D. Lettnin

6

Registradores

Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida

tsu = Tempo de Preparação (setup time)
“Tempo antes da borda ativa de ck (subida, neste caso) durante o qual a entrada D já deve estar em seu valor estável.”

© J. Guentzel – Adapted by D. Lettin

Registradores

Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida

th = Tempo de Manutenção (hold time)
“Tempo, a partir da borda ativa de ck (subida, neste caso), durante o qual a entrada D deve permanecer estável.”

© J. Guentzel – Adapted by D. Lettin

Registradores

Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida

tco (ou td) = Time from clock to output (ou Tempo ou Atraso de Carga)
“Atraso, em relação à borda ativa de ck (subida, neste caso), para o valor amostrado a partir da entrada D aparecer nas saídas Q e Q’.”

© J. Guentzel – Adapted by D. Lettin

Registradores

Registrador com Carga Paralela

- Existe um FF para cada bit a ser armazenado
- Todos os FFs “obedecem” a um mesmo sinal de controle
- O termo “carga paralela” refere-se ao fato de existir uma entrada para cada bit, de modo que é possível carregar simultaneamente todos os bits do dado

© J. Guentzel – Adapted by D. Lettin

Registradores

Registrador com Carga Paralela

Exemplo de funcionamento (assumindo que tsu, th e tco são satisfeitos)

A cada borda de subida de “controle” um novo dado é amostrado e fica armazenado no registrador (até a próxima borda de subida de “controle”)

© J. Guentzel – Adapted by D. Lettin

Registradores

Cadenciamento de Sistemas Digitais

Registradores são usados para criar “barreiras temporais” que isolam os circuitos combinacionais

T (período do relógio)
= Tempo disponível para C1 realizar sua operação *

* (obs) :

1. Supondo que R1 e R2 sejam disparados pela borda de subida de ck.
2. Aproximação grotesca; falta considerar as características temporais dos registradores R1 e R2.

© J. Guentzel – Adapted by D. Lettin

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

© J. Guentzel – Adapted by D. Lettin

13

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

© J. Guentzel – Adapted by D. Lettin

14

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

© J. Guentzel – Adapted by D. Lettin

15

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

© J. Guentzel – Adapted by D. Lettin

16

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

© J. Guentzel – Adapted by D. Lettin

17

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

© J. Guentzel – Adapted by D. Lettin

18

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

© J. Guentzel – Adapted by D. Lettin

19

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

Periodo do relógio = 4ns

© J. Guentzel – Adapted by D. Lettin

20

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

© J. Guentzel – Adapted by D. Lettin

21

Registradores

Diagramas de Tempo

Supondo:

- $tsu_{R1} = tsu_{R2} = 1\text{ns}$ (tempo de setup de R1 e de R2)
- $th_{R1} = th_{R2} = 1\text{ns}$ (tempo de hold de R1 e de R2)
- $tco_{R1} = tco_{R2} = 1\text{ns}$ (tempo de carga de R1 e de R2)
- $td_{c1} = 2\text{ns}$ (atraso crítico (máximo) de C1)

© J. Guentzel – Adapted by D. Lettin

22

Registradores

Cálculo do Período do Relógio

Conclusão. O período do relógio pode ser calculado por:

$$T = tco_{R1} + td_{c1} + tsu_{R2} = 1 + 2 + 1 = 4\text{ ns}$$

© J. Guentzel – Adapted by D. Lettin

23

Plano de Aula

- Registradores
- Máquinas de Moore
- Estudo de Caso: Vending machine

© J. Guentzel – Adapted by D. Lettin

24

Máquinas Sequenciais Síncronas

Modelo de Moore

Característica principal: as saídas dependem apenas do estado atual.

© J. Guentzel – Adapted by D. Lettmn

25

Máquinas Sequenciais Síncronas

Modelo de Mealy

Característica principal: as saídas dependem do estado atual e de entrada(s) primária(s).

Há ao menos uma entrada externa

© J. Guentzel – Adapted by D. Lettmn

26

Máquinas Sequenciais Síncronas

Síntese de Circuitos Sequenciais

Roteiro para a Síntese (=Projeto)

- Determinar quantos estados são necessários (e o nº de variáveis de estado)
- Construir o diagrama de estados, observando com cuidado o comportamento solicitado para a FSM e adotando um modelo de FSM (Moore ou Mealy):
 - Determinar as transições entre estados necessárias
 - Selecionar um estado para servir como estado inicial
- Construir a tabela de próximo estado e a tabela das saídas
- Sintetizar (projetar) os circuitos combinacionais: lógica de próximo estado e lógica de saída.

Vejamos um exemplo...

© J. Guentzel – Adapted by D. Lettmn

27

Máquinas de Moore

Síntese de Circuitos Sequenciais

Exemplo 3:

Projete um circuito que satisfaça às seguintes especificações:
 1.O circuito possui uma entrada, w , e uma saída, z .
 2.Todas as mudanças de valores no circuito ocorrem na borda de subida do sinal de relógio.
 3.Quando o circuito deteta que a entrada w vale "0", a saída z deve valer "0" no ciclo de relógio seguinte. Porém, quando o circuito detetar que a entrada w vale "1" durante duas bordas de relógio consecutivas, a saída z deve passar a valer "1" no ciclo de relógio seguinte à segunda ocorrência do valor "1". As mudanças de z estão sincronizadas com a borda de relógio ativa.

Exemplo de:
 funcionamento:

© J. Guentzel – Adapted by D. Lettmn

28

Máquinas de Moore

Síntese de Circuitos Sequenciais

Exemplo 3: Diagrama de Estados

reset

w = 0

w = 1

w = 0

w = 1

w = 0

w = 1

w = 1

w = 0

w = 1

w = 0

w = 1

w = 1

© J. Guentzel – Adapted by D. Lettmn

29

Máquinas de Moore

Síntese de Circuitos Sequenciais

Exemplo 3: Tabelas de (Transição de) Estados e de Saída

Tabela de (transição de) estados

Estado atual	w	Próximo estado
A	0	A
A	1	B
B	0	A
B	1	C
C	0	A
C	1	C

Tabela de saída

Estado	z
A	0
B	0
C	1

© J. Guentzel – Adapted by D. Lettmn

30

Máquinas de Moore

Universidade Federal de Santa Catarina

► Síntese de Circuitos Sequenciais

Exemplo 3: Diagrama de Blocos

Sinais de entrada: w
Sinais de saída: z
Número de estados: 3
Logo, são necessários 2 flip-flops para armazenar as variáveis de estado

© J. Guentzel – Adapted by D. Letmin

31

Máquinas de Moore

Universidade Federal de Santa Catarina

► Síntese de Circuitos Sequenciais

Exemplo 3: Codificação de Estados

Supondo a seguinte codificação: A=00, B=01, C=10

Estado atual	w	Próximo estado
A	00	A
A	01	B
B	0	A
B	1	C
C	0	A
C	1	C
-	-	-
-	-	-

Estado atual	y ₁ y ₀	w	Próximo estado
A	00	0	00
A	01	1	01
B	01	0	00
B	01	1	10
C	10	0	00
C	10	1	10
-	11	0	XX
-	11	1	XX

© J. Guentzel – Adapted by D. Letmin

32

Máquinas de Moore

Universidade Federal de Santa Catarina

► Síntese de Circuitos Sequenciais

Exemplo 3: Projetando a lógica de próximo estado

y ₁ y ₀	w	Y ₁ Y ₀
00	0	00
00	1	01
01	0	00
01	1	10
10	0	00
10	1	10
11	0	XX
11	1	XX

Y ₁	y ₁ y ₀			
w	0	0	X	0
w	0	1	X	1

$Y_1 = w \cdot y_1 + w \cdot y_0 = w(y_1 + y_0)$

y ₁ y ₀	w	Y ₁ Y ₀
00	0	00
00	1	00
01	0	00
01	1	10
10	0	00
10	1	10
11	0	XX
11	1	XX

Y ₀	y ₁ y ₀			
w	0	0	X	0
w	1	0	X	0

$Y_0 = w \cdot \bar{y}_1 \cdot \bar{y}_0$

© J. Guentzel – Adapted by D. Letmin

33

Máquinas de Moore

Universidade Federal de Santa Catarina

► Síntese de Circuitos Sequenciais

Exemplo 3: Projetando a lógica de saída

Estado	y ₁ y ₀	z
A	00	0
B	01	0
C	10	1
-	11	X

z	y ₀	y ₀
0	0	0
1	1	X

$z = y_1$

© J. Guentzel – Adapted by D. Letmin

34

Máquinas de Moore

Universidade Federal de Santa Catarina

► Síntese de Circuitos Sequenciais

Exemplo 3: circuito final

$Y_1 = w \cdot y_1 + w \cdot y_0 = w(y_1 + y_0)$

$Y_0 = w \cdot \bar{y}_1 \cdot \bar{y}_0$

$z = y_1$

© J. Guentzel – Adapted by D. Letmin

35

Máquinas de Moore

Universidade Federal de Santa Catarina

► Síntese de Circuitos Sequenciais

Exemplo 3: Funcionamento dinâmico

© J. Guentzel – Adapted by D. Letmin

36

Plano de Aula

Universidade Federal de Santa Catarina

- Registradores
- Máquinas de Moore
- **Estudo de Caso: Vending machine**

37

© J. Guentzel – Adapted by D. Lettmn

Estudo de Caso

Universidade Federal de Santa Catarina

Exemplo : a máquina de vendas (*vending machine*)

Projetar o bloco de controle (FSM) de uma máquina automática de vendas. As principais características da máquina são:

- Vende somente um tipo de produto, doravante referenciado por "item", cujo preço é R\$ 1,50.
- Aceita somente moedas de R\$ 0,50 e de R\$ 1,00.
- Não fornece troco.
- Assim que o montante inserido na máquina atingir (ou ultrapassar) R\$ 1,50, a máquina libera um item.

38

© J. Guentzel – Adapted by D. Lettmn

Estudo de Caso

Universidade Federal de Santa Catarina

► **Síntese de Circuitos Sequenciais**

Exemplo 6: a máquina de vendas (*vending machine*)

Interfaces da máquina de vendas

CC = moeda de R\$ 0,50 detectada
UM = moeda de R\$ 1,00 detectada

39

© J. Guentzel – Adapted by D. Lettmn

Estudo de Caso

Universidade Federal de Santa Catarina

► **Síntese de Circuitos Sequenciais**

Exemplo 6: especificação do sensor de moedas

- Sensor de moedas é sincronizado pela borda de descida de CK.
- Quando uma moeda de R\$ 0,50 é inserida, CC=1 durante um ciclo de relógio.
- Quando uma moeda de R\$ 1,00 é inserida, UM=1 durante um ciclo de relógio.
- Quando uma moeda diferente é inserida ela cai de volta (e CC=0 & UM=0).

40

© J. Guentzel – Adapted by D. Lettmn

Estudo de Caso

Universidade Federal de Santa Catarina

► **Síntese de Circuitos Sequenciais**

Exemplo 6: especificação do mecanismo de liberação de mercadoria

- Para liberar um item, basta que libera=1 durante um ciclo de relógio (CK).
- O item liberado cai em uma cesta.

41

© J. Guentzel – Adapted by D. Lettmn

Estudo de Caso

Universidade Federal de Santa Catarina

► **Síntese de Circuitos Sequenciais**

Exemplo 6: mais uma assertiva

- No início de uma operação de venda a máquina se encontra em um estado inicial (S0), que corresponde ao seu estado de reset.

42

© J. Guentzel – Adapted by D. Lettmn

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: representando o comportamento

- Uma vez compreendido o comportamento, deve-se mapeá-lo para alguma forma de representação mais adequada à síntese da FSM.
- Porém, às vezes pode ser mais seguro iniciar listando-se **todas as sequências de entradas ou de "configurações"** que o sistema pode assumir. No caso em questão, a listagem de todas as sequências de moedas possíveis é perfeitamente factível:

Sequência de moedas	Sequência de sinais
0,50; 0,50; 0,50	CC, CC, CC
0,50; 0,50; 1,00	CC, CC, UM
0,50; 1,00	CC, UM
1,00; 0,50	UM, CC
1,00; 1,00	UM, UM

© J. Guentzel – Adapted by D. Lettin 43

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: representando o comportamento (diagrama de estados)

- Representando graficamente todas as sequências possíveis
- CC, CC, CC
CC, CC, UM
CC, UM
UM, CC
UM, UM
- Neste diagrama de estados não há arestas com destino igual a origem!
- Ele pode ser simplificado, pois há excesso de estados...

O sinal "libera" deve valer "1" nos estados amarelos

© J. Guentzel – Adapted by D. Lettin 44

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: representando o comportamento (diagrama de estados)

- Os estados S_4 , S_5 , S_6 , S_7 e S_8 têm a mesma função (abrir o dispenser) e portanto, podem ser combinados em um único estado.
- Para reduzir ainda mais o número de estados, podemos imaginar que cada estado represente o total de dinheiro recebido pela máquina até um dado momento. (E neste caso, não importa se o total de R\$ 1,00 foi atingido pela inserção de uma moeda de R\$ 1,00 ou por duas moedas de R\$ 0,50...)

© J. Guentzel – Adapted by D. Lettin 45

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: minimização de estados

- Sequências possíveis:
 - CC, CC, CC
 - CC, CC, UM
 - CC, UM
 - UM, CC
 - UM, UM
- E se o comprador demorar para inserir a segunda moeda?
- O que ocorre após o item ser liberado?

© J. Guentzel – Adapted by D. Lettin 46

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: uma representação mais completa

- E se o comprador demorar para inserir a segunda moeda?
Resp.: a máquina deve ficar parada no estado R\$0,50 ou R\$1,00.
- O que ocorre após o item ser liberado?
Resp.: a máquina deve ir para um estado no qual esteja disponível para nova venda.

© J. Guentzel – Adapted by D. Lettin 47

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: uma representação mais completa

- E se uma terceira moeda for inserida quando a máquina estiver no estado R\$1,50?

© J. Guentzel – Adapted by D. Lettin 48

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: uma representação mais completa

- E se uma terceira moeda for inserida quando a máquina estiver no estado R\$1,50?

Resp.: considerar o retorno para o respectivo estado (R\$0,50 ou R \$1,00). Mas será que tal problema existe na prática?

© J. Guentzel – Adapted by D. Lettin

49

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: uma representação mais completa

Não é problema na prática:

- O comprador sabe quando inseriu moedas suficientes (p. ex., o sinal libera pode fazer soar um aviso e/ou acender uma luz).
- O tempo entre a inserção de duas moedas consecutivas é muito maior do que o período do sinal de relógio CK. (Um sinal de relógio geralmente tem período da ordem de kHz ou MHz, o ser humano trabalha na frequência de Hz = 1/1s).
- Logo, a solução ao lado é realista!

© J. Guentzel – Adapted by D. Lettin

50

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: projeto usando Modelo de Moore

© J. Guentzel – Adapted by D. Lettin

51

Estudo de Caso

Exemplo 6: tabela de transição de estados e tabela de saída

Estado atual	Entradas	Próximo estado	Saída (Moore)
RS 0	UM CC	RS 0	libera
	0 0	RS 0	0
	0 1	RS 0,50	0
	1 0	RS 1,00	0
	1 1	-	-
RS 0,50	UM CC	RS 0,50	0
	0 0	RS 1,00	0
	0 1	RS 1,50	0
	1 0	-	-
RS 1,00	UM CC	RS 1,00	0
	0 0	RS 1,50	0
	0 1	RS 1,50	0
	1 0	-	-
RS 1,50	UM CC	RS 0	1
	0 0	RS 0	1
	0 1	RS 0	1
	1 0	RS 0	1
	1 1	-	-

© J. Guentzel – Adapted by D. Lettin

52

Estudo de Caso

Síntese de Circuitos Sequenciais

Exemplo 6: tabela de transição de estados e tabela de saída

Supondo a seguinte codificação de estados:

- R\$ 0 → 00
- R\$ 0,50 → 01
- R\$ 1,00 → 10
- R\$ 1,50 → 11

Estado atual	Entradas	Próximo estado	Saída (Moore)
A y1'y0	UM CC	y1'y0	libera
0 0	0 0	0 0	0
	0 1	0 1	0
	1 0	1 0	0
	1 1	-	-
B 0 1	0 0	0 1	0
	0 1	1 0	0
	1 0	1 1	0
	1 1	-	-
C 1 0	0 0	1 0	0
	0 1	1 1	0
	1 0	1 1	0
	1 1	-	-
D 1 1	0 0	0 0	1
	0 1	0 0	1
	1 0	0 0	1
	1 1	-	-

© J. Guentzel – Adapted by D. Lettin

53

Estudo de Caso

Mapa de Karnaugh

Y1	0 0	0 1	1 1	1 0
y1'y0	0 0	0 0	X 1	
	0 1	0 1	X 1	1
	1 1	0 0	X 0	0
	1 0	1 1	X 1	1
Y1 = y1'y0' + y1'UM + y1'·y0·CC				
Custo = ?				

© J. Guentzel – Adapted by D. Lettin

54

Estudo de Caso

Universidade Federal de Santa Catarina

Mapa de Karnaugh

	Estado atual	Entradas	Próximo estado	Saída (Moore)
A	y1'y0	UM CC	Y1'Y0	libera
	0 0	0 0	0 0	0
	0 1	0 0	0 1	0
	1 0	0 0	1 0	0
	1 1	-	-	-
B	0 1	0 0	0 1	0
	0 1	0 1	1 0	0
	1 0	0 0	1 1	0
	1 1	-	-	-
C	1 0	0 0	1 0	0
	0 1	0 1	1 1	0
	1 0	0 0	1 1	0
	1 1	-	-	-
D	1 1	0 0	0 0	1
	0 1	0 0	0 0	1
	1 0	0 0	0 0	1
	1 1	-	-	-

Y0 = y1'y0·CC' + y0'·CC + y1·y0'·UM

Custo = ?

55

Universidade Federal de Santa Catarina

EEL7020 – Sistemas Digitais
Aula 9-10: Circuitos sequenciais

Prof. Djones Vinicius Lettnin
lettnin@eel.ufsc.br/
<http://lettnin.pginas.ufsc.br/>

Disclaimer: slides adapted for EEL7020 by D. Lettnin from the original slides made available by the author J. Guentzel.