



**Universidade Federal de Santa Catarina
Centro Tecnológico – CTC
Departamento de Engenharia Elétrica**



CTC UFSC

“EEL5105 – Circuitos e Técnicas Digitais”

Prof. Héctor Pettenghi Roldán*

Hector@eel.ufsc.br

Florianópolis, março de 2017.

***Baseados nos slides do Professor Eduardo Bezerra EEL5105 2015.2**

“EEL 5105 – Circuitos e Técnicas Digitais”

Fluxo de projeto – Quartus II

Roteiro da aula

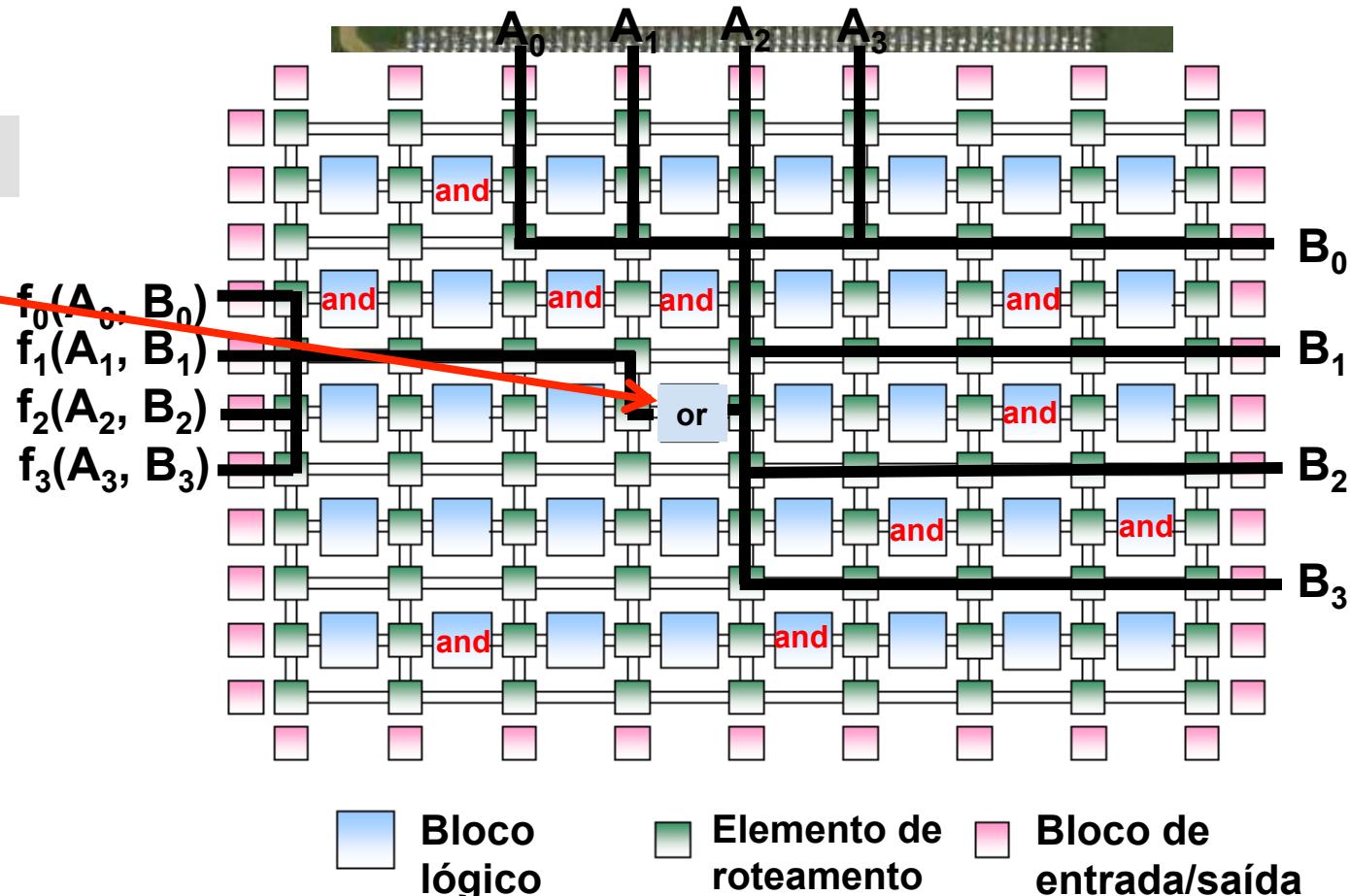
- 1. Documentação do kit de desenvolvimento, incluindo informações de pinagem disponível em:**
 - **DE1-SoC_User_manual_0C0D.pdf**
- 2. Seguir o tutorial COMPLETO desta apresentação.**

Componentes básicos de dispositivos FPGA

Objetivo: prover recursos de hardware para implementação de funções lógicas

$$f(A, B) = A \text{ and } B$$

$$f(A, B) = A \text{ or } B$$



FPGA: aplicações

- Originalmente, plataforma de prototipação para ASICs
- Flexibilidade para reprogramação típica de software, e características de confiabilidade e paralelismo encontradas em elementos de hardware
- Favorece criação de circuitos digitais customizados com os benefícios de desempenho do hardware, e as vantagens competitivas de “time-to-market” existente em projetos de software.
- Algumas aplicações típicas:
 - Algoritmos de criptografia
 - IA / redes neurais
 - Digital Signal Processing (DSP) – operações MAC
 - Processamento de imagens
 - Algoritmos de codificação e decodificação de protocolos de comunicação

Tarefa a ser realizada na aula prática

Tarefa a ser realizada na aula prática

- Utilizando a ferramenta Quartus II da Altera, criar um projeto de circuito digital (esquemático). Pode ser um circuito qualquer, com apenas uma das portas lógicas, ou um meio somador usando duas das portas, por exemplo.
- Realizar a simulação no Modelsim, visando descobrir a tabela verdade do circuito desenvolvido.
- O objetivo principal dessa aula prática é possibilitar que o aluno tenha um primeiro contato com as ferramentas de desenvolvimento a serem utilizadas durante o semestre.
- Documentação do kit de desenvolvimento, incluindo informações de pinagem disponível em:
 - [**DE1-SoC_User_manual_0C0D.pdf**](#)

1. Edição do circuito

Exemplo: Circuito Meio somador (*Halfadder*)

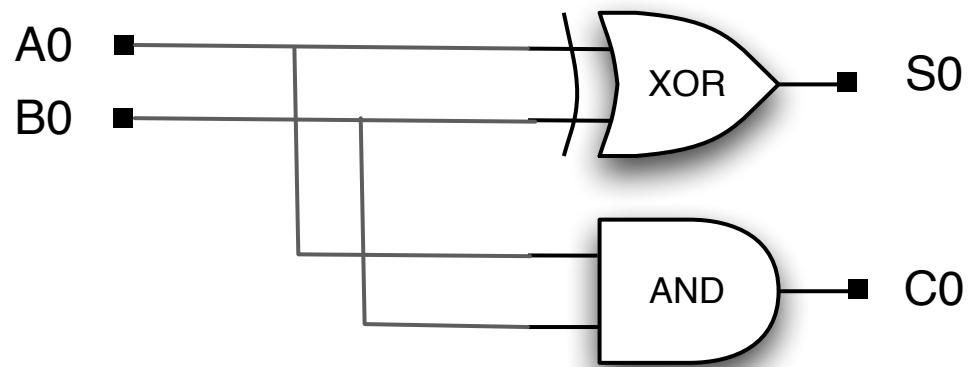
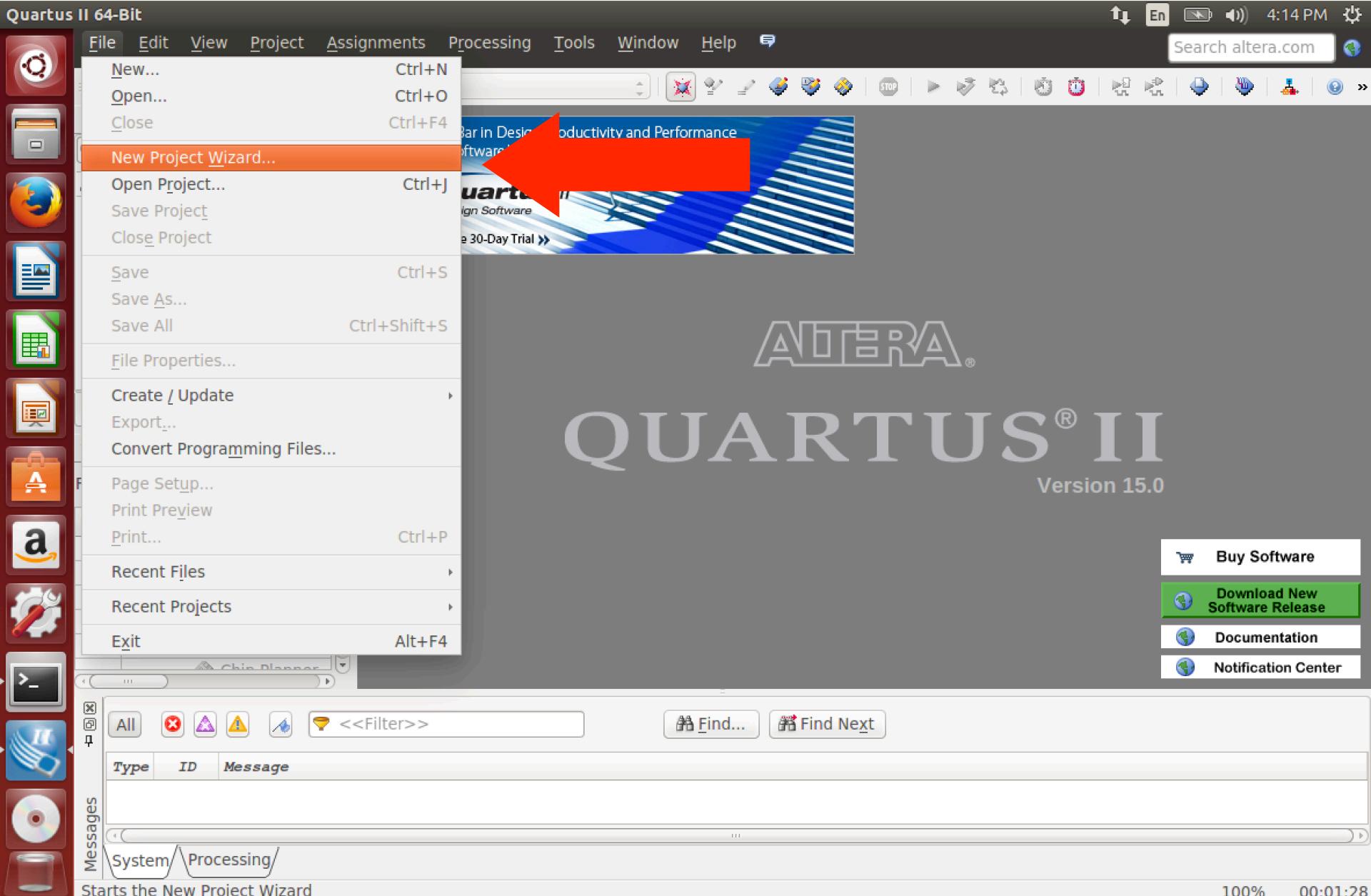


Tabela de verdade

A0	B0	S0	C0
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Criar um novo projeto



Escolher a pasta e nome do projeto

New Project Wizard

Directory, Name, Top-Level Entity

What is the working directory for this project?

...\\Desktop\\2220A\\AULA1

Pasta existente na área de trabalho

What is the name of this project?

halfadder

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

halfadder

[Use Existing Project Settings...](#)

Turma (pasta existente na área de trabalho)

[Help](#) [< Back](#) [Next >](#) [Finish](#) [Cancel](#)

Selecionar o dispositivo alvo (FPGA)

New Project Wizard

Family & Device Settings

Select the family and device you want to target for compilation.

You can install additional device support with the [Install Devices](#) command on the Tools menu.

To determine the version of the Quartus II software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: Cyclone V (E/GX/GT/SX/SE/ST)

Devices: Cyclone V SE Mainstream

Show in 'Available devices' list

Package: Any

Pin count: Any

Core Speed grade: Any

Name filter:

Show advanced devices

Target device

Auto device selected by the Fitter

Specific device selected in 'Available devices' list

Other: n/a

5CSEMA5F31C6

Available devices:

Name	Core Voltage	ALMs	Total I/Os	GPIOs	GXB Channel PMA	GXB Channel PCS	
5CSEMA5U23C8	1.1V	32070	314	314	0	0	0
5CSEMA5U23I7	1.1V	32070	314	314	0	0	0
5CSEMA6F31A7	1.1V	41910	457	457	0	0	0
5CSEMA5F31C6	1.1V	41910	457	457	0	0	0
5CSEMA6F31C7	1.1V	41910	457	457	0	0	0

[Help](#)

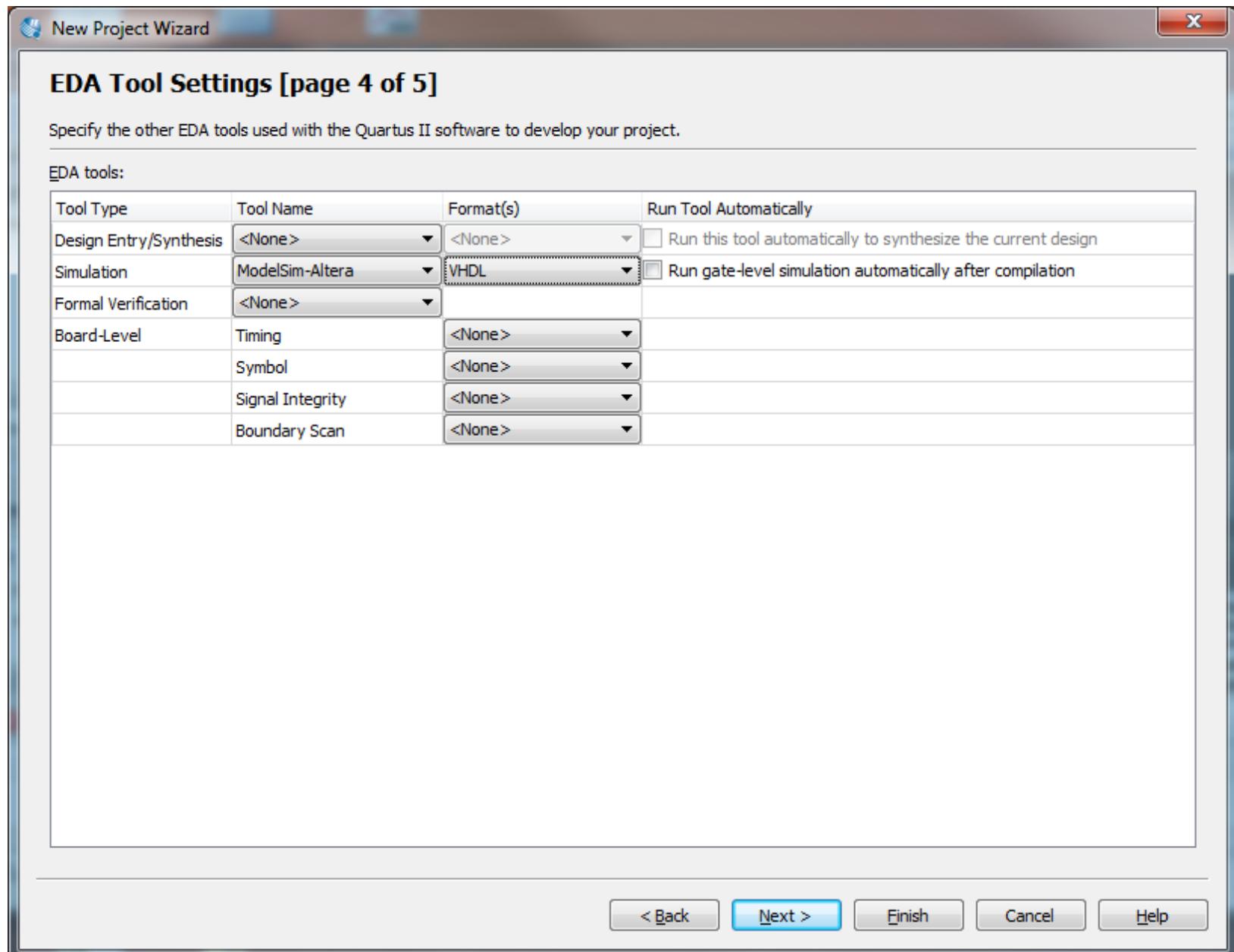
< Back

Next >

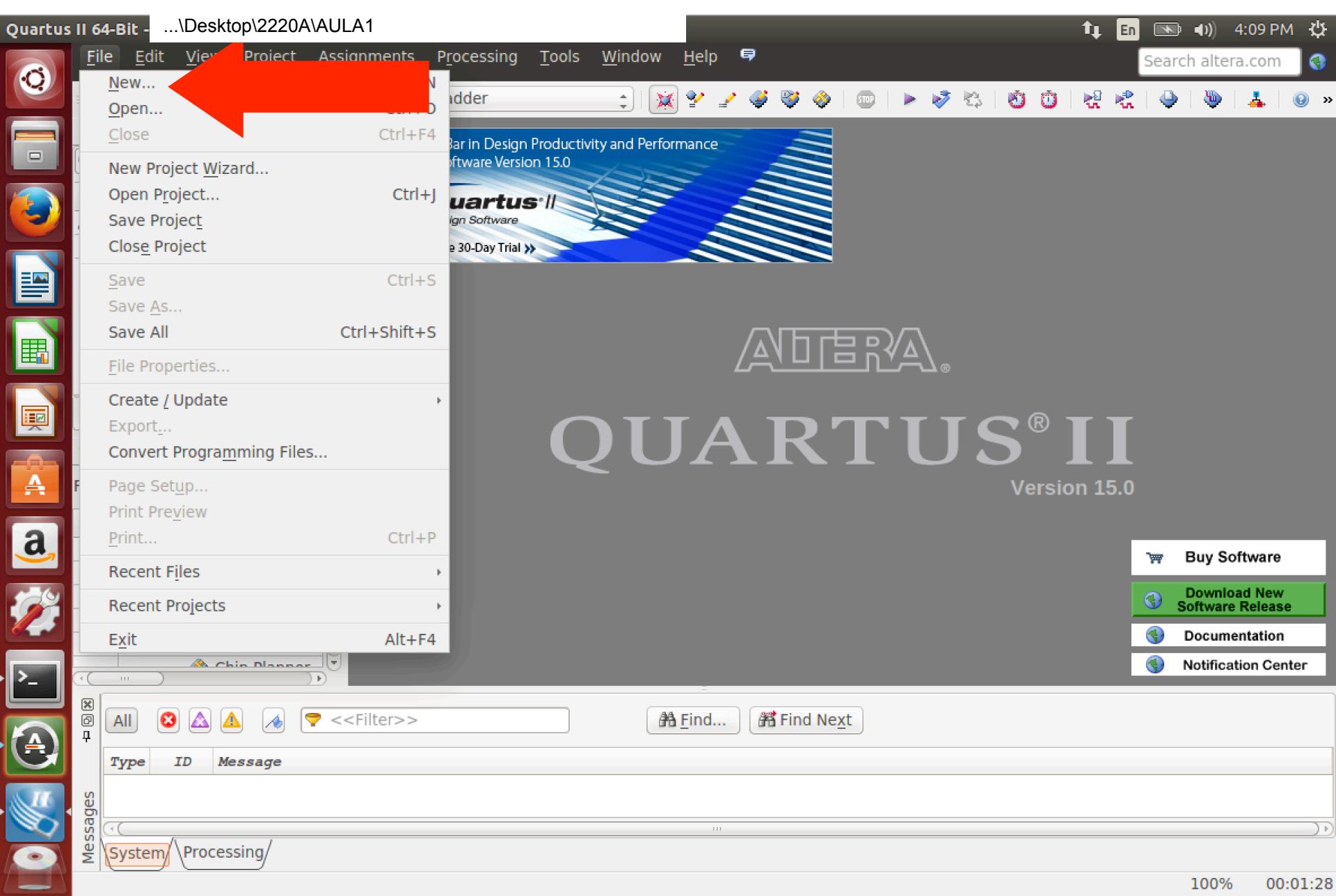
Finish

Cancel

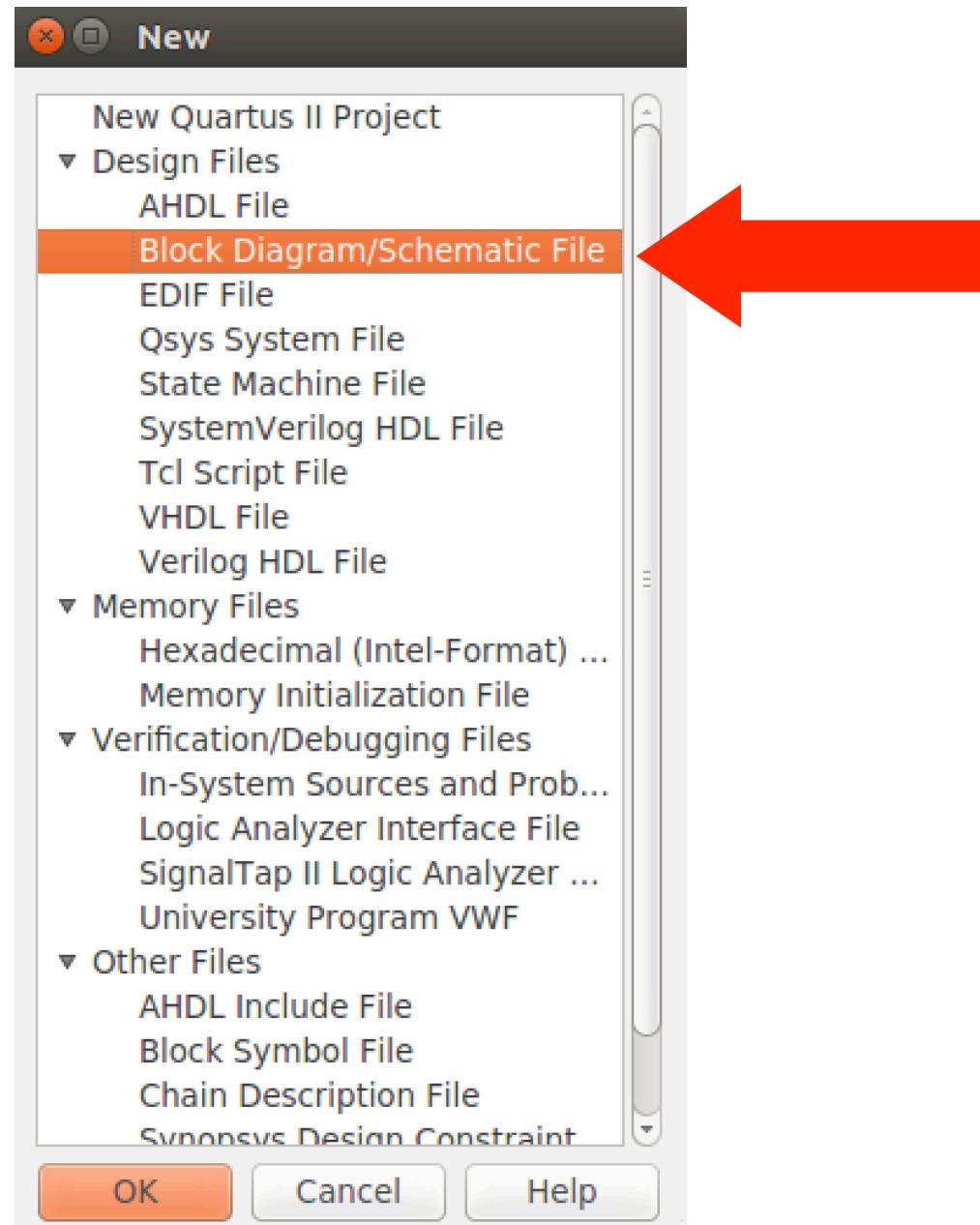
Configurar a ferramenta de simulação



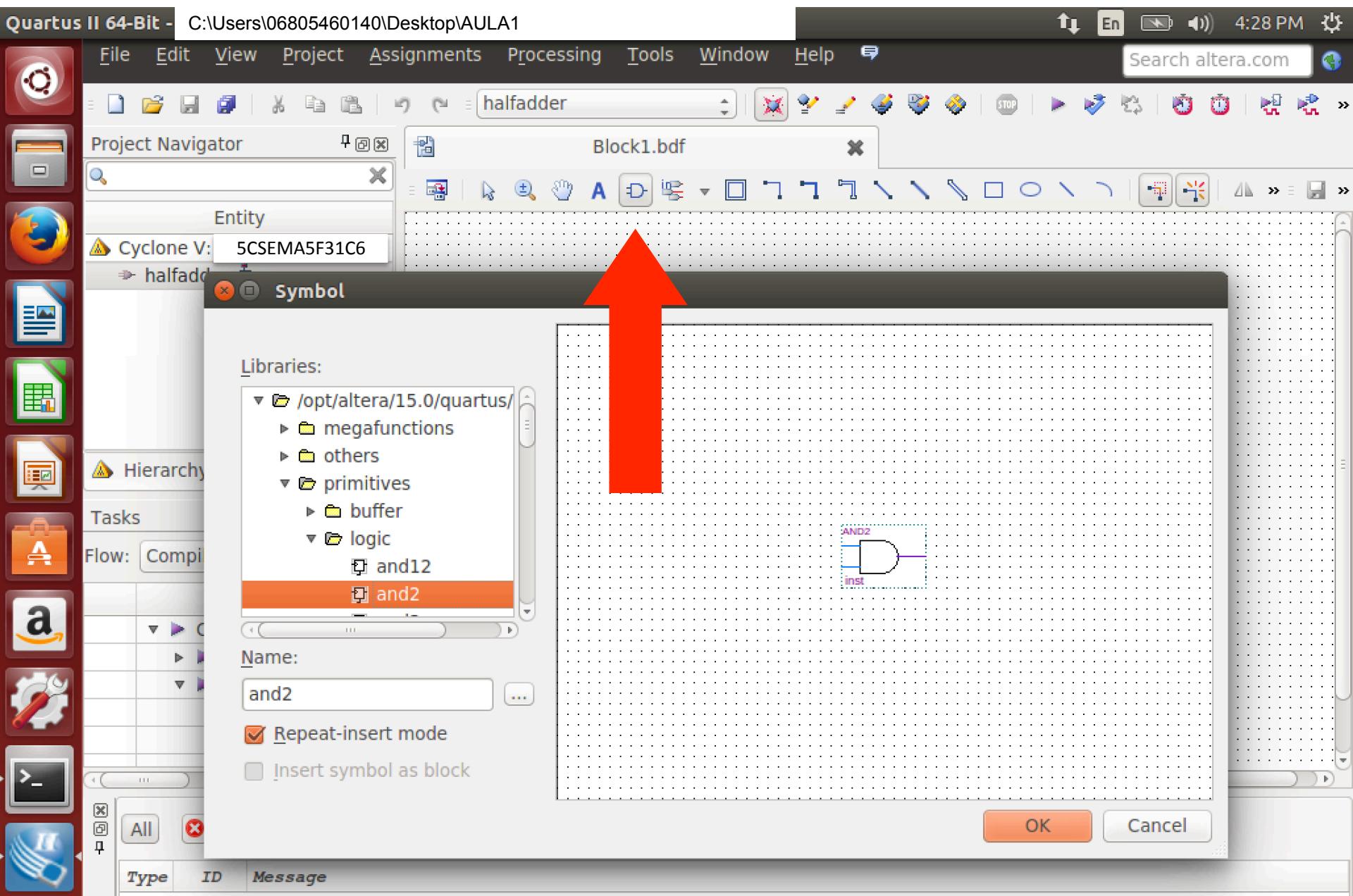
Criar um novo diagrama de esquemático



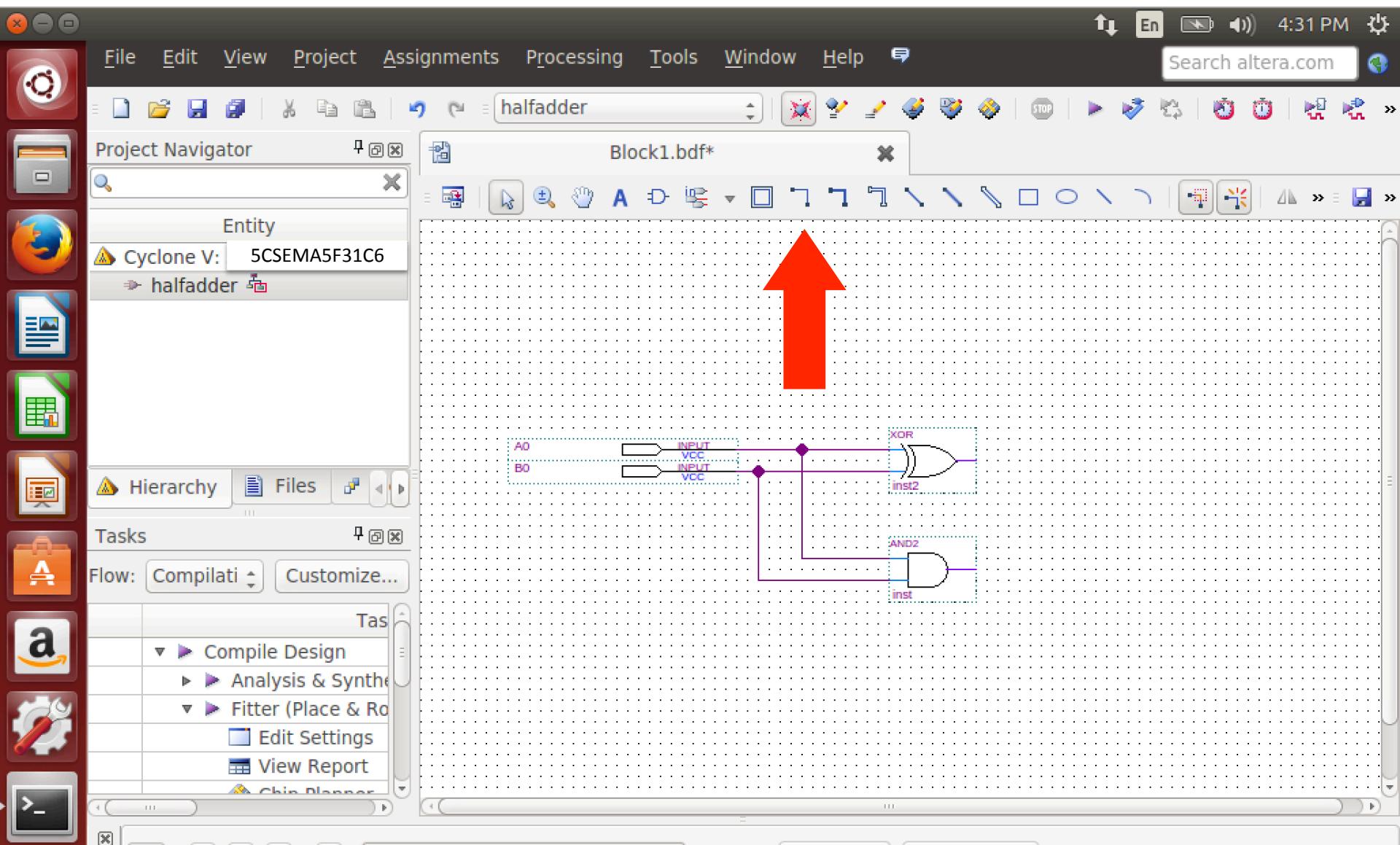
Criar um novo diagrama de esquemático



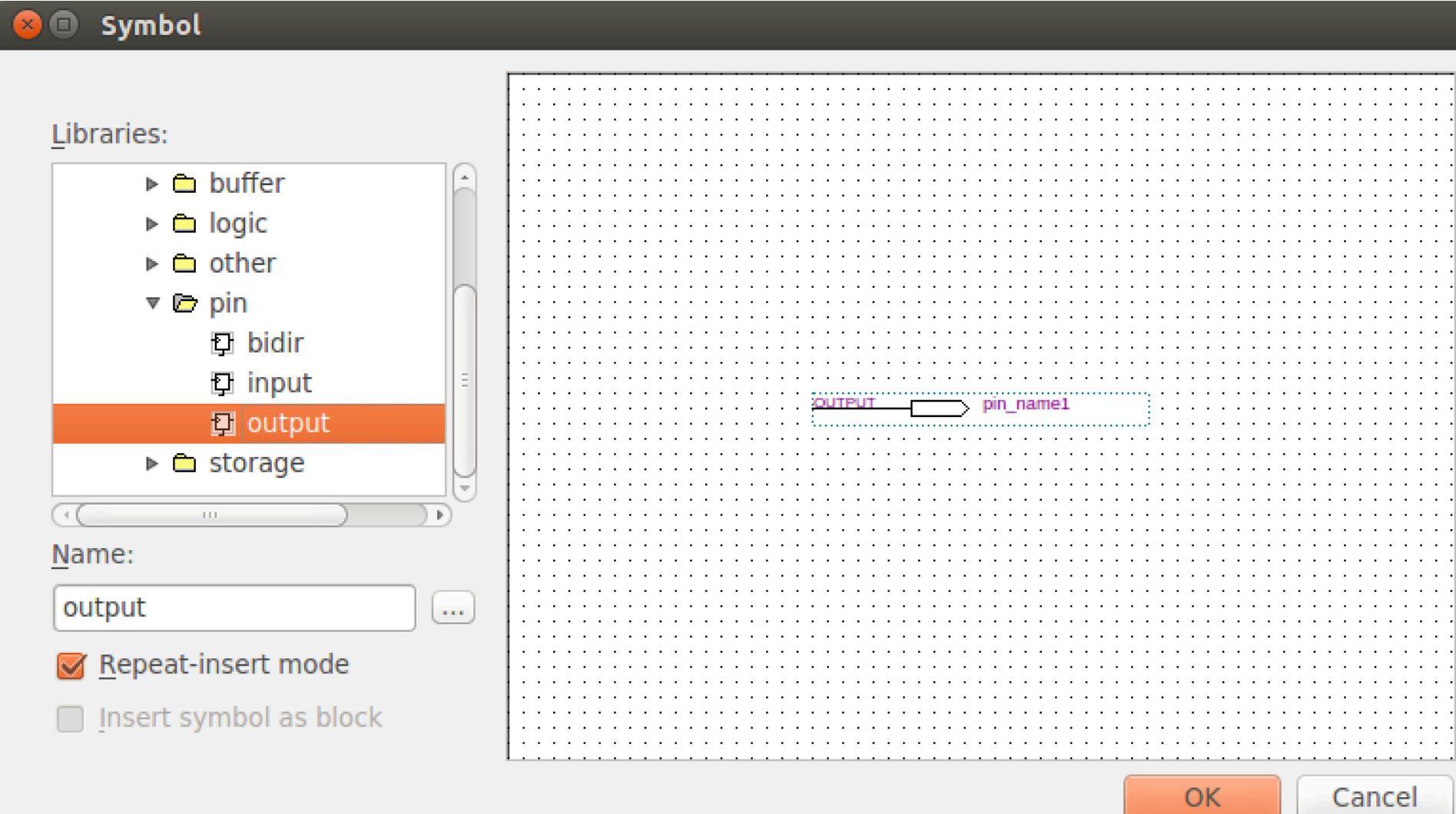
Entrar com as portas lógicas



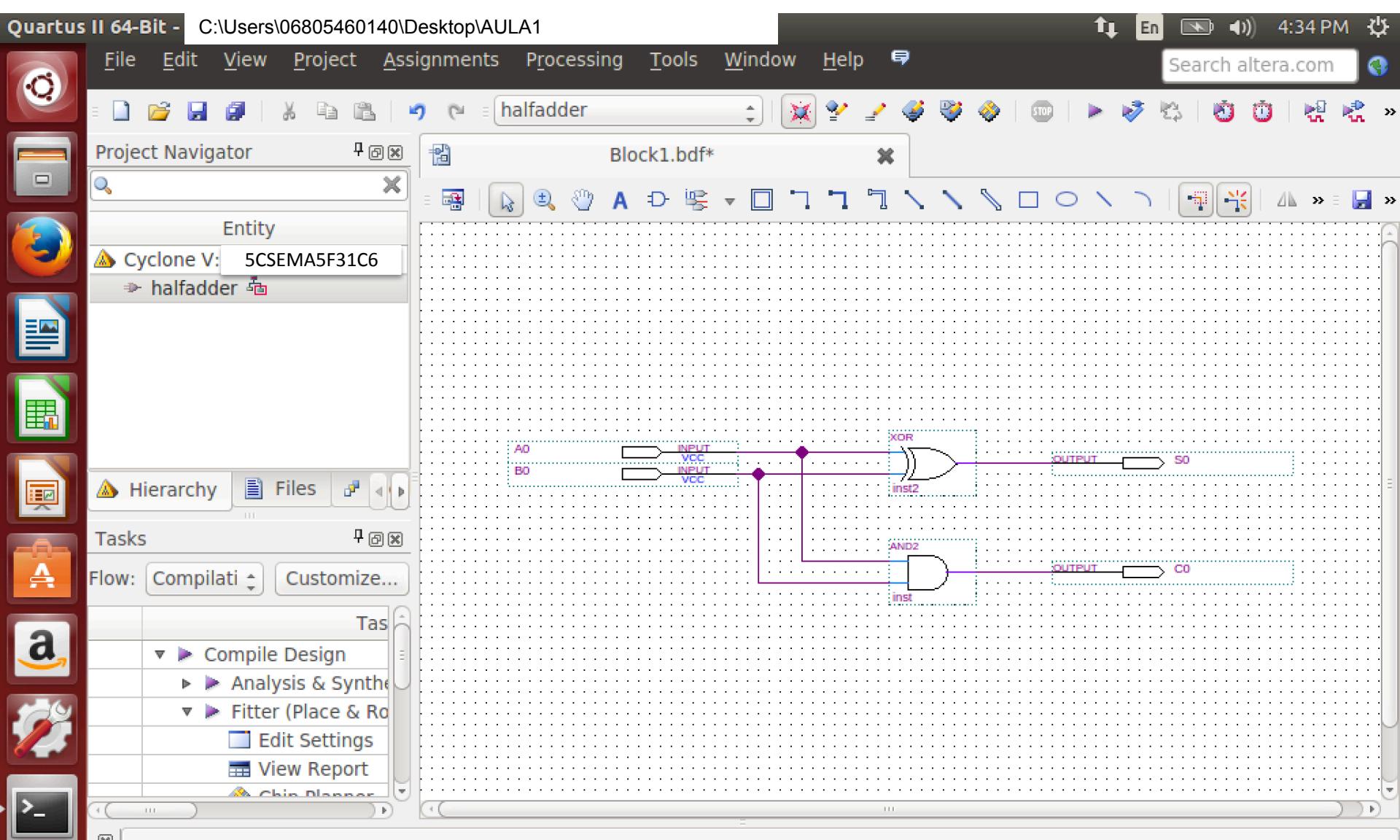
Realizar as conexões das portas lógicas



Entrar com os pinos de entrada e saída

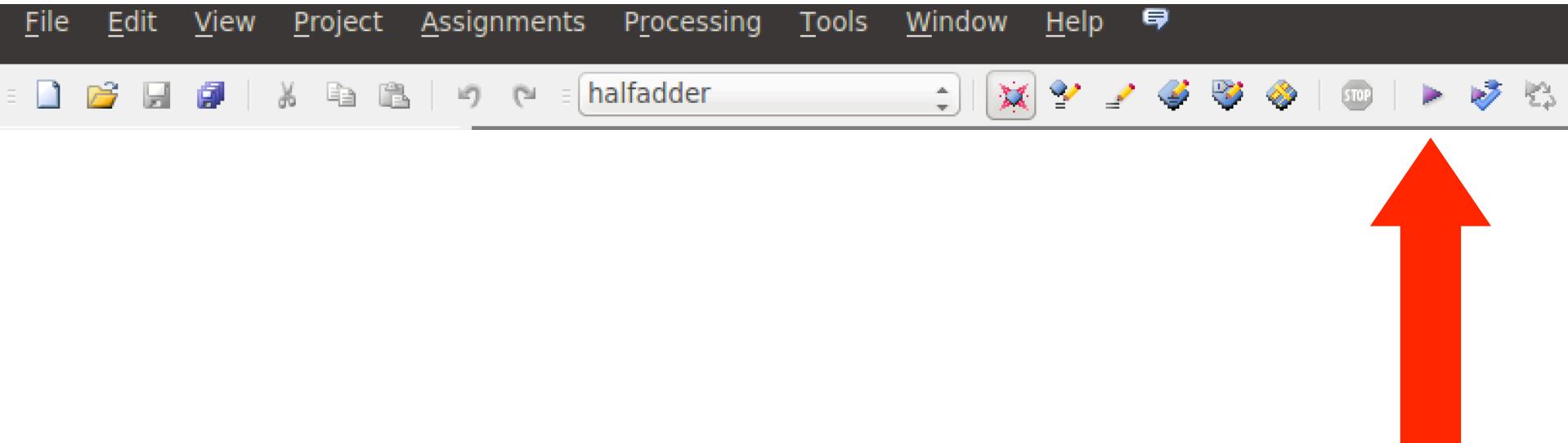


Coneectar os pinos de entrada e saída e as portas lógicas



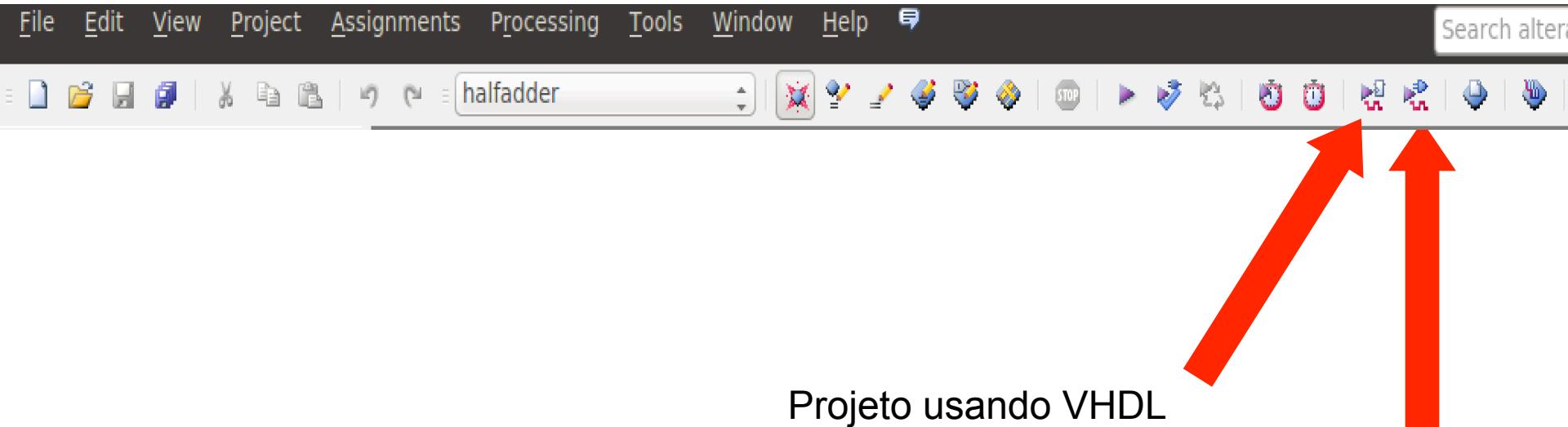
2. Síntese – criação do “hardware”

Realizar a síntese do circuito (*compile*)



3. Simulação

Executar o ModelSim (ferramenta de simulação)



Projeto usando VHDL

Projeto usando
esquematico

Obs. Caso o ModelSim não venha a ser executado ao pressionar o botão
indicado, executar o ModelSim pressionando o ícone .

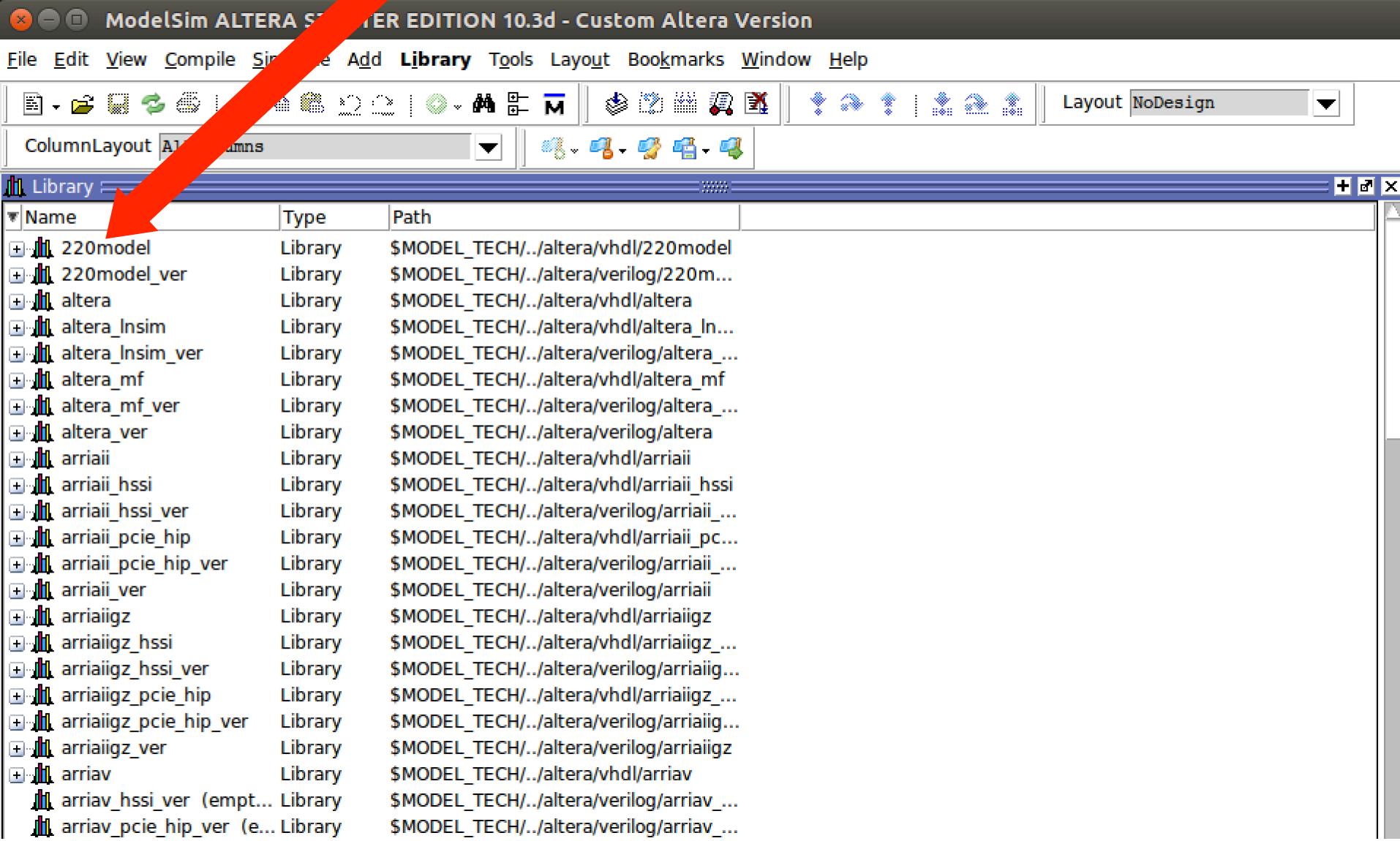
Executar o ModelSim em Linux (ferramenta de simulação)

Obs. Caso o ModelSim não venha a ser executado ao pressionar o botão indicado, digitar `vsim` no terminal do Linux, para executar o ModelSim via linha de comando.

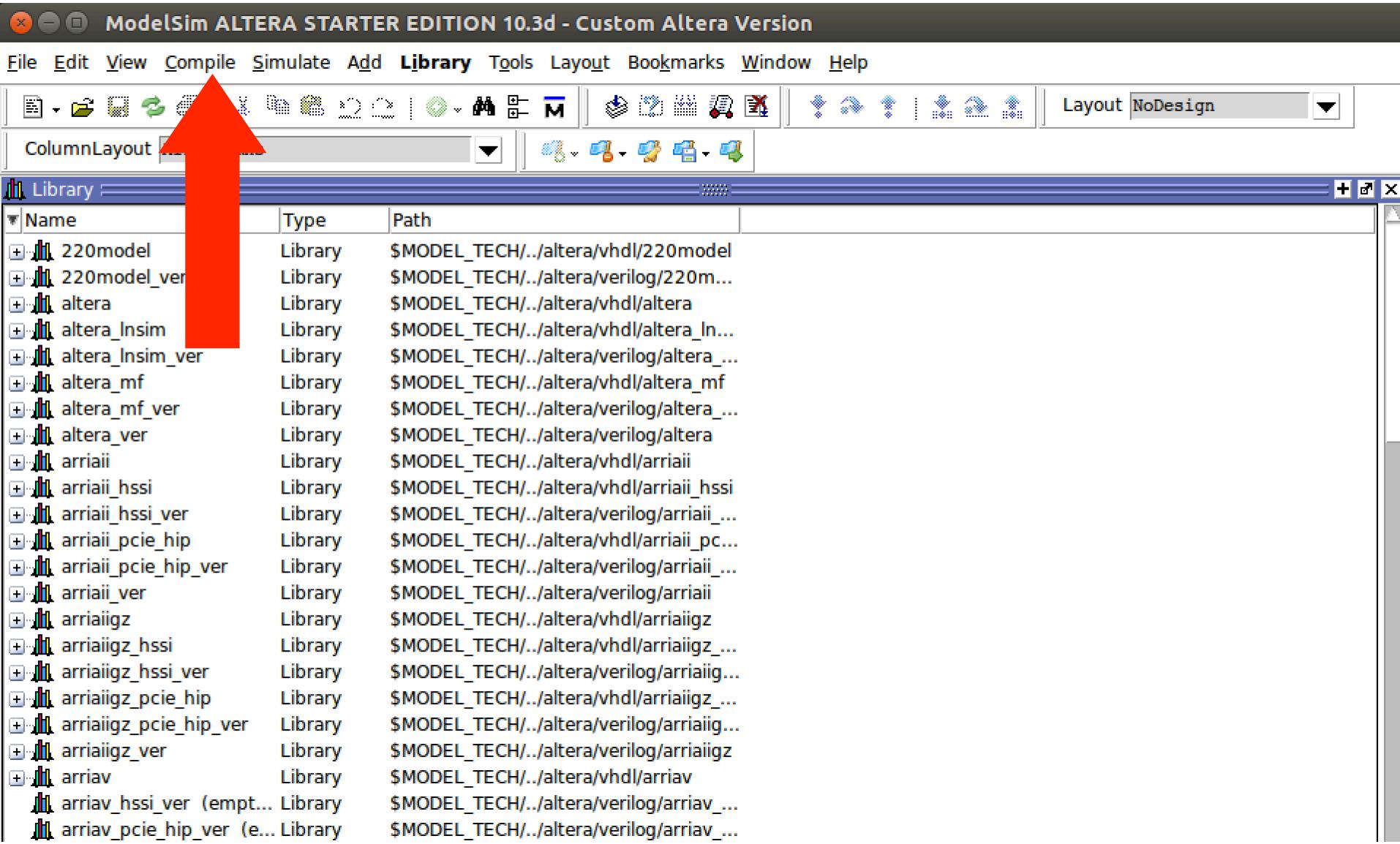
```
[1]+ Done quartus
parallels@ubuntu:~$ quartus &
[1] 7390
parallels@ubuntu:~$ Inconsistency detected by ld.so: dl-close.c: 762: _dl_close:
Assertion `map->l_init_called' failed!

parallels@ubuntu:~$ vsim & ←
[2] 15290
parallels@ubuntu:~$ Reading pref.tcl
```

Obs. Se a biblioteca work não for apresentada:

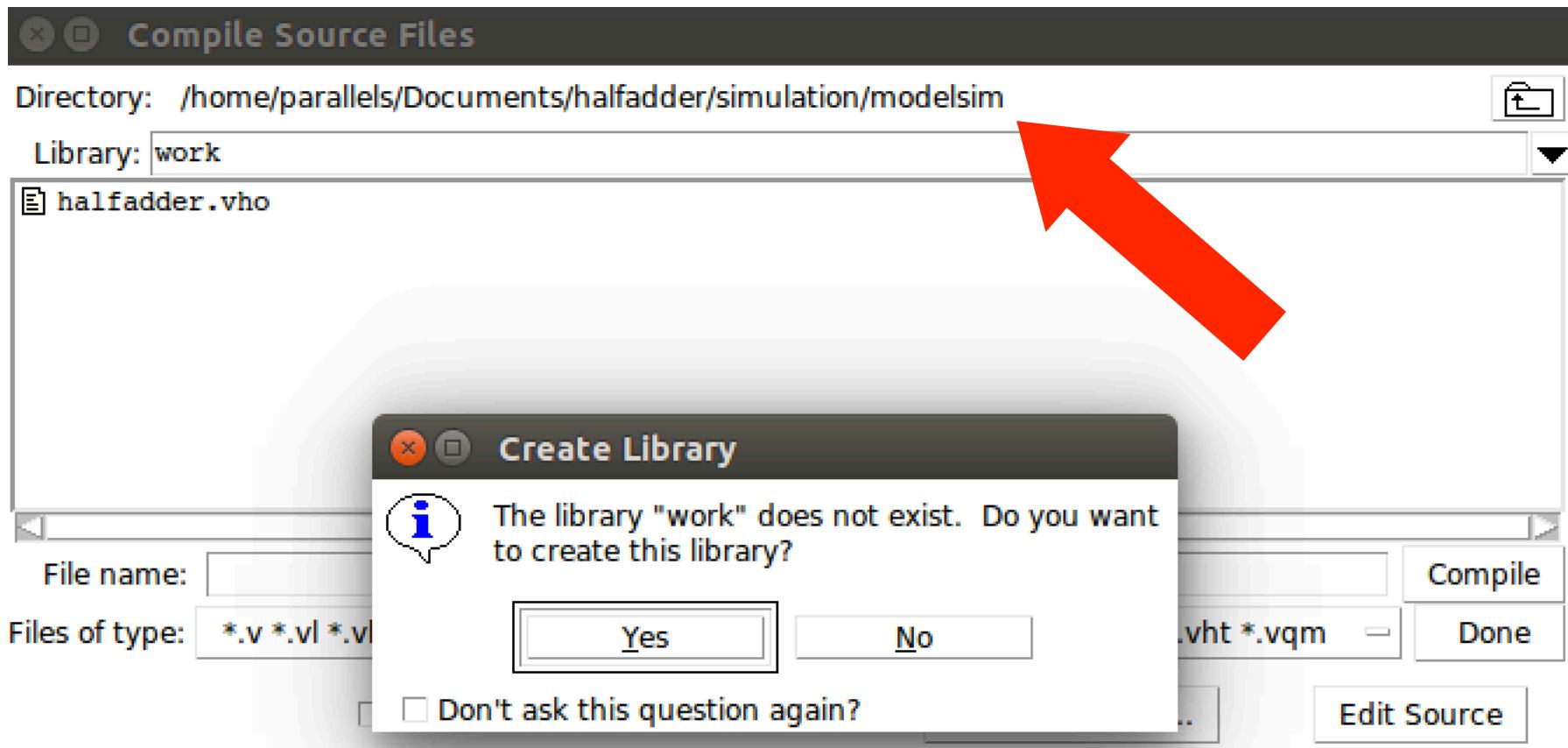


**Obs. Se a biblioteca work não for apresentada:
Pressionar o Compile, e procurar o arquivo criado.**

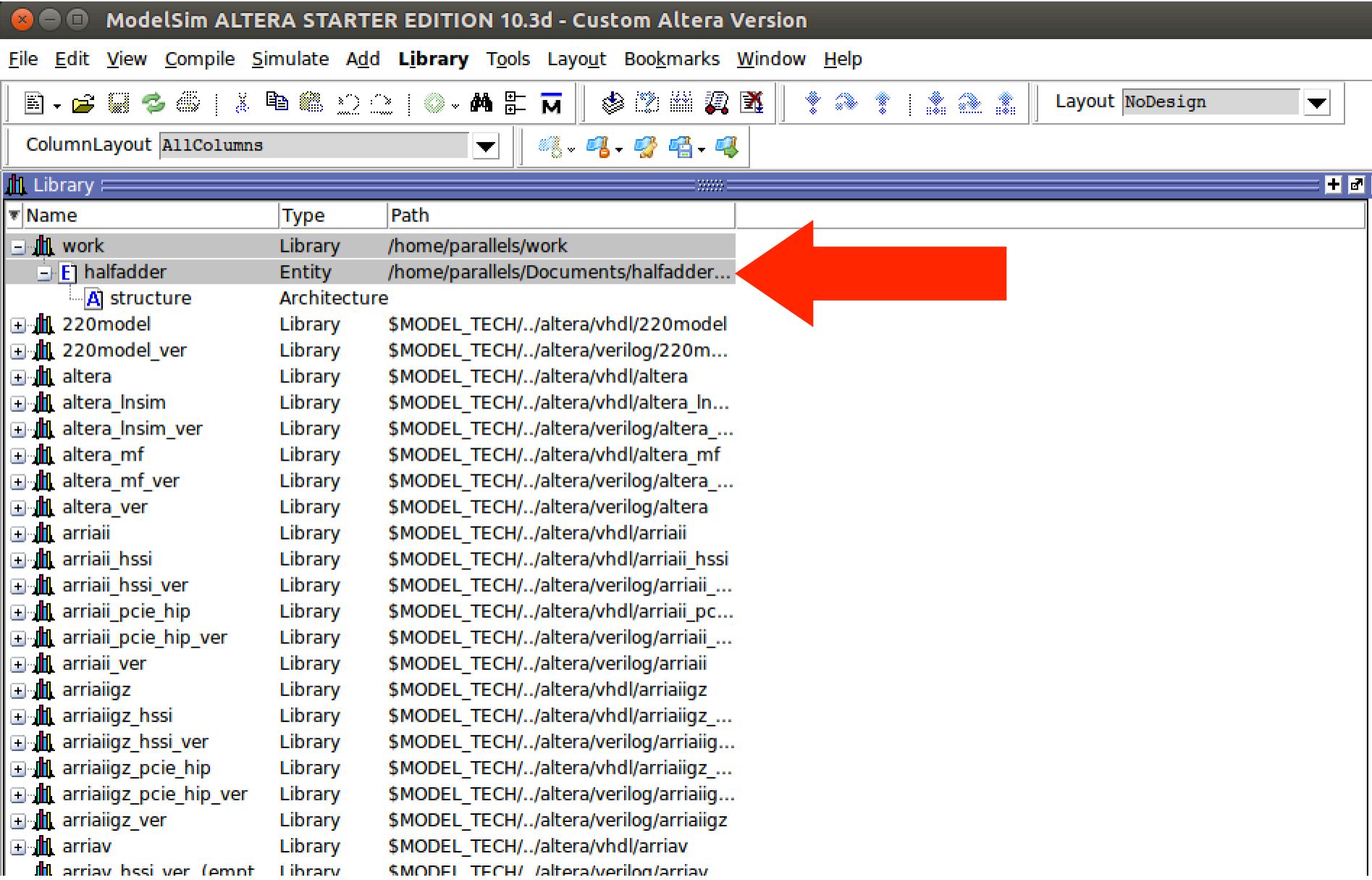


Obs. Se a biblioteca work não for apresentada:

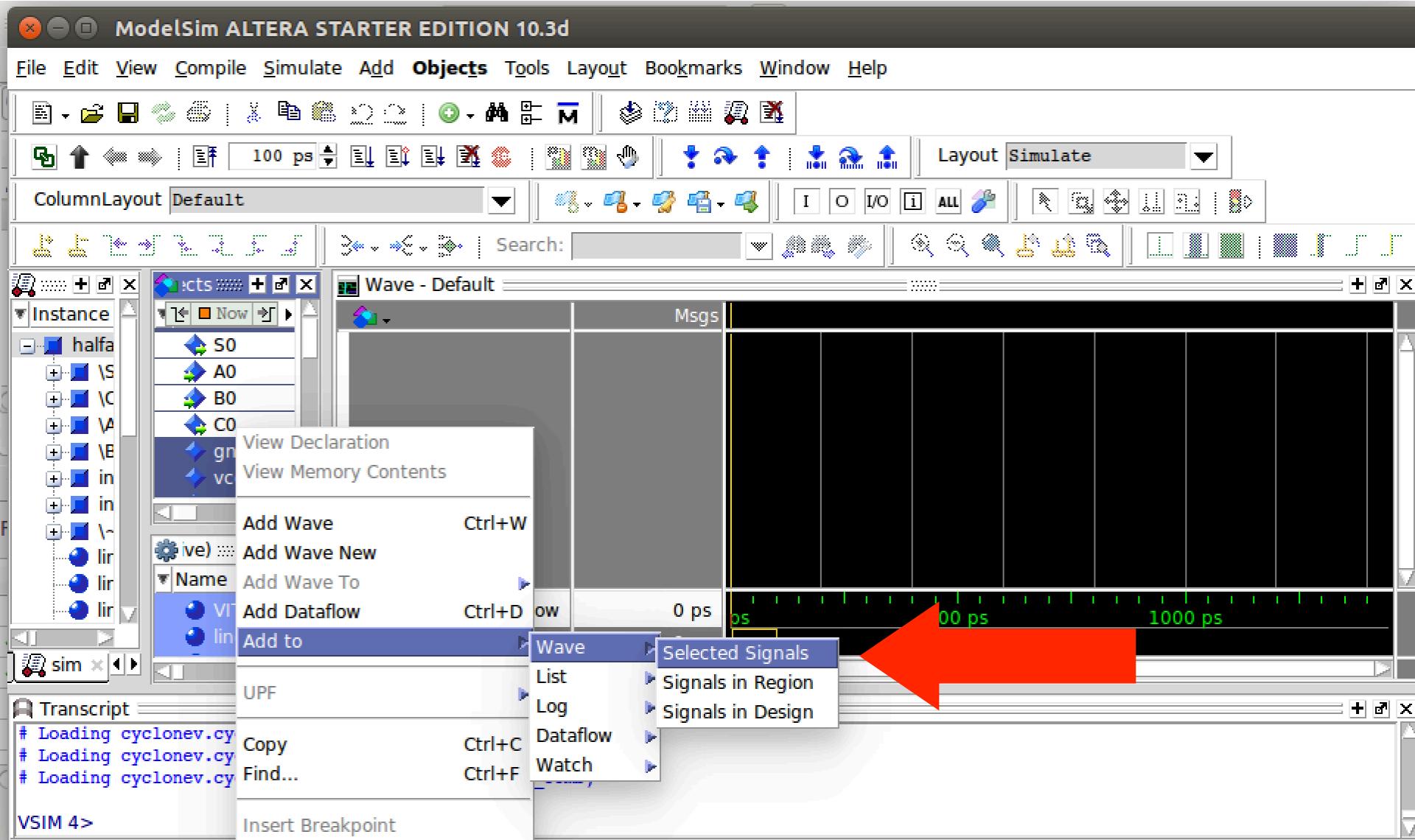
Pressionar o Compile, e procurar o arquivo criado no Quartus. Compilar (Compile) esse arquivo.



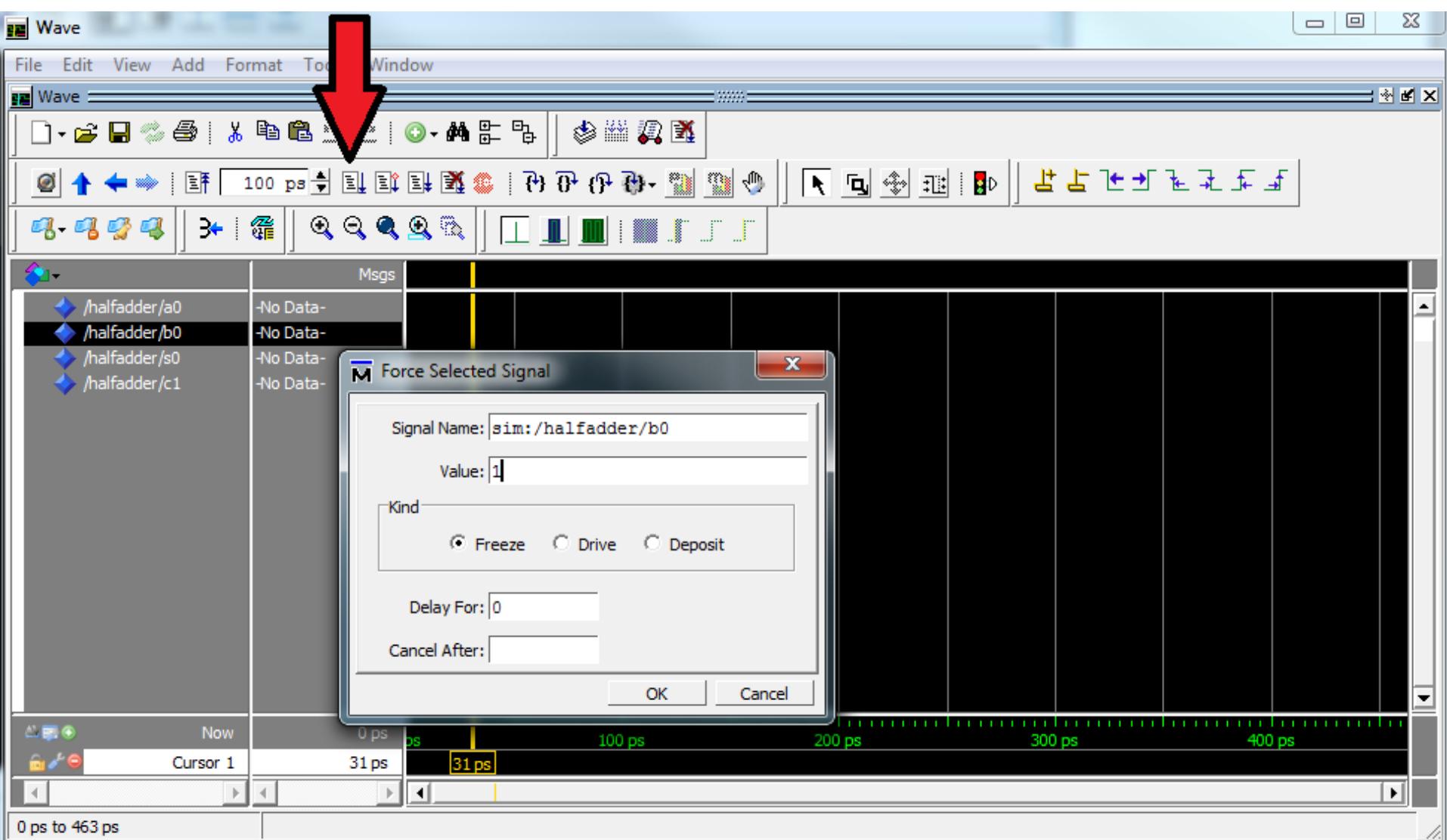
Selecionar o módulo a ser simulado



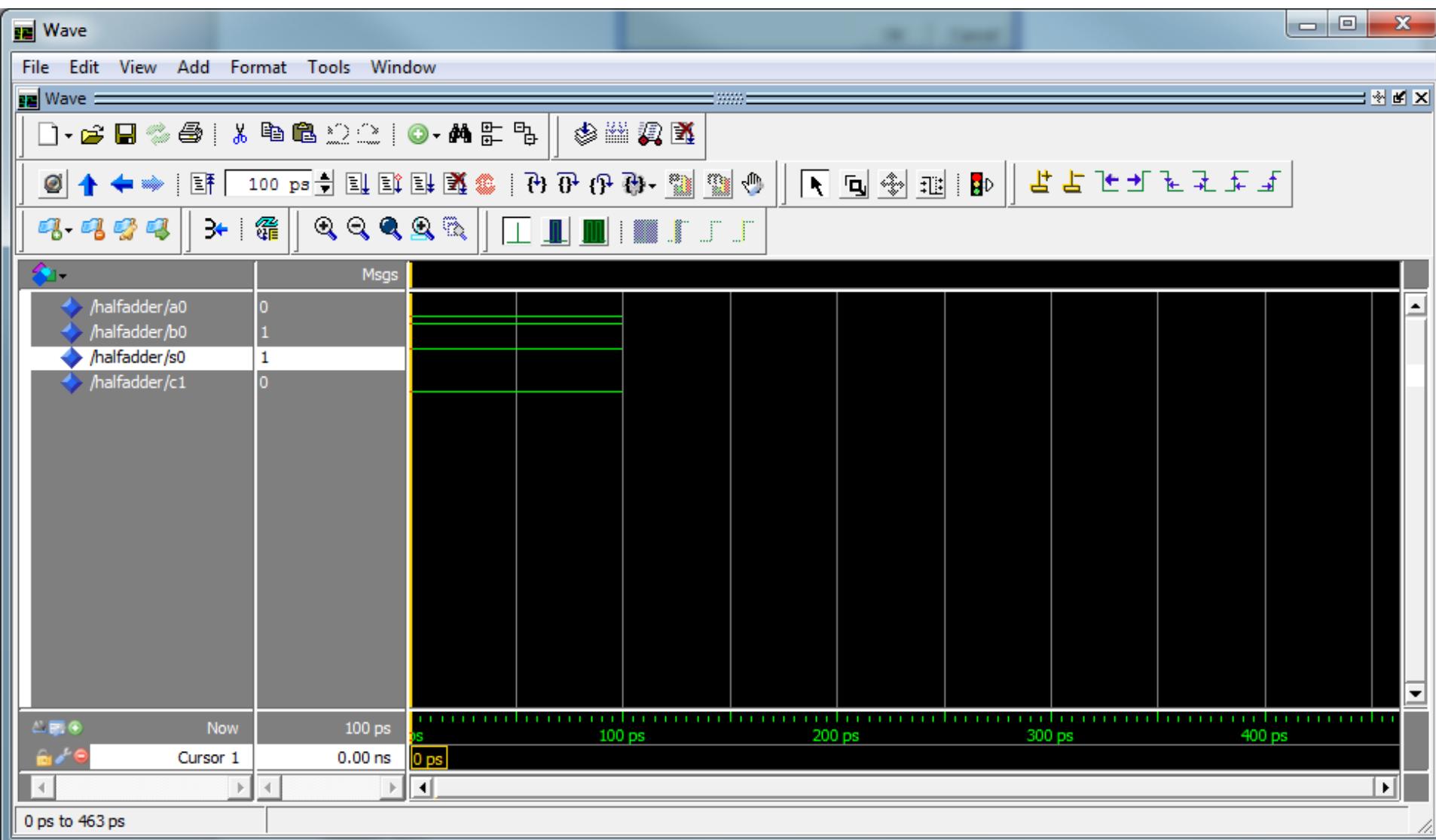
Adicionar os sinais de interesse ao diagrama de formas de onda



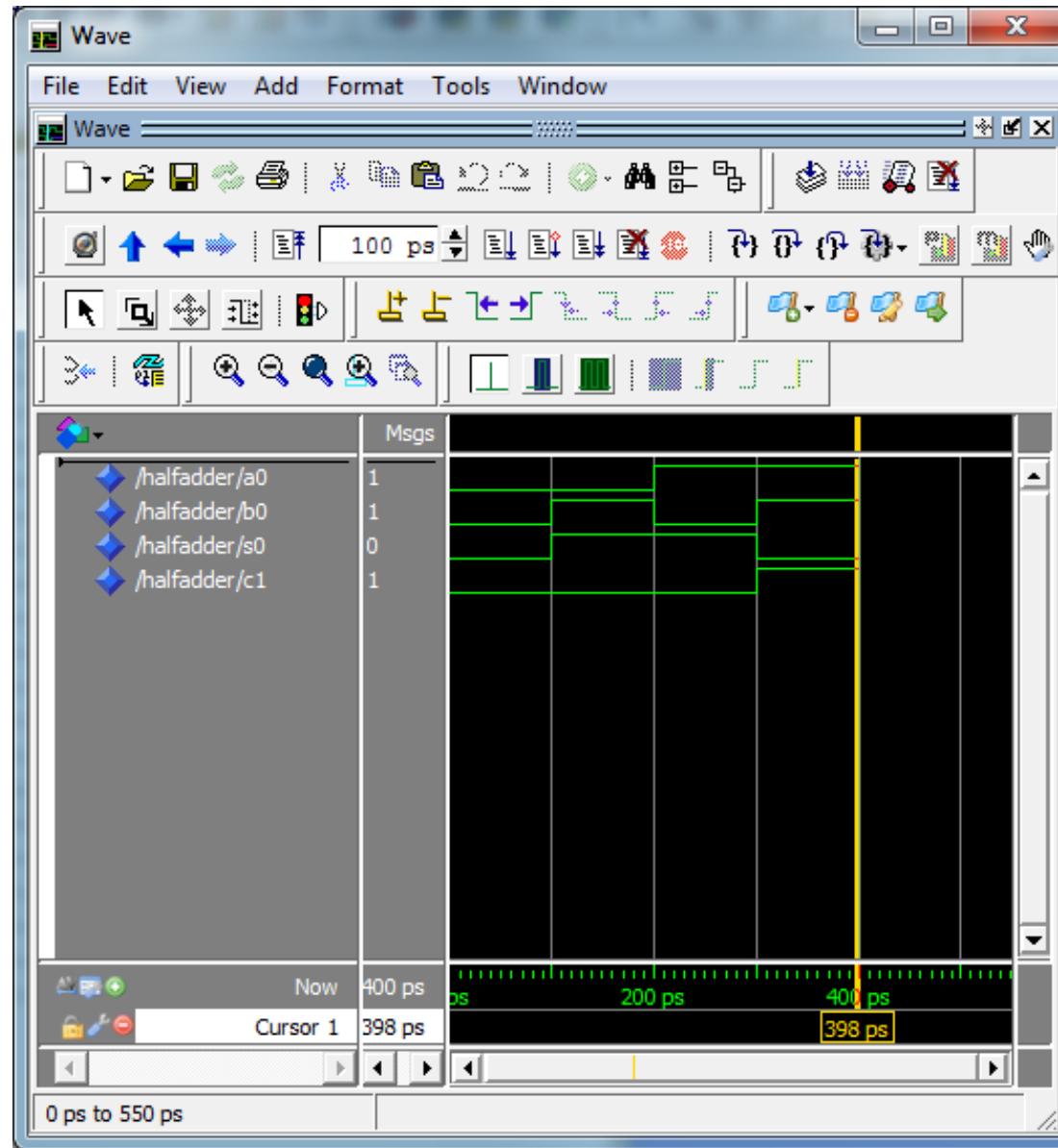
- Fixar os sinais em ‘0’ ou ‘1’ utilizando o botão direito do mouse sobre o sinal desejado.
- Pressionar o botão *Run* indicado na figura.



Para A0 = ‘0’ e B0 = ‘1’, o resultado da simulação será 0 + 1 = 1 (S0), com vai-um = ‘0’ (C0).



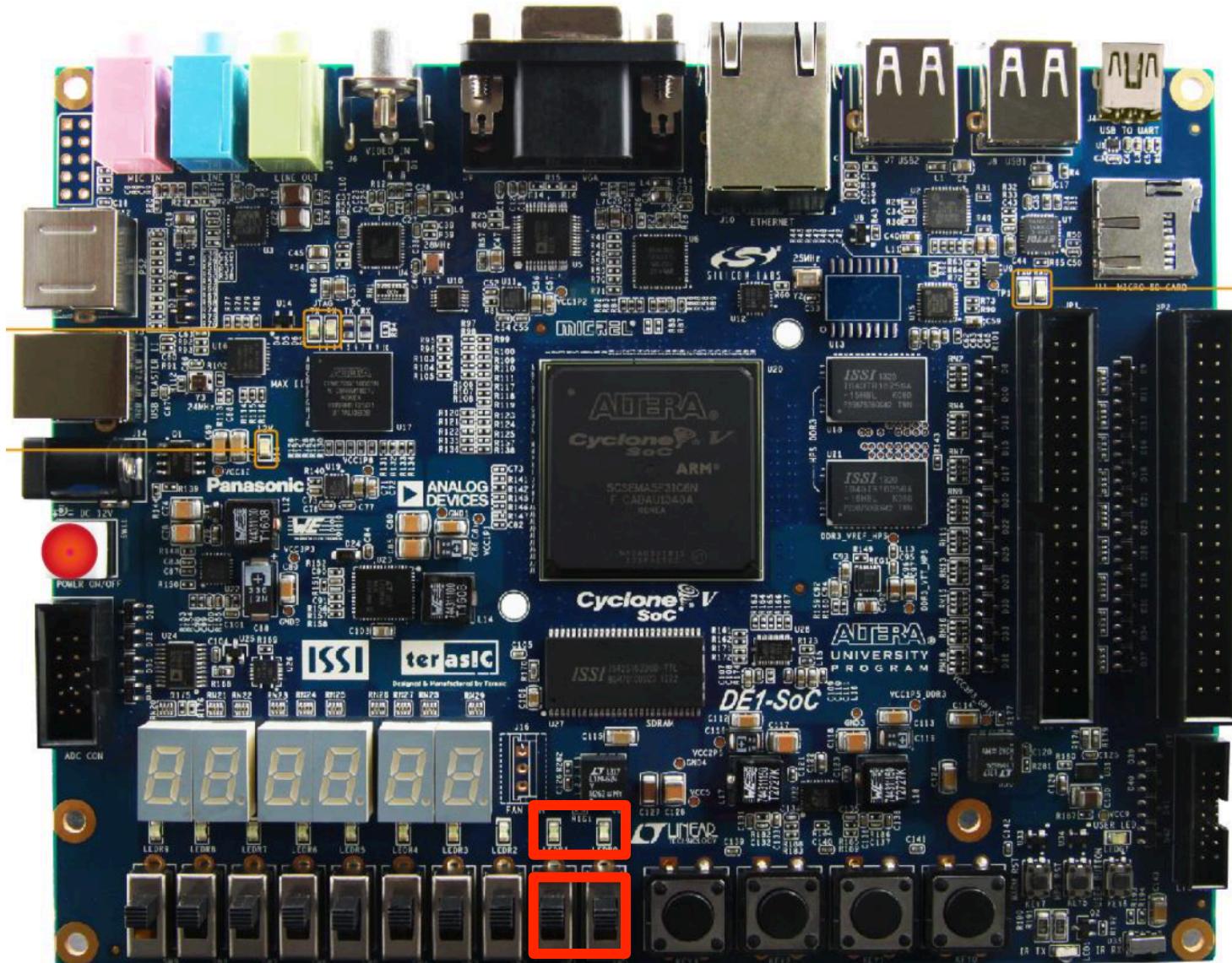
Resultado da simulação para todas as combinações de A0 e B0



4. Prototipação – Teste do circuito no kit de desenvolvimento

Testar o circuito na placa com o FPGA

Primeiro passo, associar os pinos do FPGA aos sinais de entrada e saída definidos no projeto (esquemático).

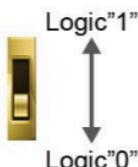


Testar o circuito na placa com o FPGA

Primeiro passo, associar os pinos do FPGA aos sinais de entrada e saída definidos no projeto (esquemático).

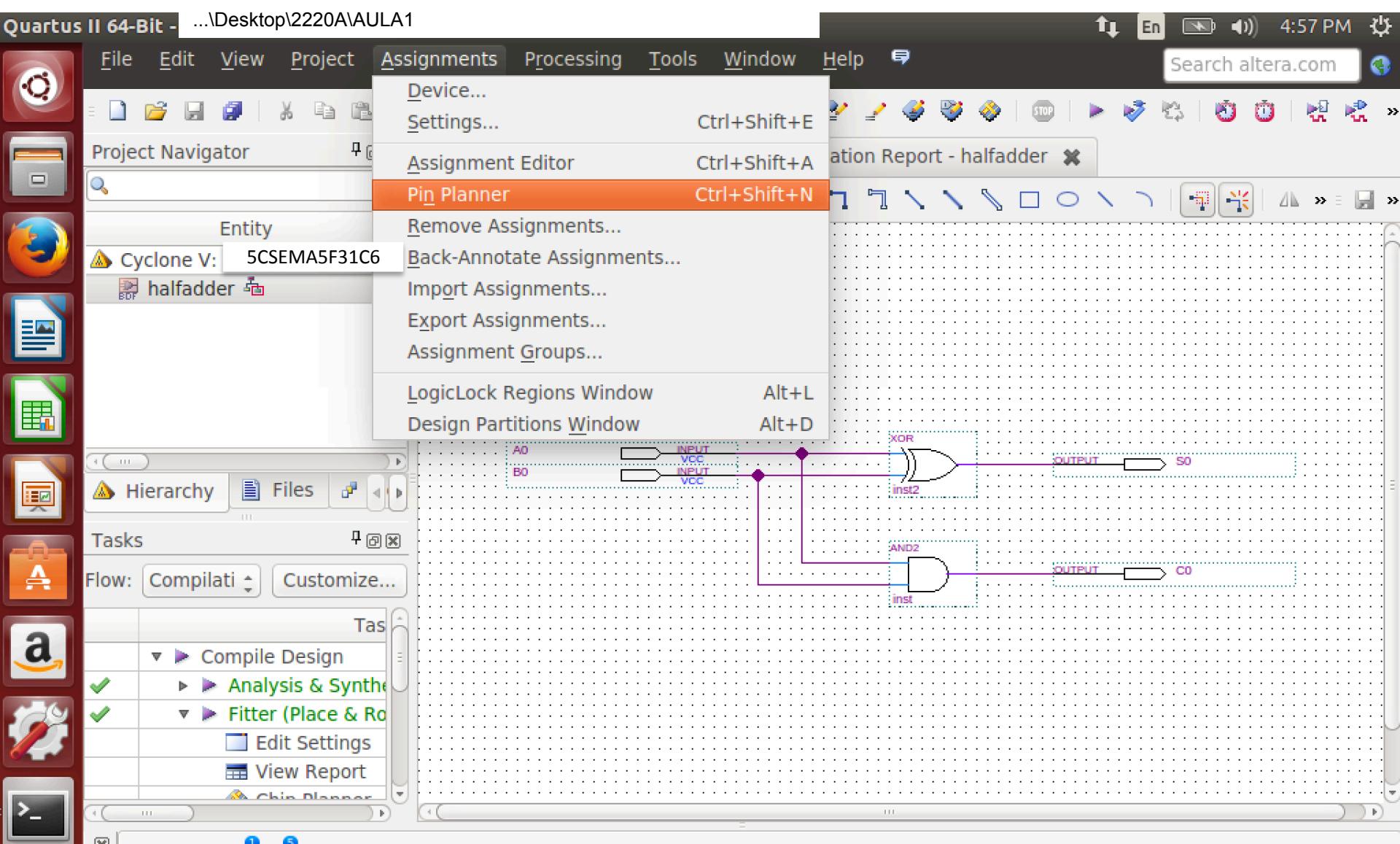


$a_0 = \text{SW}0 = \text{PIN_AB}12$
$b_0 = \text{SW}1 = \text{PIN_AC}12$
$s_0 = \text{LED}0 = \text{PIN_V}16$
$c_1 = \text{LED}1 = \text{PIN_W}16$



Testar o circuito na placa com o FPGA

Primeiro passo, associar os pinos do FPGA aos sinais de entrada e saída definidos no projeto (esquemático).



Pinagem a ser utilizada no projeto

Ubuntu 12.04 LTS

File Edit View Processing Tools Window Help

Report Report not available

a0 = SW0 = PIN_AB12
b0 = SW1 = PIN_AC12

s0 = LED0 = PIN_V16
c1 = LED1 = PIN_W16

Groups Report

Tasks

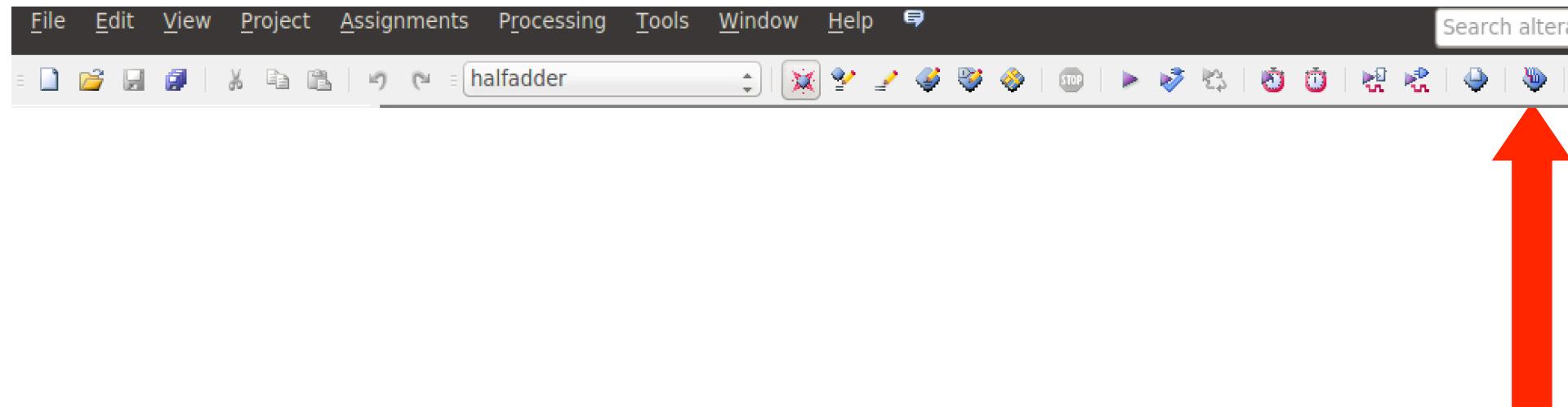
- Early Pin Planning
 - Early Pin Planning...
 - Run I/O Assignment Analysis
 - Export Pin Assignments
- Pin Finder...
- Highlight Pins
 - I/O Banks

Top View - Wire Bond
Cyclone V - 5CSEMA6F31C6

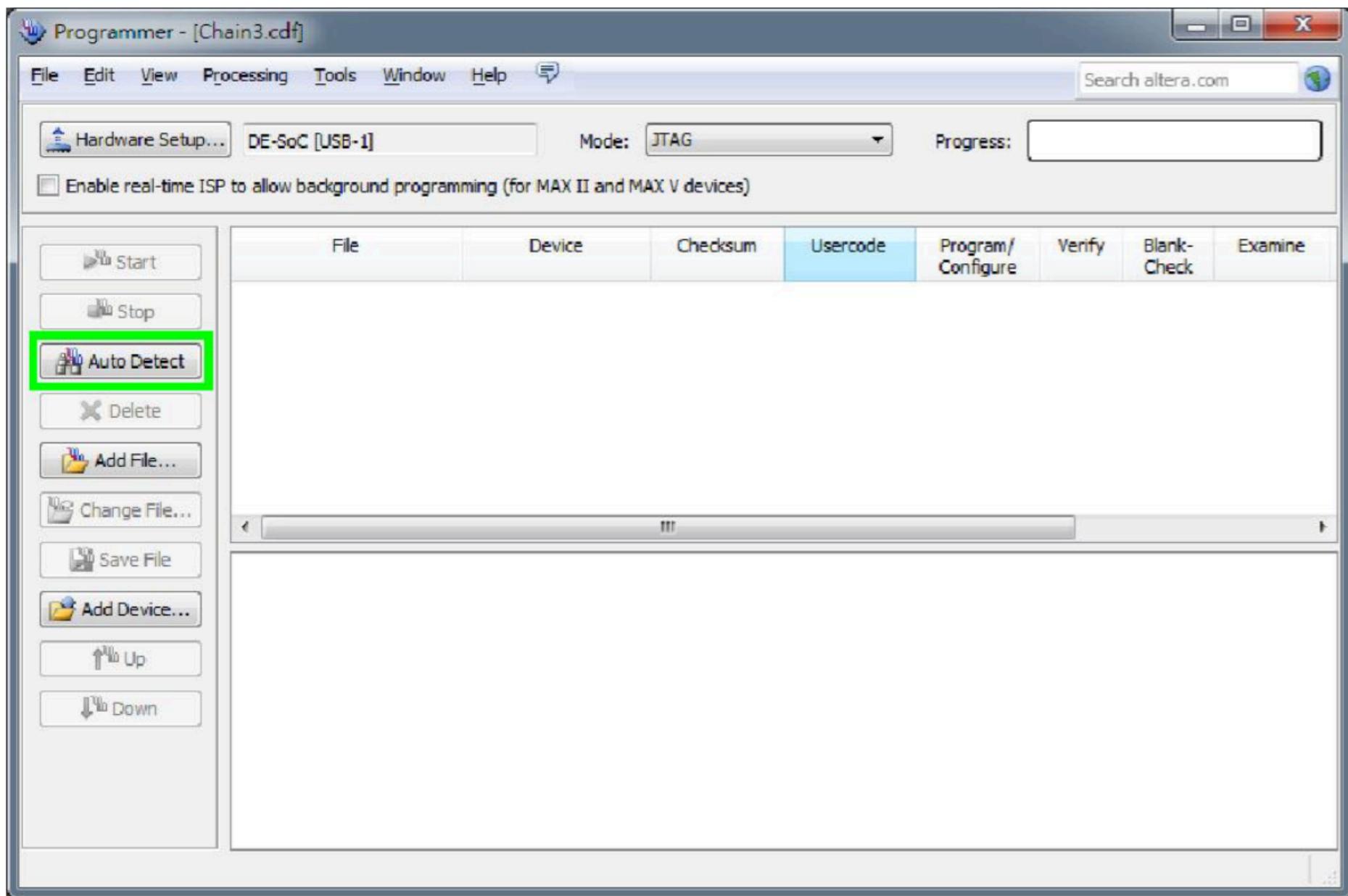
Named: * Edit: <<new node>>

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current S...
in A0	Input	PIN_AB12	3A	B3A_N0	PIN_AB27	2.5 V ...fault)		12mA ...
in B0	Input	PIN_AC12	3A	B3A_N0	PIN_AE29	2.5 V ...fault)		12mA ...
out C0	Output	PIN_V16	4A	B4A_N0	PIN_AA26	2.5 V ...fault)		12mA ...
out S0	Output	PIN_W16	4A	B4A_N0	PIN_AD29	2.5 V ...fault)		12mA ...

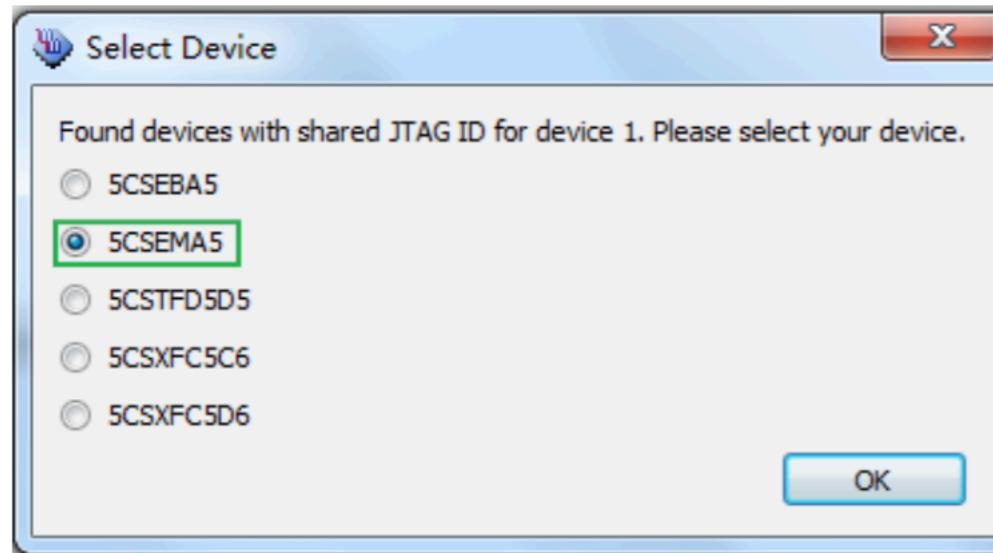
Download do arquivo de configuração para o FPGA



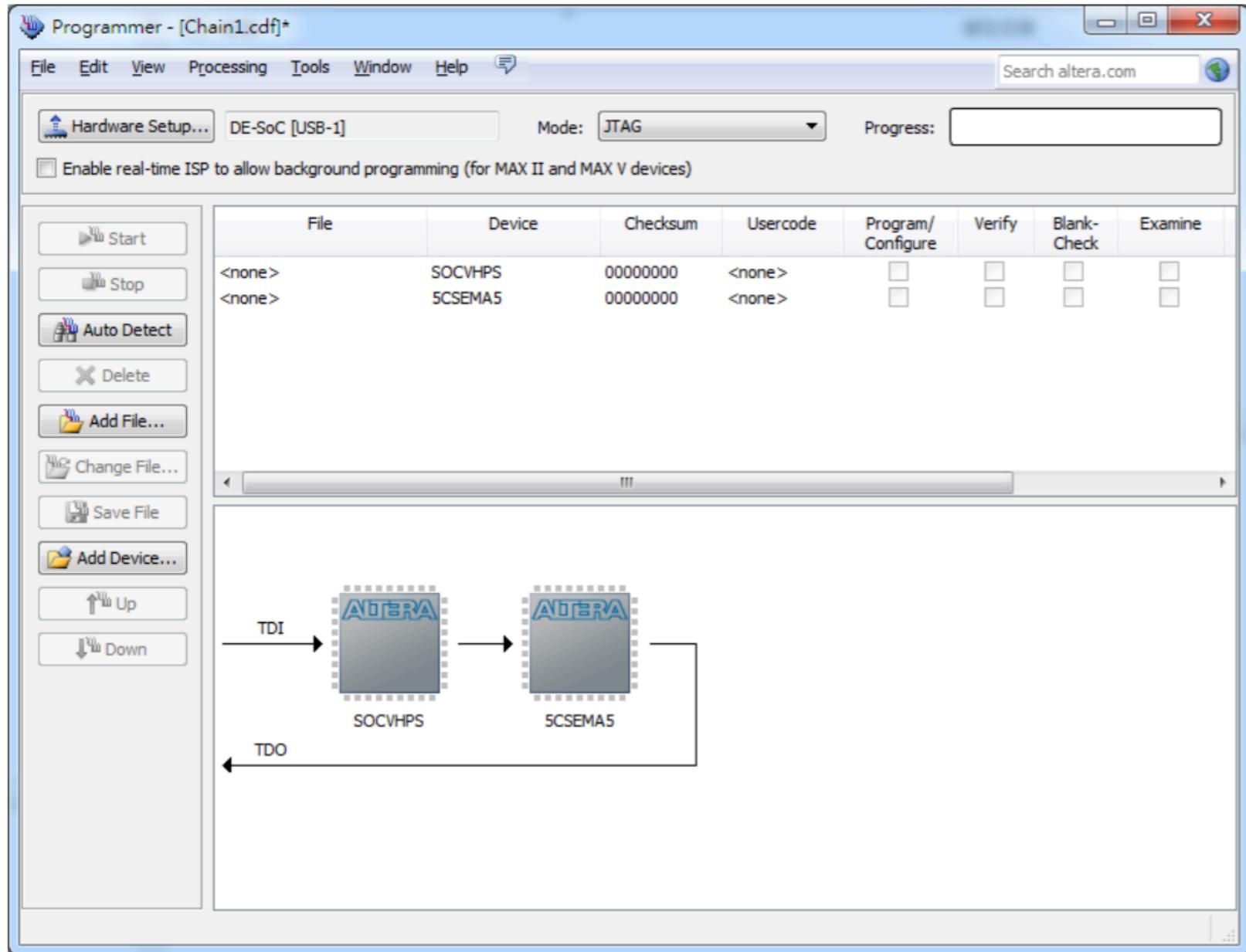
Download do arquivo de configuração para o FPGA



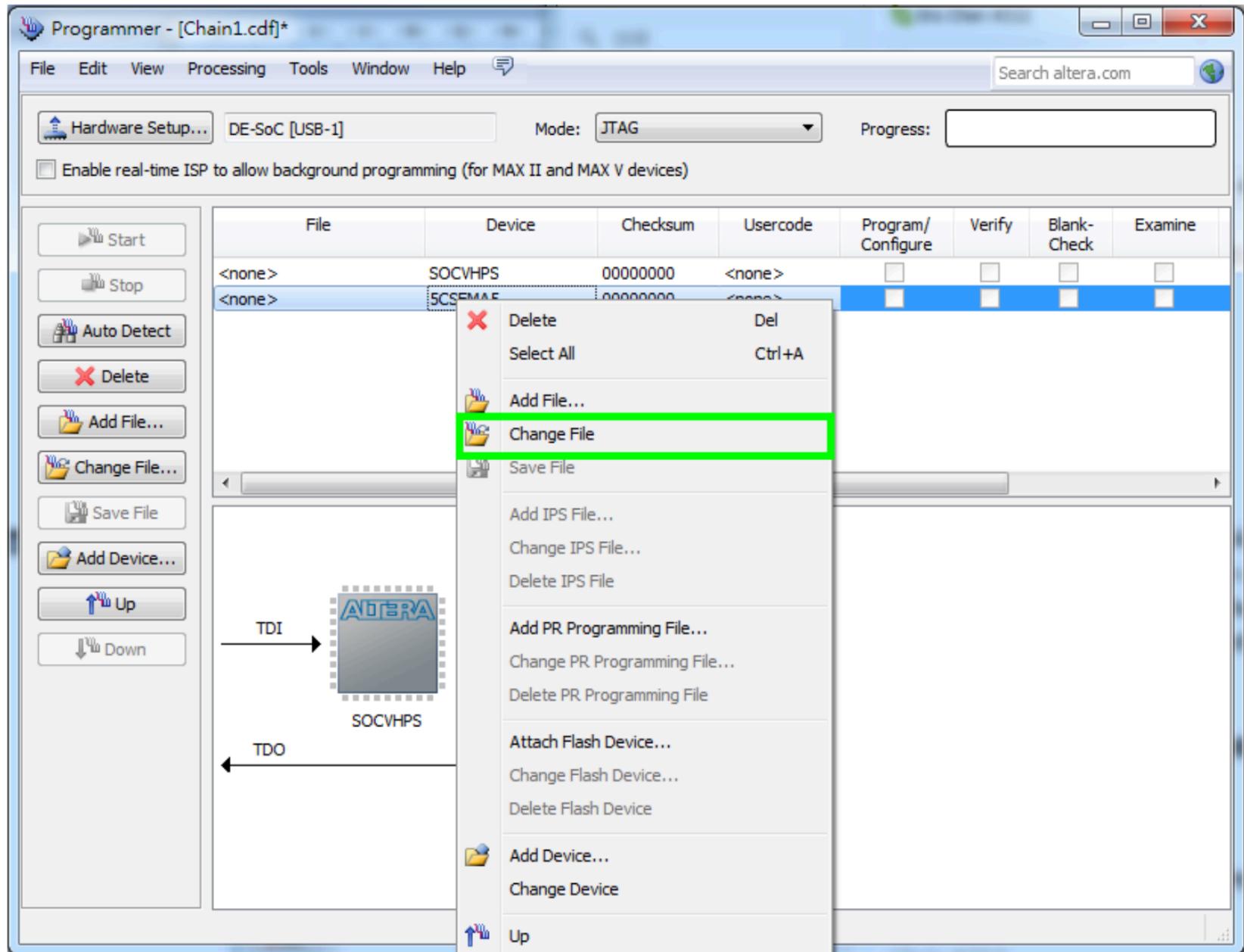
Download do arquivo de configuração para o FPGA



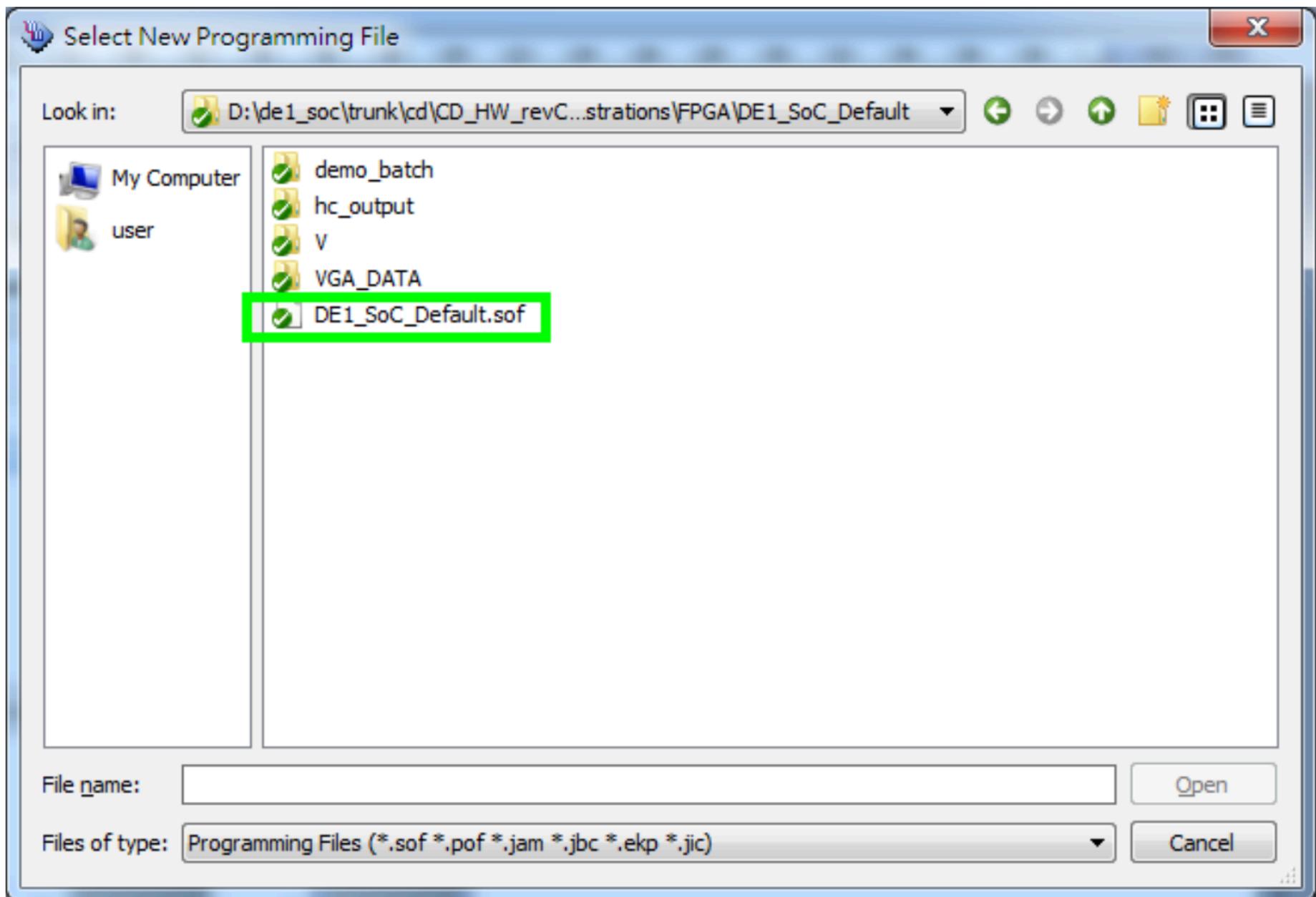
Download do arquivo de configuração para o FPGA



Download do arquivo de configuração para o FPGA



Download do arquivo de configuração para o FPGA



Download do arquivo de configuração para o FPGA

