INSTITUTO FEDERAL DE EDUCAÇÃO

CIÊNCIA E TECNOLOGIA DE SANTA CATARINA

RELATÓRIO 1

LATCHES E FLIP-FLOPS

GUSTAVO SIMAS DA SILVA

PEDRO DOS SANTOS GUERREIRO  
VITOR GARCEZ MORIGI

Florianópolis, Agosto de 2014

GUSTAVO SIMAS DA SILVA

PEDRO DOS SANTOS GUERREIRO

VITOR GARCEZ MORIGI

LATCHES E FLIP-FLOPS

Trabalho apresentado ao professor Fernando Miranda, ministrador da disciplina de Eletrônica Digital II pertencente à 6ª fase do curso técnico integrado de Eletrônica do IF-SC, Campus Florianópolis.

Florianópolis

2014

# Sumário

Sumário

[1. Sumário 3](#_Toc396985856)

[2. Objetivos 5](#_Toc396985857)

[3. Introdução Teórica 6](#_Toc396985858)

[3.1 Latch 6](#_Toc396985859)

[3.1.1 Set-Clear 6](#_Toc396985860)

[3.1.2 Tipo R-S 7](#_Toc396985861)

[3.1.3 Tipo D 8](#_Toc396985862)

[3.2 Flip-Flop (FF) 10](#_Toc396985863)

[3.2.1 JK 10](#_Toc396985864)

[3.2.2 Tipo D 11](#_Toc396985865)

[3.2.3 Tipo T 11](#_Toc396985866)

[3.2.4 Mestre-Escravo 12](#_Toc396985867)

[4. Diagramas esquemáticos dos CI’s utilizados 13](#_Toc396985868)

[4.1 7400 13](#_Toc396985869)

[4.2 7410 13](#_Toc396985870)

[4.3 7404 14](#_Toc396985871)

[5. Circuitos propostos 15](#_Toc396985872)

[5.1 Circuito 1 15](#_Toc396985873)

[5.1.1 Simulação 16](#_Toc396985874)

[5.1.2 Montagem prática 17](#_Toc396985875)

[5.2 Circuito 2 18](#_Toc396985876)

[5.2.1 Simulação 19](#_Toc396985877)

[5.2.2 Montagem prática 20](#_Toc396985878)

[5.3 Circuito 3 21](#_Toc396985879)

[5.3.1 Simulação 21](#_Toc396985880)

[5.3.2 Montagem prática 21](#_Toc396985881)

[6. Comparações de resultados 22](#_Toc396985882)

[7. Conclusão 23](#_Toc396985883)

[8. Referência Imagética 24](#_Toc396985884)

# Lista de Figuras e Tabelas

[**Figura 1 - Diagrama de Blocos Lógica Sequencial (Retirado de FACULTY)** 6](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985885)

[**Figura 2 - Latch Set-Clear com portas NOR (Retirado de FACULTY/BRAGA)** 7](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985886)

[**Figura 3 – Diagrama de tempos Latch Set-Clear (Retirado de CEE-UFRJ)** 7](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985887)

[**Figura 4 - Latch Tipo R-S (Retirado de FACULTY)** 8](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985888)

[**Figura 5 - Latch Tipo D (Retirado de FACULTY)** 8](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985889)

[**Figura 6 - Diagrama de tempos Latch Tipo D (Retirado de CEE-UFRJ)** 9](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985890)

[**Figura 7 - Flip-Flops sensíveis a borda de subida/descida (Retirado de OneDrive)** 10](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985891)

[**Figura 8 - Flip-Flop JK (Retirado de ELEMANIA)** 11](#_Toc396985892)

[**Figura 9 - Flip-Flop Tipo T (Retirado de INF-UFSC/BRAGA)** 11](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985893)

[**Figura 10 - Esquemático 7400 (Retirado de TAYLOREDGE)** 13](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985894)

[**Figura 11 - Esquemático 7410 (Retirado de TAYLOREDGE)** 13](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985895)

[**Figura 12 - Esquemático 7404 (Retirado de TAYLOREDGE)** 14](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985896)

[**Figura 13 - Latch com portas NAND (Retirado de INF-UFSC)** 15](#_Toc396985897)

[**Figura 14 - Circuito 1 simulado no ISIS Proteus** 16](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985898)

[**Figura 15 - Diagrama de tempos do circuito 1 – Quartus II** 16](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985899)

[**Figura 16 - Latch Set-Clear comandado por clock (Retirado de CODEPROJECT)** 18](#_Toc396985900)

[**Figura 17 - Circuito 2 simulado no ISIS Proteus** 19](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985901)

[**Figura 18 - Diagrama de tempos do circuito 2 - Quartus II** 19](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985902)

[**Figura 19 - Diagrama esquemático do circuito 3** 21](#_Toc396985903)

[**Tabela 1 - Circuito 1 simulado** 17](#_Toc396985904)

[**Tabela 2 - Tabela verdade teórica para o circuito 2 (Retirado de CODEPROJECT)** 18](file:///C:\Users\Gustavo\Documents\IFSC\Eletrônica%20Digital%20II\Relatório1\Relatório1-GSS.docx#_Toc396985905)

# Objetivos

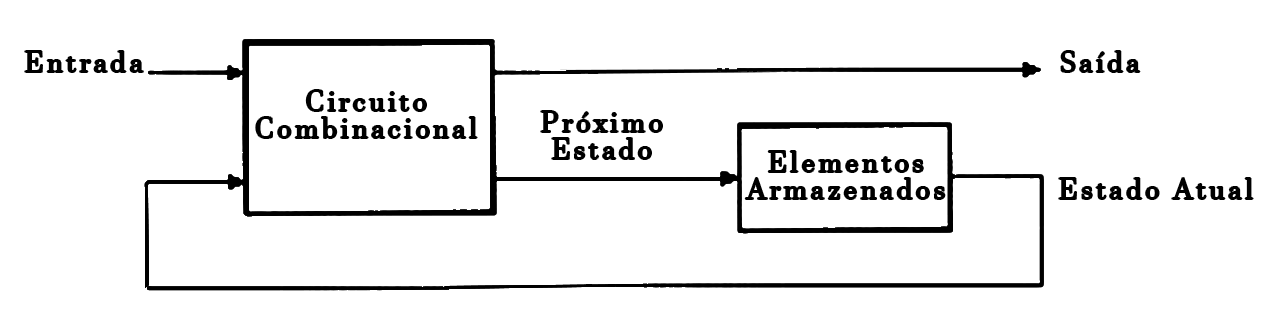
Entre os objetivos visados desta atividade, listam-se:

1. Avaliação prática do funcionamento de estruturas Latches e Flip-Flops, através da implementação dos mesmos em matriz de contato, com uso de circuitos integrados contendo portas lógicas (*gates)*.
2. Avaliação do comportamento de tais circuitos em diferentes softwares de simulação (Proteus e Quartus).
3. Comparação de resultados teóricos (resultados esperados de acordo com o estudado) com os resultados práticos e simulados digitalmente. Tão como a discussão sobre as possíveis diferenças observadas entre os simuladores utilizados.

# Introdução Teórica

Diferentemente da Lógica Combinacional, a Lógica Sequencial é dependente de fatores temporais, ou seja, o comportamento de circuitos sequenciais pode variar não somente a partir da alteração dos dados de entrada, mas também de acordo com o tempo (caso haja aplicação de um relógio/clock). Com isto ela é utilizada para operações de ativar/desativar funções de outros circuitos, enviar/guardar informações ou realizar contagens, tudo isto com bases na dinâmica temporal.

O clock é um dos elementos fundamentais para a Lógica Sequencial. Muitos dos circuitos manuseados necessitam da aplicação de um sinal digital variante com determinada frequência, para que haja tanto mudanças de estados lógicos, quanto de sincronização dos componentes.

Na Figura 1 ilustra-se com um diagrama de blocos a operação de um circuito com Lógica Sequencial. É possível ver que existem duas partes; o primeiro estado, obtido a partir de uma típica combinacional é levada para uma saída (Output), enquanto outra parte é armazenada e trazida de volta ao início, realizando-se a “realimentação”, como será melhor explicado adiante.

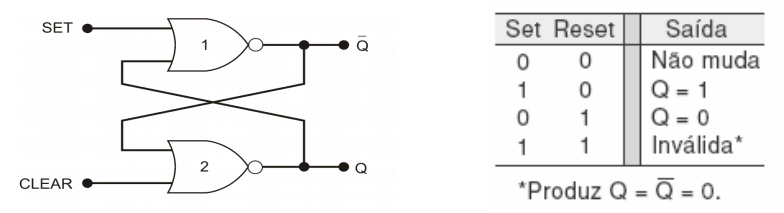
**Figura 1 - Diagrama de Blocos Lógica Sequencial (Retirado de FACULTY)**

## Latch

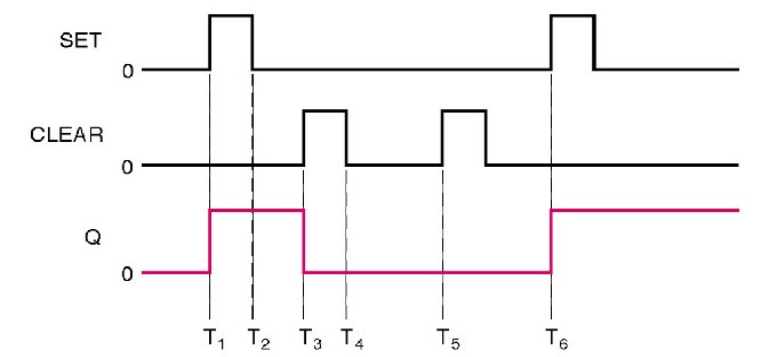
Latch é um circuito integrado composto por portas lógicas, na qual tem a capacidade de armazenar 1 bit de informação (0 ou 1), possuindo uma memória que é reutilizada, seguindo o raciocínio apresentado no diagrama de blocos. Devido a esta característica ele utiliza o próprio estado de saída para implementar a realimentação do circuito, ou seja, os níveis lógicos de saída e de entrada são mutuamente dependentes.

Dentre os tipos de latches, estão:

### Set-Clear

Os circuitos Set-Clear são os mais comuns. Eles apresentam dois terminais de entrada S e C (Set e Clear/Reset, respectivamente) e dois de saída (Q e ). Caso ambas as entradas estejam em 0, não ocorrerá mudança nas saídas, preservando o estado anterior (Qa, Q anterior). Caso o Set esteja em 1 e o Reset em 0, o output (Q) será forçado para 1. Caso seja o inverso, Q será forçado para 0. No entanto, se S e R estiverem em 1, o circuito será incapaz de realizar uma função estável, pois acontecerá a produção de Q= , sendo uma propriedade inválida. Pela Figura a seguir obtém-se o circuito característico e a tabela verdade com os resultados de acordo com os inputs.

**Figura 2 - Latch Set-Clear com portas NOR (Retirado de FACULTY/BRAGA)**

Abaixo o diagrama de tempos esperado teoricamente para um Latch Set-Clear.

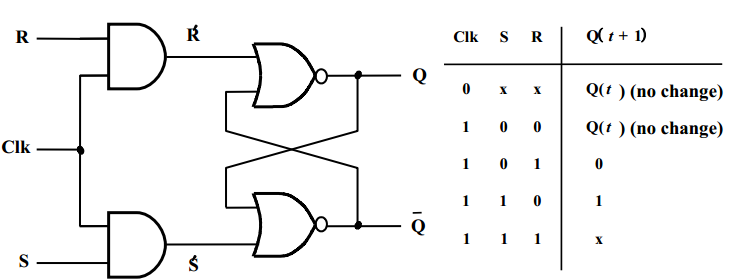
**Figura 3 – Diagrama de tempos Latch Set-Clear (Retirado de CEE-UFRJ)**

### Tipo R-S

Os R-S são circuitos que possuem elementos adicionais em relação ao anterior. Em sua constituição há a presença de um Set-Clear, juntamente a duas portas lógicas a mais e terminal para o clock.

Com o clock vem a possibilidade de otimizar e automatizar o sistema, já que sua variação é automática, sem ser preciso o controle de dois inputs pelo usuário.

Na figura abaixo, ilustra-se um circuito R-S com a sua tabela verdade.

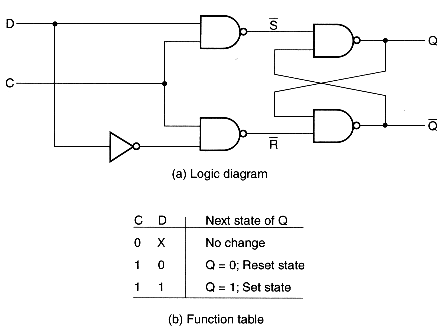
Pela tabela verdade analisa-se que a saída se manterá em duas situações: com Clk desativado, independentemente do estado dos outros inputs; ou com Clk ativado e as outras entradas em baixa.

**Figura 4 - Latch Tipo R-S (Retirado de FACULTY)**

Todas as possibilidades de operação de um R-S basicamente comportam-se como um Set-Clear, sendo a exceção e grande diferença entre ambos a necessidade do clock em estado 1 para as funções de “setar” ou “resetar”.

### Tipo D

O Tipo D é semelhante ao R-S, porém, com um terminal a menos, sendo apenas dois de entrada: C (do clock, ou às vezes E, de Enable) e D, no qual a informação é levada a uma das portas lógicas, e a informação barrada é direcionada a outro *gate*, sendo o seu estado lógico podendo ser alterado pelo usuário a qualquer momento.

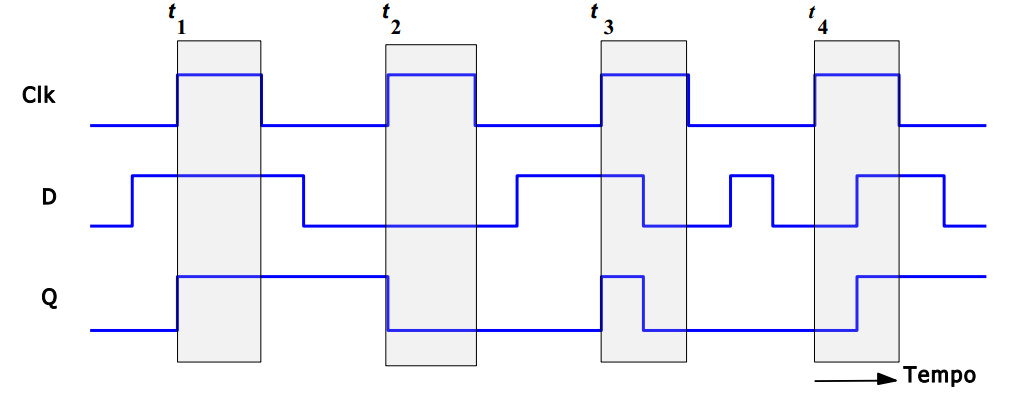
Na Figura 3 observa-se um Latch-Tipo D implementado com portas lógicas NAND e NOT.

**Figura 5 - Latch Tipo D (Retirado de FACULTY)**

Percebe-se que com o Clock em 0, independentemente do estado da entrada, não haverá mudança em Q (por isso há o X em D, o que revela que ele não interferirá na saída).

Já com o Clock ativo e D em 0, haverá o “*reset*” de Q, ou seja, a saída irá para nível lógico baixo.

Porém com ambos os dados em nível lógico alto, haverá o “*set*”, com Q indo para 1.

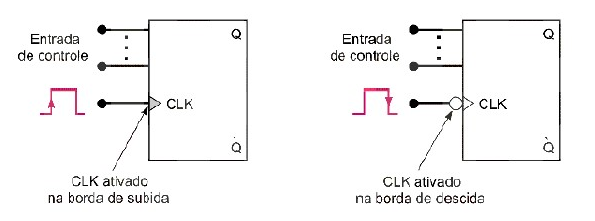
Abaixo apresenta-se o Diagrama de Tempos esperado para um Latch Tipo D.

**Figura 6 - Diagrama de tempos Latch Tipo D (Retirado de CEE-UFRJ)**

Observa-se que um Latch pode ser implementado com diferentes portas lógicas (portas NOR, por exemplo), e a Figura 5 somente representa uma destas possibilidades.

Além disto, estes circuitos podem operar para resolver problemas analógicos, pois dentre as aplicações dos latches está a estabilização de sinais de tensão, sendo aplicados às chaves seletoras evitando a trepidação do sinal.

## Flip-Flop (FF)

Os Flip-Flops operam com a mesma base teórica dos Latches, porém com certas distinções que merecem relevância. Uma das diferenças notáveis entre ambos é a alternância quanto ao clock; enquanto os latches são capazes de alterar os seus estados enquanto o clock estiver ativo, os flip-flops somente apresentam mudanças nas bordas. Na Figura 4 são mostrados Flip-Flops sensíveis à borda de subida e descida, respectivamente.

**Figura 7 - Flip-Flops sensíveis a borda de subida/descida (Retirado de OneDrive)**

A detecção das bordas de um clock geralmente é realizada com o apoio de uma porta NOT aplicada antes do circuito operacional, na qual apresenta um leve atraso para barrar a informação obtida, o que ocasiona um pulso que, por sua vez, é redirecionado a um detector de pulsos.

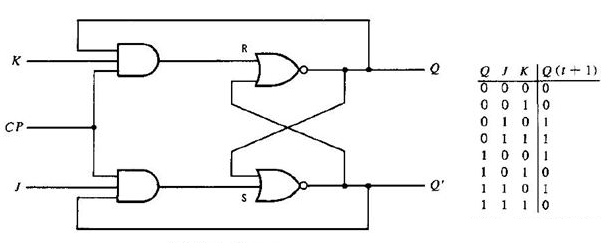
Assim como os latches, os flip-flops possuem ramificações:

### JK

Com o nome em honra ao inventor Jack Kilby, o JK é, *grosso modo*, o Set-Clear dos FF, com uma diferença (além da permissão de operação somente nas bordas do clock): caso ambas as entradas estiverem em 1 ocorre a comutação (como em inglês é chamado de Toggle), ou seja, o estado anterior é barrado, não sendo mais inválido como acontecia com o circuito a que foi comparado.

Com esta propriedade o sistema é capaz de aceitar qualquer variabilidade de dados, sem apresentar invalidez operacional em determinado caso.

Abaixo, na Figura 8, o diagrama esquemático juntamente à tabela verdade.



**Figura 8 - Flip-Flop JK (Retirado de ELEMANIA)**

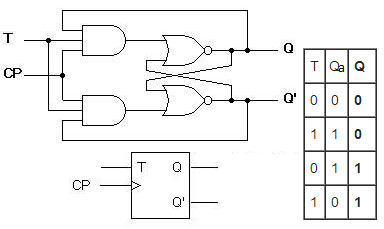
### Tipo D

Assim como o Latch Tipo D (*delay*) possui a informação aplicada no terminal D diretamente levada a uma das portas lógicas, enquanto esta informação barrada é levada a outro *gate*, como figura a 5ª imagem, mostrada anteriormente. Deste modo, o sistema opera na faixa de set ou reset. Lembrando que somente realiza o processamento de um novo estado na borda de subida ou descida do clock.

### Tipo T

Diferentemente do Tipo D, o FF Tipo T (*toggle, “alternação”* em inglês*)* possui os terminais de entrada (que seriam o J e o K) curto-circuitados, fazendo com que ambos os inputs tenham o mesmo valor lógico em qualquer situação. Deste modo há a operação do sistema na faixa de Qa ou , nunca havendo o set ou reset.

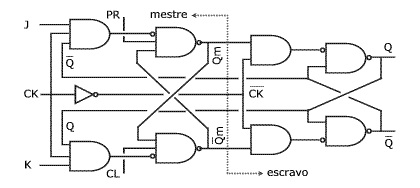
Abaixo uma figura representando o diagrama esquemático com as portas constituintes, a simbologia e a tabela verdade.



**Figura 9 - Flip-Flop Tipo T (Retirado de INF-UFSC/BRAGA)**

### Mestre-Escravo

Chamado em inglês de master-slave, baseia-se no funcionamento em períodos, sendo ora o mestre (adquirindo a entrada aplicada) ora o escravo (processando a informação transmitida pelo mestre) operando.

Segue a figura do diagrama esquemático de um Master-Slave

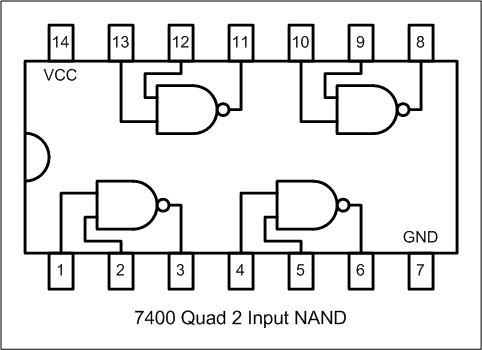
**Figura 10 - Flip-Flop Mestre-escravo (Retirado de DIGITAL XI-20)**

Este tipo de flip-flop possui a mesma tabela verdade do JK, no entanto com a distinção de que opera de modo sistemático, com o mestre ativo e o escravo desativo quando o clock é alto e vice-versa quando o clock é baixo.

Uma das vantagens deste em relação a um JK comum é a eliminação de oscilação dos sinais.

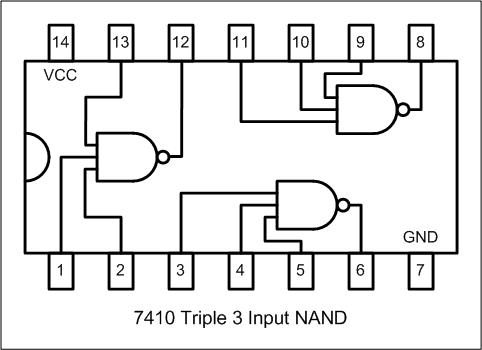
# Diagramas esquemáticos dos CI’s utilizados

## 7400

CI DIP-14 com quatro unidades integradas de portas lógicas NAND de duas entradas.

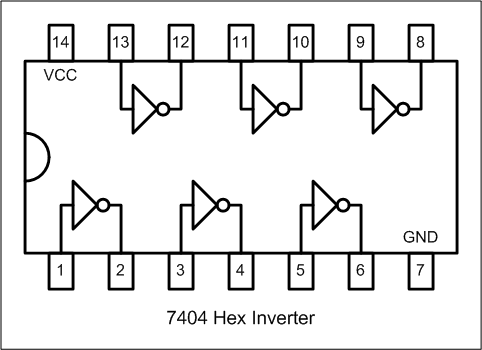
**Figura 10 - Esquemático 7400 (Retirado de TAYLOREDGE)**

## 7410

CI DIP-14 com três unidades integradas de *gates* NAND de três entradas cada.

**Figura 11 - Esquemático 7410 (Retirado de TAYLOREDGE)**

## 7404

CI DIP-14 com seis unidades de portas lógicas inversoras (NOT).

**Figura 12 - Esquemático 7404 (Retirado de TAYLOREDGE)**

Observação: Todos os Circuitos Integrados apresentados possuem tensão de alimentação (VCC, pino 14) de +5V e baixa corrente de operação.

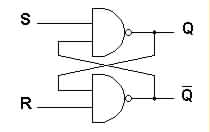
# Circuitos propostos

Durante o experimento, foi proposta a realização por simulação e montagem experimental de três circuitos sobre *Latches* e *Flip Flops* através da construção dos mesmos por intermédio de portas lógicas contidas nos CI’s apresentados. Em cada um deles deveria ser encontrada a tabela verdade, tanto por meios de simulação quanto pela montagem prática.

Para a simulação foram utilizados os softwares eletrônicos mais comuns entre os técnicos: o LabCenter Electronics ISIS Proteus Professional versão 7.8 e o Altera Quartus II versão 9.1 Service Pack 2 Web Edition.

## Circuito 1

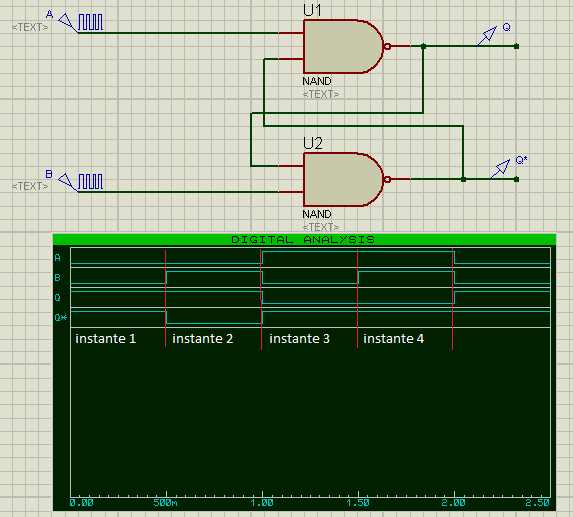
O primeiro seria um simples *Latch* montado com portas lógicas NAND, como pode ser visto na figura abaixo:



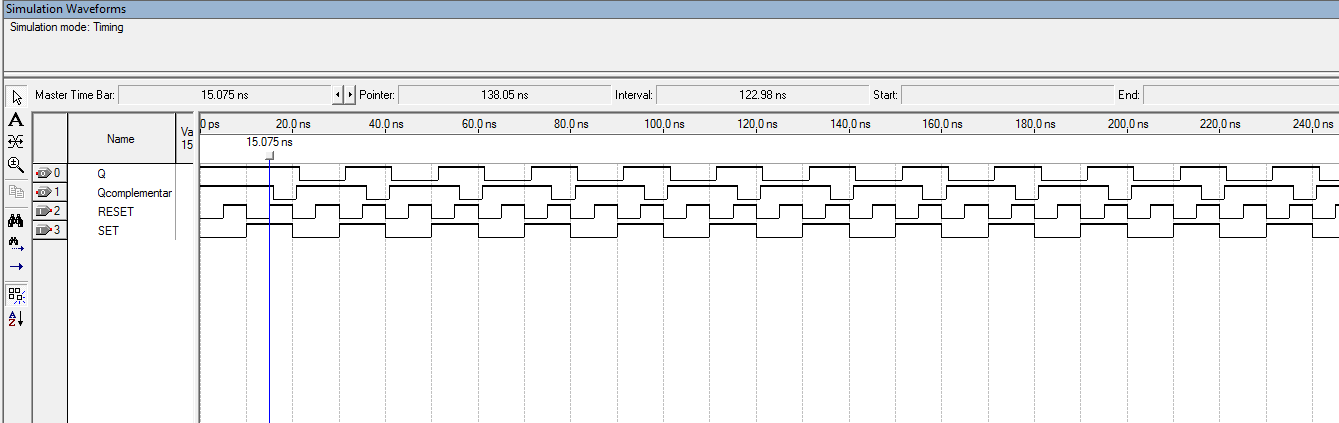
**Figura 13 - Latch com portas NAND (Retirado de INF-UFSC)**

No caso deste circuito, o Set (S) e o Reset (R) são ativados em nível lógico baixo, pois o circuito foi montado com *gates* NAND, caso fossem *gates* NOR, o contrário aconteceria.

### Simulação

Na simulação foram implementadas portas lógicas NAND, tendo DPattern’s como inputs e as ponteiras digitais para obtenção dos sinais de saída, como pode ser visto na figura a seguir.

**Figura 14 - Circuito 1 simulado no ISIS Proteus**

Quanto ao diagrama de tempos do Quartus II apresenta-se a seguir:

**Figura 15 - Diagrama de tempos do circuito 1 – Quartus II**

Como pode ser visto nas imagens anteriores, comprovou-se na simulação o que foi estudado e avaliado a respeito do funcionamento deste circuito, tendo a tabela verdade da simulação:

|  |  |  |  |
| --- | --- | --- | --- |
| Instantes | Set\* (A) | Reset\* (B) | Saídas |
| Instante 1 | 0 | 0 | Q = 1 e Q\* = 1 - Inválido |
| Instante 2 | 0 | 1 | Q = 1 e Q\* = 0 |
| Instante 3 | 1 | 0 | Q = 0 e Q\* = 1 |
| Instante 4 | 1 | 1 | Q = 0 e Q\* = 1 - Não varia |

**Tabela 1 - Circuito 1 simulado**

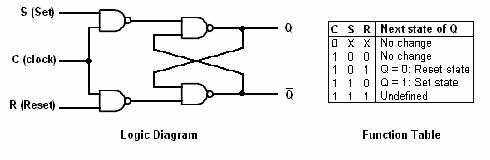
### Montagem prática

Na montagem prática deste primeiro circuito, os resultados obtidos foram os mesmos dos teóricos esperados. Não houve problema de conexão ou falha de CI’s, sendo necessário apenas a aplicação de um estado anterior à saída Q, ligando-se o GND no output. Após isto o sistema operou normalmente.

## Circuito 2

O segundo circuito revela-se maior em termos de conexões e componentes quando comparado ao anterior, porém ainda sendo de pouca complexidade e de fácil entendimento.

Neste, utilizam-se 4 portas NAND e um clock para as alternâncias de estados quando ativo, sendo a conexão de um único para a sincronização entre os *gates*. O circuito montado é o da Figura 17.

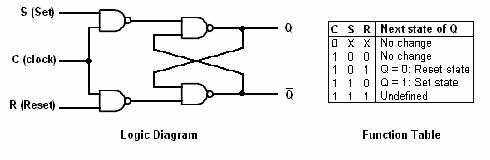


**Figura 16 - Latch Set-Clear comandado por clock (Retirado de CODEPROJECT)**

Um dos fatos que diferem este circuito do anterior é o Set e o Reset passarem a ser ativados em nível lógico alto. Com isso, os dados obtidos passam a ser o inverso do prévio; o estado inválido, por exemplo, ocorria quando se tinha 0 em ambas as entradas, agora este mesmo estado aparece quando temos nível lógico alto nos mesmos.

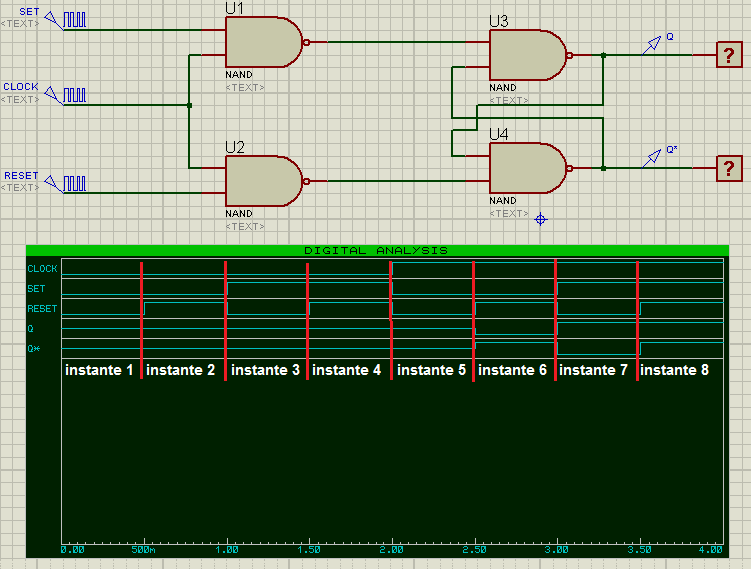
Porém, a principal diferença desse circuito em relação ao anterior é a presença do clock, sendo ele a permissão de mudanças nas saídas Q e Q\*. Observando-se que foi explanado somente ocorrerá quando o clock estiver em nível lógico alto, caso esteja em 0, o circuito guardará a informação anterior (o bit de memória), independentemente do S ou R.

A tabela abaixo resume o que foi dito a respeito do funcionamento deste circuito:



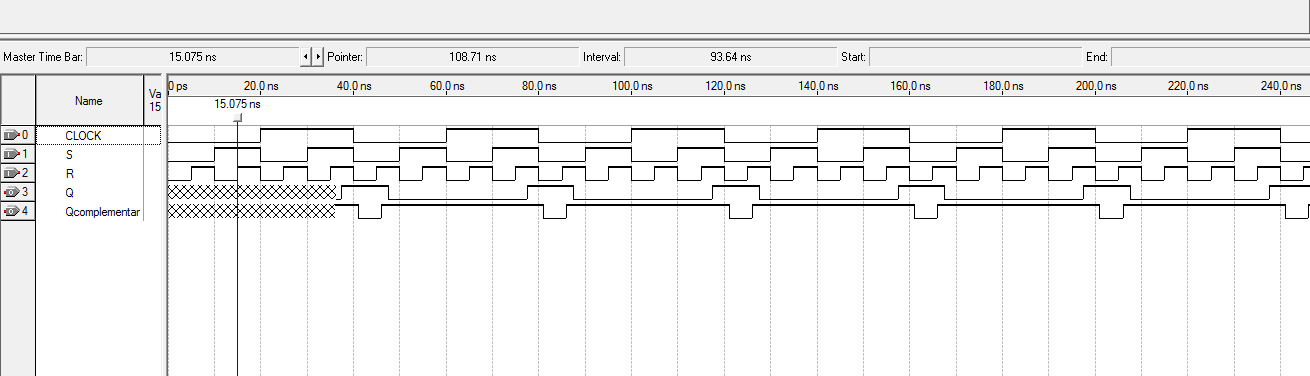
**Tabela 2 - Tabela verdade teórica para o circuito 2 (Retirado de CODEPROJECT)**

### Simulação

A simulação novamente ocorreu sem erros. Percebe-se do instante 1 ao 4, quando o clock é 0, que não houve mudança alguma nas saídas, independentemente do que havia no Set ou Reset (este é o chamado estado “*Don’t Care*” - DC). A partir do instante 5, quando o clock passa a ser 1, os inputs, então, passam a ter relevância, interferindo nas saídas Q e Q\*.

**Figura 17 - Circuito 2 simulado no ISIS Proteus**

Quanto ao Quartus II também não apresentaram-se problemas. A Figura 18 demonstra a semelhança entre os diagramas.



**Figura 18 - Diagrama de tempos do circuito 2 - Quartus II**

### Montagem prática

Assim como a atividade anterior, esta necessitou da aplicação de um nível anterior nas saídas para o sistema sair do estado indefinido (alta impedância) e entendê-lo como um nível lógico para realizar a realimentação.

Nenhum problema significativo apresentou-se neste exercício. Os resultados foram os mesmos dos simulados.

## Circuito 3

Diferentemente dos dois circuitos anteriores, esse se trata de um flip-flop, também montado com portas lógicas NAND, como representado na figura abaixo.

****

**Figura 19 - Diagrama esquemático do circuito 3**

Este terceiro e último circuito mostrou-se como o mais problemático. Foram encontradas dificuldades na montagem, mal contato nas conexões, a necessidade (assim como previsto e já exercida) de aplicação de um nível lógico prévio nas saídas, agora na simulação, de mesmo modo, como se pode observar na Figura 19 a ponteira Power representado analogicamente +5V e digitalmente nível lógico alto.

### Simulação

### Montagem prática

# Comparações de resultados

# Conclusão

# Referência Imagética

FACULTY, SEQUENTIAL CIRCUITS. Disponível em: <http://faculty.kfupm.edu.sa/COE/ashraf/RichFilesTeaching/COE022_200/Chapter4_1.htm>. Acesso em 24 ago. 2014.

TAYLOREDGE. Disponível em: <http://www.tayloredge.com/reference/Packages/pinouts/>. Acesso em 24 ago. 2014.

CEE-UFRJ. LATCHES E FLIP-FLOPS. Disponível em: <http://www.dcc.ufrj.br/~gabriel/circlog/FlipFlop.pdf>. Acesso em 26 ago. 2014.

FLIP-FLOPS E FUNÇÕES LÒGICAS EM CIRCUITOS INTEGRADOS. BRAGA, Newton C. Disponível em: <http://www.newtoncbraga.com.br/index.php/eletronica-digital/96-licao-7-os-flip-flops-e-funcoes-logicas-em-circuitos-integrados>. Acesso em 24 ago. 2014.

ELETRÔNICA DIGITAL XI-20. Disponível em: <http://www.mspc.eng.br/eledig/eldg1120.shtml>. Acesso em 27 ago. 2014.

CIRCUITOS SEQUENCIAIS. INF-UFSC. Disponível em: <http://www.inf.ufsc.br/ine5365/circseq.html>. Acesso em 27 ago. 2014.

LATCHS E FLIP-FLOPS. OneDrive. Disponível em: <https://onedrive.live.com/view.aspx?cid=A1F9444BE5525823&resid=A1F9444BE5525823%21160&app=WordPdf&authkey=%21APJsM-U08q8D8vw>. Acesso em 27 ago. 2014

CODEPROJECT. Disponível em: <http://www.codeproject.com/Articles/24577/Circuit-Engine>. Acesso em 27 ago. 2014.

DIGITALE – FLIP FLOP MASTER-SLAVE. ELEMANIA. Disponível em: <http://www.elemania.altervista.org/digitale/ff/ff9.html>. Acesso em 27 ago. 2014.