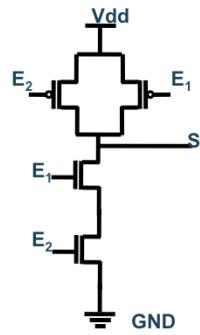
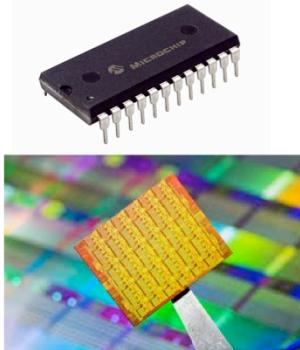




# Introdução à Microeletrônica

## Sistemas Digitais

### Aula 1





## Avaliação

### ■ Docente

- ▶ Prof. Héctor Pettenghi

### ■ Avaliação

- ▶ A nota final desta terceira parte da disciplina é determinada pela nota da prova a ser realizada na ultima aula (70%) e a nota dum projeto em VHDL (30%).
- ▶ Serão feitos exercícios nas aulas de teoria para subir a nota da prova.
- ▶ A nota final da disciplina será dada pela fórmula:  
$$\text{media}(\text{parte1}+\text{parte2}+\text{parte3})$$

### ■ Dúvidas

- ▶ Enviar e-mail ao professor [hector@eel.ufsc.br](mailto:hector@eel.ufsc.br) para marcar um horario.



## Bibliografia

### Principal:

- 1. David M. Harris, Sarah L. Harris, Digital Design and Computer Architecture. Second edition. Waltham, MA, USA: Morgan Kaufmann Publishers, 2013. ISBN 978-0-12-394424-5. Disponível em <https://www.sciencedirect.com/book/9780123944245/digital-design-and-computer-architecture>.
- 2. Eduardo Bezerra, Djones Lettnin. Synthesizable VHDL Design for FPGAs, 2014. Springer. Disponível no biblioteca da UFSC.

### Secundario:

- 1. Notas de aula (slides), apostilas e material de apoio da internet (links de acesso livre).
- 2. Guilherme Arroz, José Monteiro, Arlindo Oliveira, Introdução aos Sistemas Digitais e Microprocessadores, IST Lisboa.
- 3. Frank Vahid, "Sistemas Digitais: projeto, otimização e HDLs", 1<sup>a</sup> ed., Porto Alegre:Bookman, 2008.ISBN:978-85-7780-190-9.
- 4. Tocci, Ronald; Widmer, Neal; Moss, Gregory. Sistemas Digitais: Princípios e aplicações. Pearson, 2011. 3. Katz, Randy H., Contemporary Logic Design, 2nd ed., Prentice Hall, 2005.



## Plano e bibliografia

Parte 3:

Dia	Segunda 08:20h	Segunda 10:10h
5 Outubro	Aula 1: Introdução, portas lógicas em CMOS	Aula 2: Álgebra de Boole
19 Outubro	Aula 3: Circuitos combinatorios	Intro VHDL e apresentação projeto
26 Outubro	Aula 4: Latches, Flip-Flops, registradores, contadores.	Aula 5: Máquinas de estado
9 Novembro	Laboratório 2 VHDL	Laboratório 3 VHDL
16 Novembro	Entrega projeto VHDL e revisão problemas	Prova Final

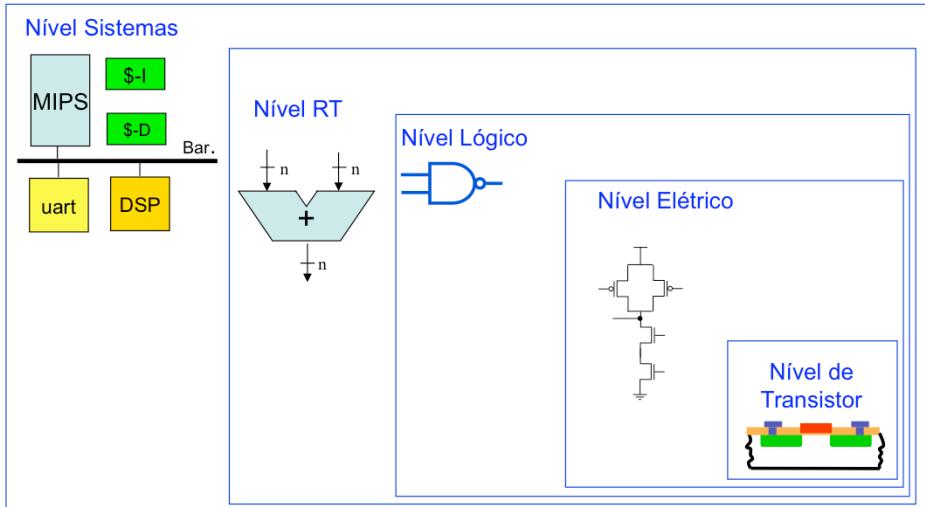
■ **Plano de aula 1:**

- ▶ Introdução.
- ▶ Transistores MOS.
- ▶ CMOS.
- ▶ Elementos de tecnologia.
- ▶ Lógica tri-state

Nesta aula veremos o assunto introdutório com portas lógicas em CMOS.



## Níveis de Abstração



© D. Lettnin

Prof. Héctor Pettenghi

Introdução à Microeletrônica

5

A prática de design estruturado usa os princípios de hierarquia, modularidade e localidade para gerenciar a complexidade de um projeto.

A abstração remove detalhes de implementação desnecessários sobre um componente no sistema para que um projetista possa se concentrar nos aspectos que são importantes para o problema que está sendo resolvido.

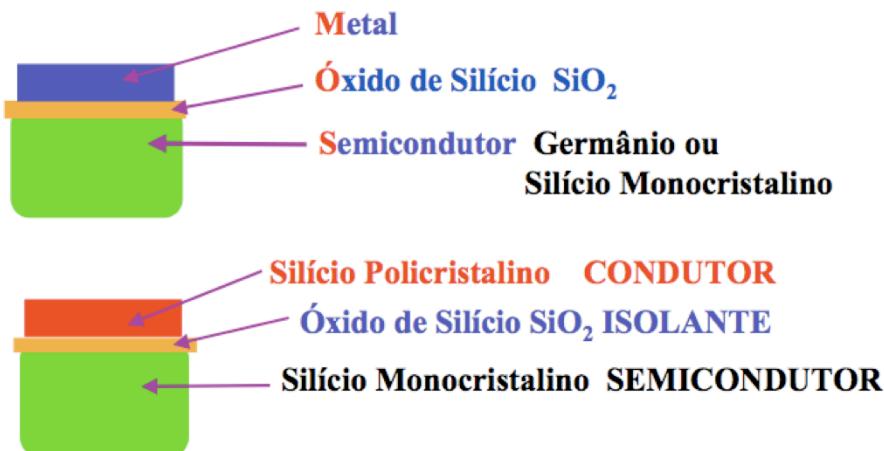
Por exemplo, quando escrevemos um programa de computador para adicionar duas variáveis e armazenar o resultado em uma terceira variável, nos concentramos nas construções da linguagem de programação usadas tanto para declarar as variáveis quanto descrever a operação de adição. Mas quando o programa é executado, o que realmente acontece é que uma carga elétrica é movida por transistores e armazenada em camadas capacitivas, com o objetivo de representar os bits de dados e sinais de controle necessários para realizar a adição e armazenamento do resultado.

Seria difícil escrever programas se tivéssemos que descrever diretamente o baixo nível de eletricidade em bits individuais. Em vez disso, operações são gerenciadas por várias camadas de abstrações, que transformam o programa em uma série de representações mais detalhadas e que eventualmente controlam o fluxo de cargas elétricas que implementam a computação.



## Transistores MOS

### ► Estrutura MOS



©Reis99

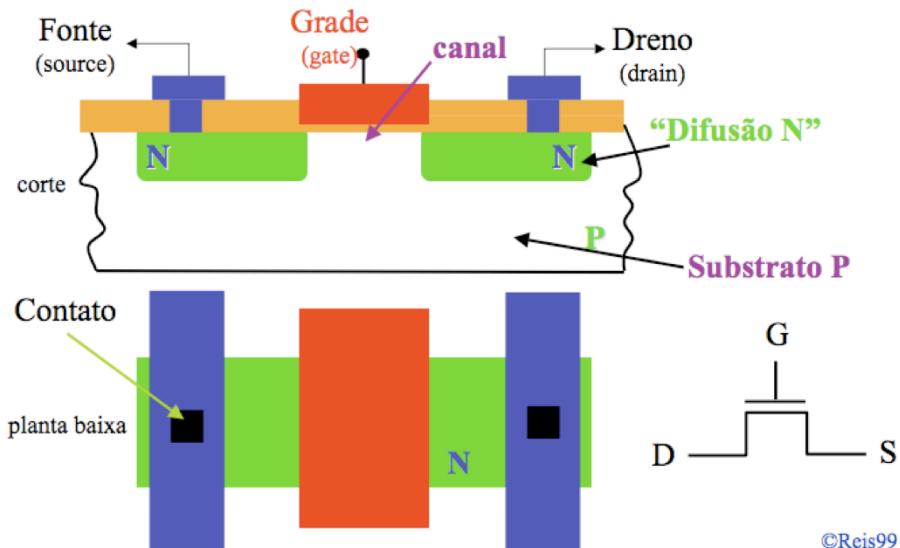
Os transistores são elementos básicos em sistemas digitais.

Cada transistor consiste em grade (gate) condutora, uma camada isolante de óxido de silício ( $\text{SiO}_2$ ) e a pastilha de silício, que também pode ser chamada de substrato, corpo ou volume. Os gates dos primeiros transistores eram construídos de metal, assim dando o nome da estrutura de metaloxide-semiconductor, ou MOS. Desde os anos 1970, o gate passou a ser formado a partir de silício policristalino (polissilício), entretanto o nome permaneceu.

O silício é um elemento que forma ligações covalentes com quatro átomos adjacentes. Como todos os seus elétrons de valência estão envolvidos em ligações químicas, o silício puro é um mau condutor. Entretanto sua condutividade pode ser aumentada pela introdução de pequenas quantidades de impurezas, chamadas dopantes, na rede de silício.



## Transistores MOS



©Reis99

Prof. Héctor Pettenghi

Introdução à Microeletrônica

7

Um dopante como o arsênico, por exemplo, tem cinco elétrons de valência. Ele substitui um átomo de silício na rede de ligações químicas e ainda se liga a quatro vizinhos, de modo que o quinto elétron de valência fica fracamente ligado ao átomo de arsênio. A vibração térmica da rede química, à temperatura ambiente, é suficiente para fazer com que o elétron com ligação fraca fique livre para se mover, criando então um íon As<sup>+</sup> carregado positivamente.

Com isso chamamos este tipo de semicondutor de tipo n (nMOS), uma vez que os portadores livres, os quais irão realizar a condução de cargas, são elétrons livres carregados negativamente.

Um transistor nMOS é construído com um corpo do tipo p, possuindo regiões de semicondutor do tipo n adjacentes ao gate, denominadas fonte e dreno.

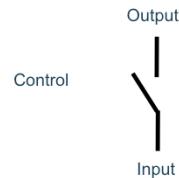
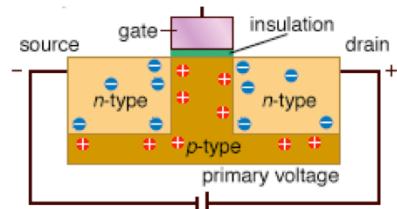
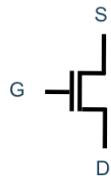
Um transistor pMOS é exatamente o oposto.



## Transistores MOS

### Transistor NMOS como Switch

Logic 0 = 0 Volts



© D. Lettnin

Prof. Héctor Pettenghi

Introdução à Microeletrônica

8

A figura demonstra um transistor nMOS com a função de chave.

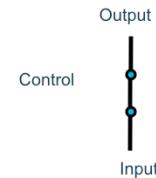
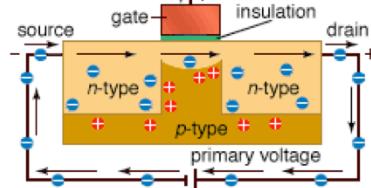
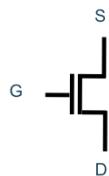
Um nível lógico igual a 0 (também equivalente à uma tensão de zero Volts) faria com que não fosse possível a condução de cargas pelos dois terminais do transistor, portanto configurando uma chave “aberta”.



## Transistores MOS

### Transistor NMOS como Switch

Logic 1 = 3.3, 1.5, 1.1 Volts



© D. Lettnin

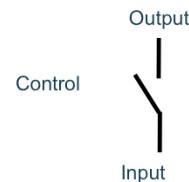
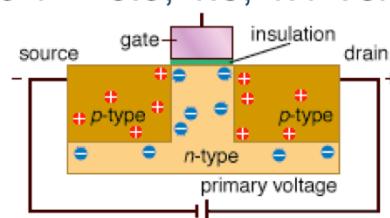
Já com o nível lógico igual a 1 (tensões equivalentes à 3.3, 1.5 ou 1.1, dependendo do sistema) configurariam uma chave “fechada”, permitindo condução de cargas elétricas.



## Transistores MOS

### Transistor PMOS como Switch

Logic 1 = 3.3, 1.5, 1.1 Volts



© D. Lettnin

Para o Transistor pMOS temos exatamente o contrário.

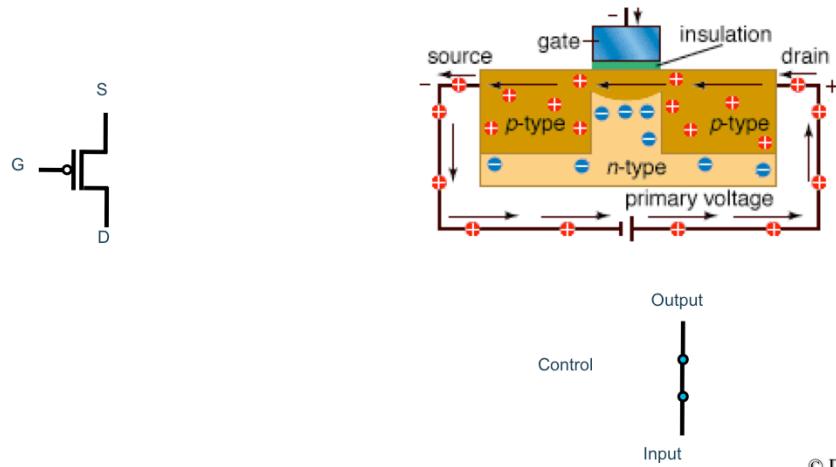
Com nível lógico igual a 1, presente no Gate, irá configurar uma chave “aberta”.



## Transistores MOS

### Transistor PMOS como Switch

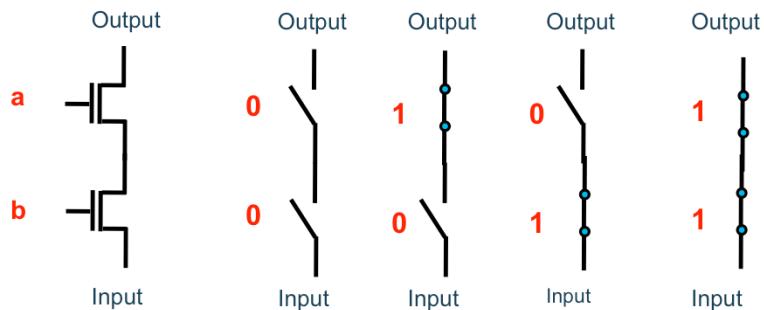
Logic 0 = 0 Volts



Enquanto o nível lógico 0, presente no Gate, irá configurar uma chave “fechada”.



## Transistor NMOS: Serie



- Output == Input ?
  - Iff\* a == 1 AND b == 1      \*If and only if

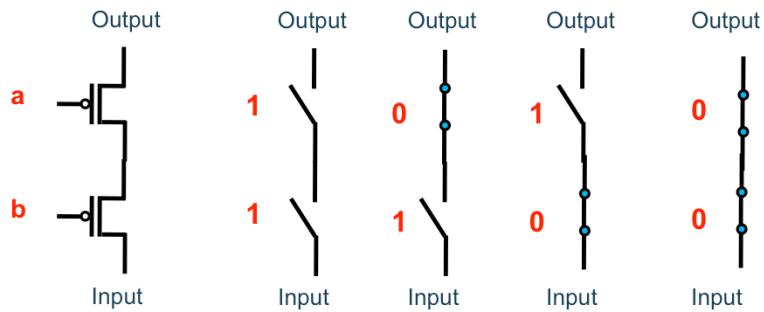
© D. Lettnin

Agora podemos descrever funções lógicas.

A função lógica AND pode ser representada por transistores em Série. Para transistores nMOS teremos a saída dos circuitos, apresentados acima, igual a suas entradas, se (e somente se) ambos sinais a e b forem iguais a 1.



### Transistor PMOS: Serie



■ Input == Output?

■ Iff \* a == 0 AND b == 0

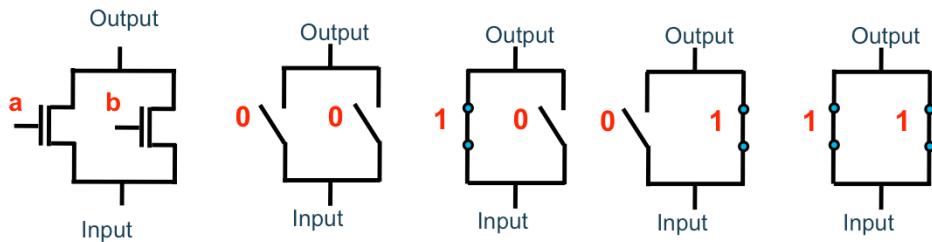
\*If and only if

© D. Lettnin

Já para o transistor tipo pMOS teremos o oposto. Saídas iguais as entradas caso a e b forem iguais a zero.



## Transistor NMOS: Paralelo



- Input == Output ?
  - Iff\*  $a == 1 \text{ OR } b == 1$

\*If and only if

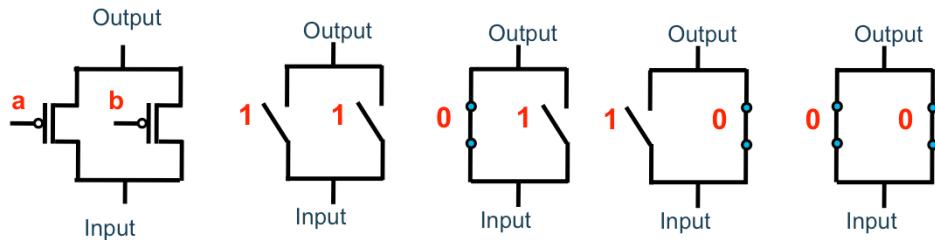
© D. Lettnin

Para a função lógica “OR”, utiliza-se a configuração paralelo.

Para transistores nMOS, a entrada será igual à saída caso um dos sinais de controle for igual a 1.



### Transistor PMOS: Paralelo



- Input == Output ?
  - Iff \*  $a == 0 \text{ OR } b == 0$

\*If and only if

© D. Lettnin

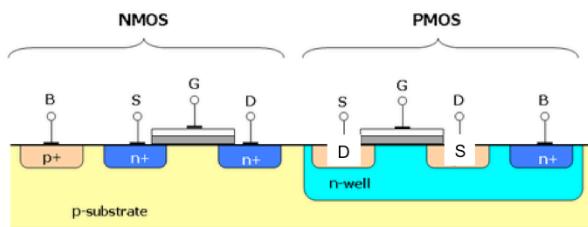
Já para transistores pMOS, a entrada será igual à saída caso um dos sinais de controle for igual a 0.



- CMOS - *complementary metal-oxide-semiconductor*

- Vantagens:

- ▶ Muito baixo consumo de energia estática (baixa dissipação de calor)
- ▶ Possibilidade de integração de alta densidade



© J. Güntzel – Adapted by D. Lettnin

Prof. Héctor Pettenghi

Introdução à Microeletrônica

16

Como visto, o comportamento do modelo de transistor MOS depende do tipo de transistor. A tecnologia CMOS emprega dois tipos de transistor: de canal n e de canal p.

Para alto desempenho, realizar o projeto de nível de circuito eletrônico utilizando a tecnologia CMOS é importante, uma vez que, proporcionam uma topologia de baixo consumo e de possibilidade de alta integração.

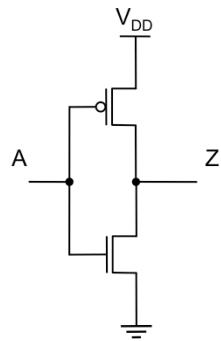
Bulk and source voltage must be the same in order to mantain the  $V_t$



## ■ O inverter CMOS

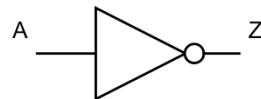
### Nível Elétrico

#### Esquema de transistores



### Nível Lógico

#### Esquema lógico



#### Tabela de verdade

A	Z
0	1
1	0

© J. Güntzel – Adapted by D. Lettnin

O slide mostra o esquema e o símbolo para um inverter CMOS ou porta NOT, usando um transistor nMOS e um transistor pMOS.

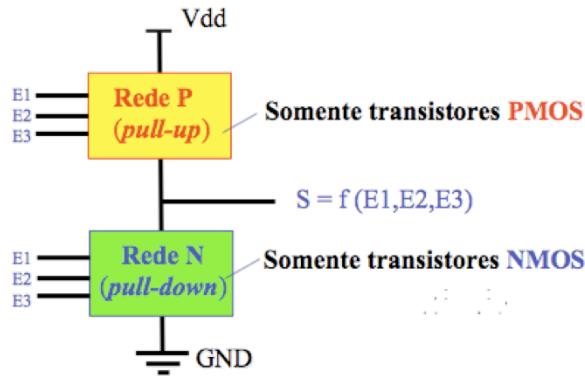
Na representação de nível elétrico, a barra na parte superior indica VDD e os três traços paralelos, na parte inferior, indicam GND. Quando a entrada A é 0, o transistor nMOS está desligado e o transistor pMOS está ligado. Assim, a saída Z será igual a 1, uma vez que estará conectada ao VDD e não ao GND.

Por outro lado, quando A é 1, o nMOS estará LIGADO enquanto o pMOS estará DESLIGADO e Z será trazido ao nível lógico '0'.

A tabela da verdade resume este funcionamento.



## Portas Lógicas CMOS



As redes *pull-up* e *pull-down* são duais.

© J. Güntzel – Adapted by D. Lettnin

Prof. Héctor Pettenghi

Introdução à Microeletrônica

18

Portas lógicas CMOS estáticas, também chamadas de portas CMOS complementares. Em geral, uma porta CMOS estática tem uma rede pull-down nMOS para conectar a saída a 0 (GND) e uma rede pull-up pMOS para conectar a saída a 1.

As redes são organizadas de forma que uma esteja ligada e a outra desligada para qualquer padrão de entrada. Com essas redes é possível a confecção de diversos tipos de portas lógicas.



### Como obter o esquemático a partir da equação

- **Se a equação não for negada, imagine-a negada.** No final, será necessário colocar um inversor na saída
- **Tome a equação sem a negação e construa a rede N**
  - Operação E equivale a série
  - Operação OU equivale a paralelo
- **Construa a rede P, fazendo o dual da rede N, ou seja:**
  - Tudo que está em série na rede N aparecerá em paralelo na rede P
  - Tudo que está em paralelo na rede N aparecerá em série na rede P

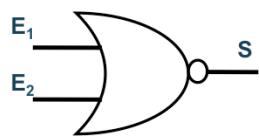
© J. Güntzel – Adapted by D. Lettnin

Em resumo temos que:



## Porta NOR CMOS

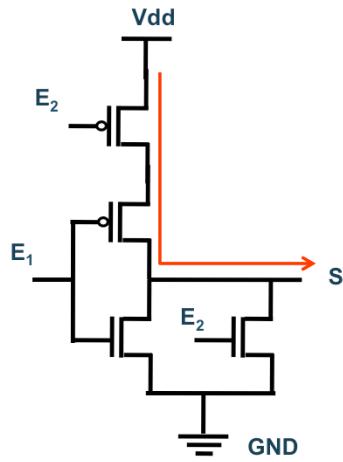
Símbolo lógico



Esquema elétrico

Tabela verdade

E <sub>1</sub>	E <sub>2</sub>	S
0	0	1
0	1	0
1	0	0
1	1	0



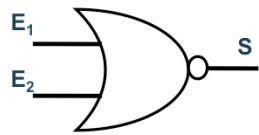
© J. Güntzel – Adapted by D. Lettnin

Demonstração da porta NOR CMOS (Saída = 1)



## Porta NOR CMOS

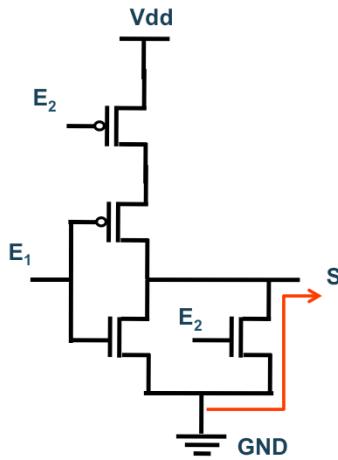
Símbolo lógico



Esquema elétrico

Tabela verdade

E <sub>1</sub>	E <sub>2</sub>	S
0	0	1
0	1	0
1	0	0
1	1	0



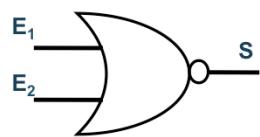
© J. Güntzel – Adapted by D. Lettnin

Demonstração da porta NOR CMOS (Saída = 0)



## Porta NOR CMOS

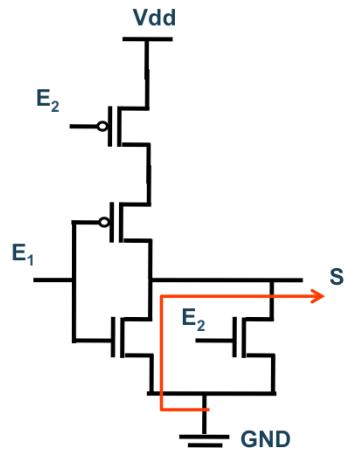
Símbolo lógico



Esquema elétrico

Tabela verdade

E <sub>1</sub>	E <sub>2</sub>	S
0	0	1
0	1	0
1	0	0
1	1	0



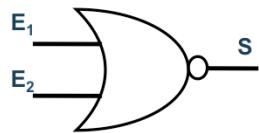
© J. Güntzel – Adapted by D. Lettnin

Demonstração da porta NOR CMOS (Saida = 0)



## Porta NOR CMOS

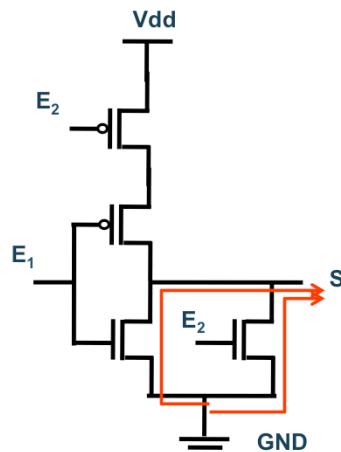
Símbolo lógico



Esquema elétrico

Tabela verdade

E <sub>1</sub>	E <sub>2</sub>	S
0	0	1
0	1	0
1	0	0
1	1	0



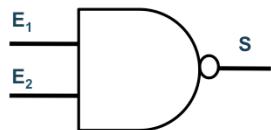
© J. Güntzel – Adapted by D. Lettnin

Demonstração da porta NOR CMOS (Saída = 0)



## Porta NAND CMOS

Símbolo lógico



Esquema elétrico

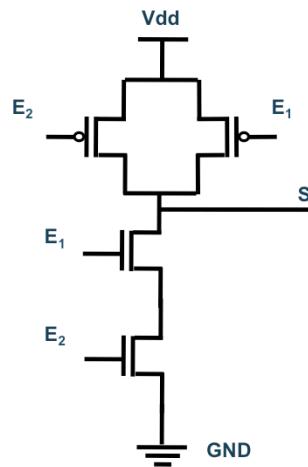


Tabela verdade

E <sub>1</sub>	E <sub>2</sub>	S
0	0	1
0	1	1
1	0	1
1	1	0

© J. Güntzel – Adapted by D. Lettnin

Demonstração da porta NAND CMOS.

Observar a tabela da verdade e associá-los aos fluxos de corrente para cada caso, de forma similar ao exemplo anterior.



## NAND de 3 Entradas

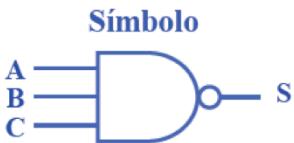
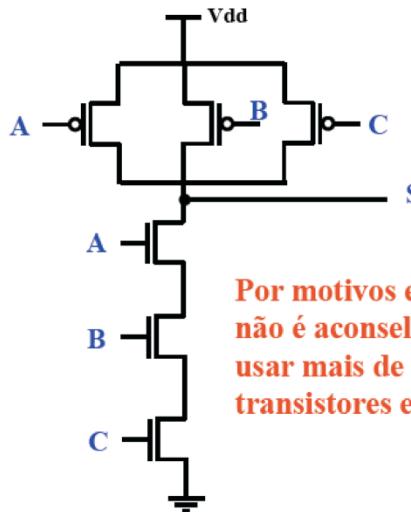


Tabela-Verdade

A	B	C	S
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Esquemático de Transistores



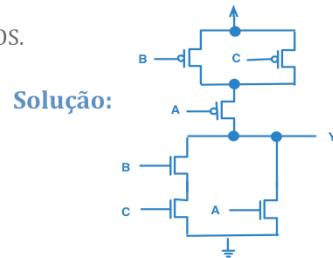
Por motivos elétricos,  
não é aconselhável se  
usar mais de 4  
transistores em série

© J. Güntzel – Adapted by D. Lettnin

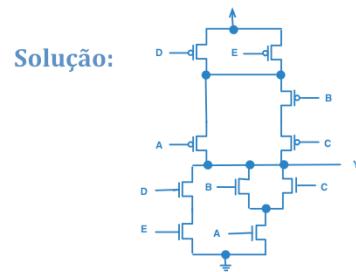
Porta NAND de 3 entradas

# PROBLEMAS

**Problema 1.1.** Implemente a equação  $Y = \overline{A + B.C}$  em CMOS.



**Problema 1.2.** Implemente a equação  $Y = \overline{A.(B+C) + D.E}$  em CMOS.

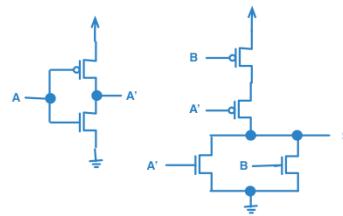


# PROBLEMAS

**Problema 1.3.** Implemente o sistema digital da figura usando CMOS.

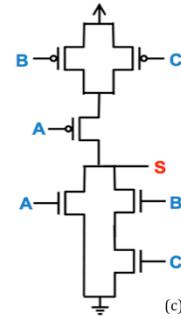
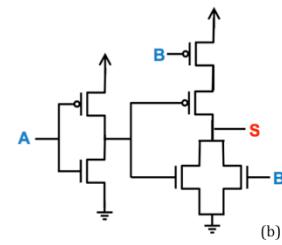
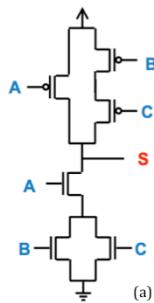


**Solução:**



## PROBLEMAS

**Problema 1.4.** Qual função lógica descreve o funcionamento dos circuitos abaixo



**Solução:**

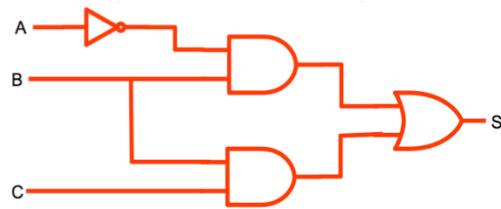
a)  $S = \overline{A(B + C)}$

b)  $S = \overline{(\overline{A} + B)}$

c)  $S = \overline{A + (B.C)}$

## PROBLEMAS

**Problema 1.5.** Qual o número de transistores necessários para construir o circuito lógico apresentado abaixo em tecnologia CMOS? Considere que cada uma das portas lógicas de tal circuito será implementada de forma independente.

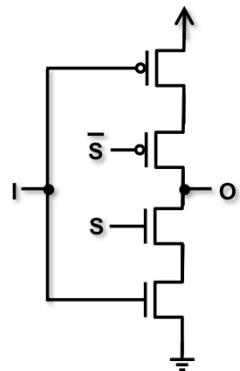


**Solução:** 2 transistores da porta NOT,  $2 \times 6$  das portas AND e 6 da porta OR, em total 18 transistores



## Lógica Tri-State

- Qual tabela verdade descreve o funcionamento do circuito abaixo?

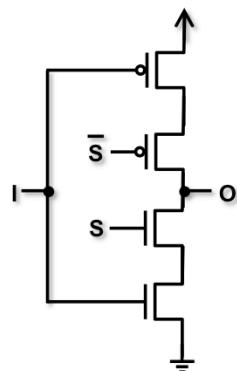


Vejamos este circuito.



## Lógica Tri-State

- Qual tabela verdade descreve o funcionamento do circuito abaixo?



s	i	o
0	0	z
0	1	z
1	0	1
1	1	0

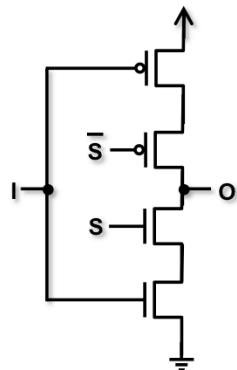
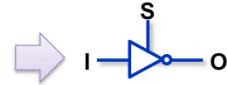
Sua tabela da verdade.



## Lógica Tri-State

- Qual tabela verdade descreve o funcionamento do circuito abaixo?

► Trata-se de um **inversor tri-state**



S	I	O
0	0	Z
0	1	Z
1	0	1
1	1	0

Z = **alta impedância**  
**(terceiro estado)**  
- Não força saída para 0 nem para 1.  
- Espécie de desconexão da saída.

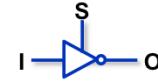
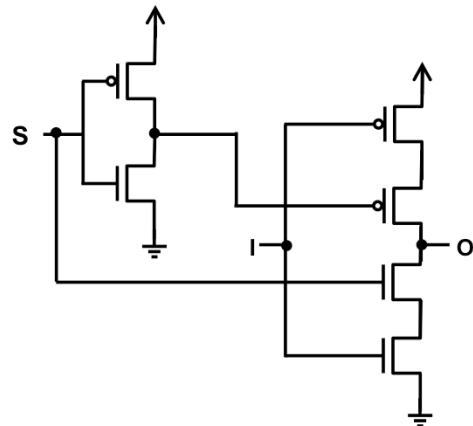
**Lógica tristate (ou three-state):**  
3 estados: 0, 1 e Z.

Resposta.



## Lógica Tri-State

- Circuito completo do **inversor tri-state**:



s	I	o
0	0	z
0	1	z
1	0	1
1	1	0

s	o
0	z
1	1

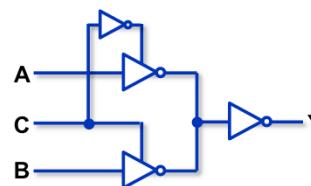
Este tipo de circuito é muito usado em multiplexadores.



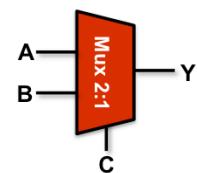
## Lógica Tri-State

### ■ Multiplexador 2:1

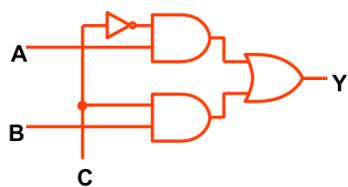
- ▶ Usando lógica tri-state:



C	Y
0	A
1	B



- ▶ Forma convencional:



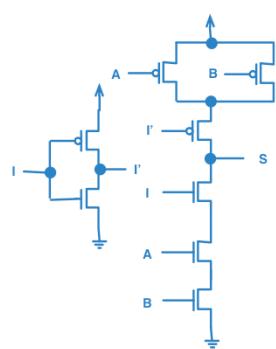
Temos estas representações para o circuito indicado.

## PROBLEMAS

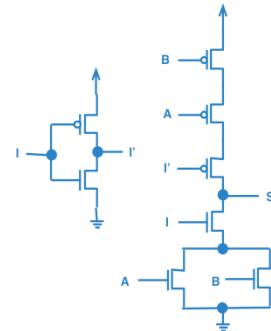
**Problema 1.9.** Obtenha as portas NAND e NOR de duas entradas em tecnologia *tri-state*.

**Solução:**

Porta NAND



Porta NOR

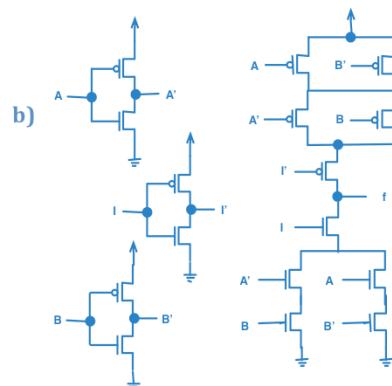
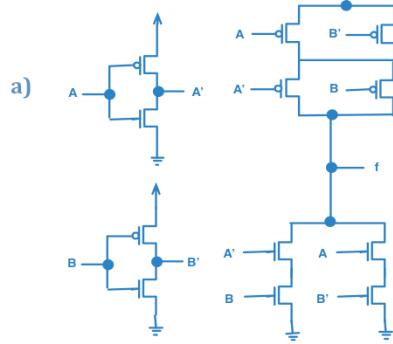


# PROBLEMAS

Problema 1.10. (Prova 2019.1) Usando tecnologia CMOS:

- Implemente a equação  $f(A,B)=A \oplus B$ , usando 12 transistores (6 NMOS e 6 PMOS);
- Implemente a equação  $f(A,B)=A \oplus B$ , com entrada adicional *tri-state*.

Solução:





## Agradecimentos

Algumas páginas desta apresentação resultam da compilação de várias contribuições produzidas pelos professores:

- ▶ Guilherme Arroz, Horácio Neto, Nuno Horta, Nuno Roma, Pedro Tomás do IST Lisboa.
- ▶ D. Lettnin, J. Güntzel de UFSC Florianópolis,
- ▶ J. Rabaey and N. Weste.