

UNIVERSIDADE FEDERAL DE SANTA CATARINA - UFSC
CENTRO TECNOLÓGICO - CTC
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E ELETRÔNICA – EEL
EEL7120 – INTRODUÇÃO À MICROELETRÔNICA

TRABALHO FINAL

GUSTAVO SIMAS DA SILVA

FLORIANÓPOLIS
OUTUBRO, 2020

PARTE A – TEÓRICA

Questão 1) Compare as etapas de projeto, aplicações e densidade de integração de circuitos integrados digitais e analógicos. Destaque as vantagens e desvantagens de cada tipo de implementação.

Atualmente o projeto de circuitos integrados (CI's) é dividido em diferentes etapas conforme listado e especificado a seguir:

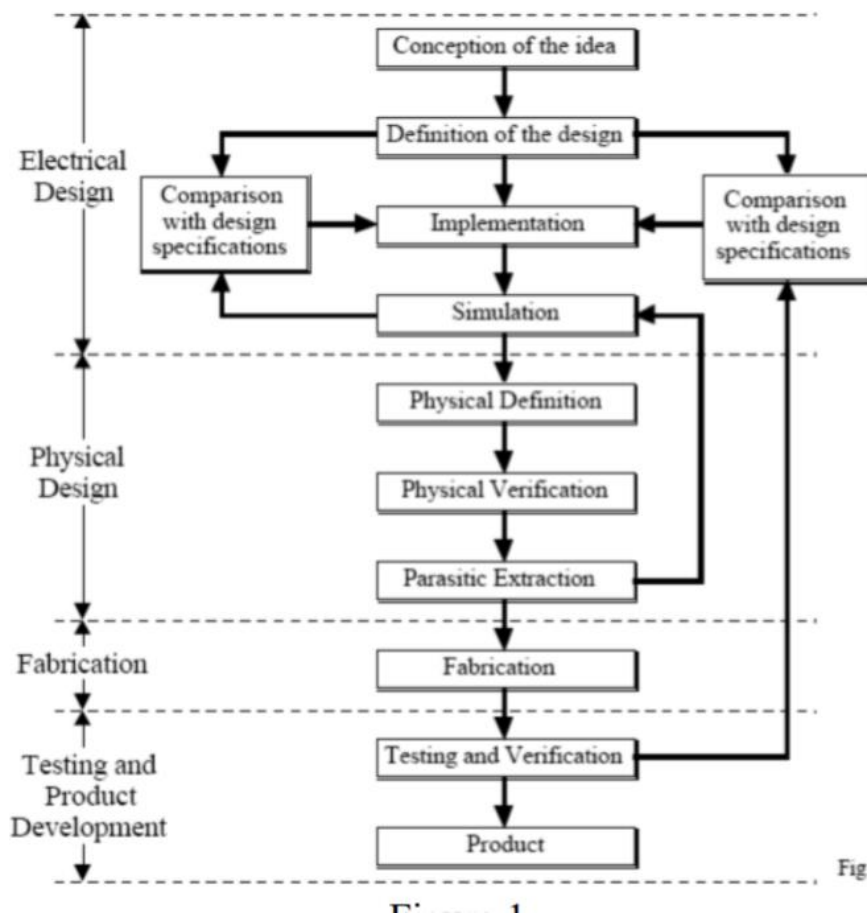
- Especificação do sistema: primeira etapa, onde se há uma visão geral do sistema a ser desenvolvido, com especificações do comportamento do sistema usando descrições algorítmicas em SystemVerilog, por exemplo [4]. Pode-se haver a simulação em alto nível do sistema completo. Há, de mesmo modo, a determinação de valores/especificações a serem atingidos como área total ocupada pelo dispositivo, tensão de operação, distorção total harmônica, tolerâncias, entre outros requisitos;
- Projeto de Arquitetura: desenvolvimento de entidades/macro-blocos envolvidos no dispositivo, a qual será melhor definida na síntese; design podendo ser de forma textual, gráfica ou representação de software da implementação inicial da especificação [5]. Nesta etapa se analisa quais partes do sistema serão implementadas em hardware e software;
- Projeto Lógico Funcional: estágio de projeto das funções lógicas do sistema, com descrição do hardware em nível RT (Register-Transfer), podendo ser automatizado por ferramentas EDA (Electronic Design Automation) ou criados manualmente por engenheiros de projetos experientes e qualificados;
- Projeto dos Circuitos: etapa com geração da descrição física para a fabricação do chip, envolvendo projeção de design, uso de bibliotecas de célula (leiautes) para portas-lógicas e flip-flops que integram o dispositivo;
- Verificação: onde há o processo de verificação de seguimento das regras de projeto com análise DRC (Design Rules Checker), LVS (Layout vs. Schematic) e ERC (Electrical Rule Checker). Tal etapa possui a utilidade de garantir que o layout gerado irá produzir um chip funcional;
- Fabricação: envolvendo todo o processo de produção/fabricação dos dispositivos em foundries, com processo de Czochralski, litografia, etc.
- Encapsulamento: etapa de aplicação do chip em cápsula apropriada para disponibilização e comercialização;
- Chip: produto final.

Salienta-se que muitas destas etapas envolvem automatizações (EDA) no processo, contudo, ferramentas automatizadas não projetam totalmente circuitos integrados (ao menos não na atualidade), de maneira tal que é necessária a prática e experiência de projetistas qualificados que saibam lidar com diversas hierarquias e níveis de abstração, seja em nível Funcional (com domínio de linguagens e ferramentas tais quais Verilog, VHDL, Simulink), Elétrico (tecnologias SPICE) e Físico (simuladores físicos) [6]. Assim, engenheiros projetistas acrescentam no trabalho o conhecimento em modelagem, simplificação de processos e multidisciplinaridade, enquanto ferramentas computacionais são mais apropriadas para trabalho iterativos e exaustivos, de alta velocidade e alta precisão, exigindo, no entanto, uma base de dados ampla para bons resultados.

Observa-se também que a cada síntese envolvida nas etapas de projeto, é relevante a realização de análises para verificação dos resultados parciais, promovendo nas etapas de projeto uma realimentação importante, com loops/ciclos de projeto definidos, para um produto final de qualidade.

Em projetos analógicos a complexidade é elevada consideravelmente, sendo necessários conhecimentos em física, eletrônica, teoria da informação, sistemas de controle, processamento de sinais e comunicação [6].

Questão 2) Descreva sucintamente o fluxograma de etapas de projeto de um circuito integrado mostrado na figura abaixo.



Conforme descrito na questão anterior, o projeto de circuitos integrados envolve diferentes etapas que exigem conhecimentos em física, eletrônica, teoria da informação, entre outras amplas áreas de pesquisa. No caso, o início do projeto, sendo iniciado pelo design Elétrico, temos a concepção da ideia final desejada, com especificações do projeto, simulações de alto nível do sistema. No Design Físico há a avaliação de planejamento topológico, posicionamento global e detalhado, tentativas de otimização de potência e atraso, roteamento, extração de possíveis pontos problemáticos, como indutâncias/capacitâncias parasitas e aspectos relacionados à simulação e verificação eletromagnética, termo e fluidodinâmica. Com isto, há a possibilidade de avançar a etapa, se os resultados estiverem dentro dos limites aceitáveis, caso contrário, se realiza o redesign. Após isto há a etapa de fabricação teste e verificação funcional do dispositivo encapsulado. De mesma forma há uma condicional de verificação de qualidade, o que insere um loop no fluxograma de projeto. Com boa performance nas etapas anteriores, o produto é disponibilizado para venda e uso.

Questão 3) Descreva a definição de *mismatching*, quais os seus efeitos e quais as técnicas utilizadas para diminuir seu impacto no desempenho de circuitos integrados.

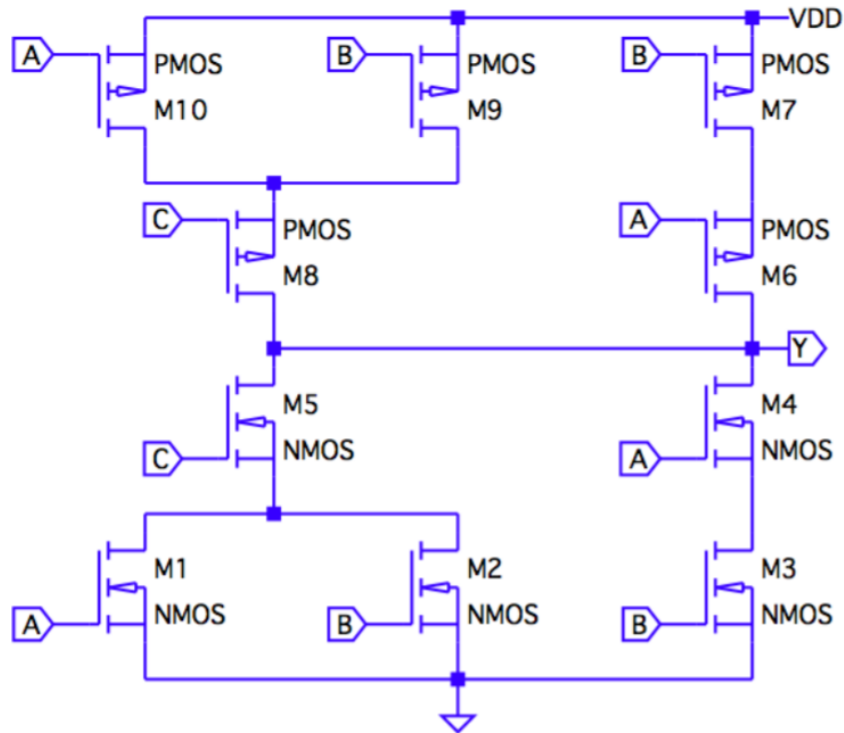
Em projeto de circuitos integrados geralmente enfrenta-se o desafio de uniformização do processo de fabricação. Contudo, devido à imprecisão tecnológica, se torna impossível desenvolver circuitos idênticos em massa. A partir deste ponto surge o conceito de mismatching, o qual se representa como sendo a variabilidade de componentes que integram o dispositivo eletrônico. Tal “fenômeno”, em conjunto com efeitos de ruído, são contribuidores-mor para as limitações de grande parte de processos de fabricação de CI modernos [7]. Variações nos dispositivos podem ser classificadas em termos:

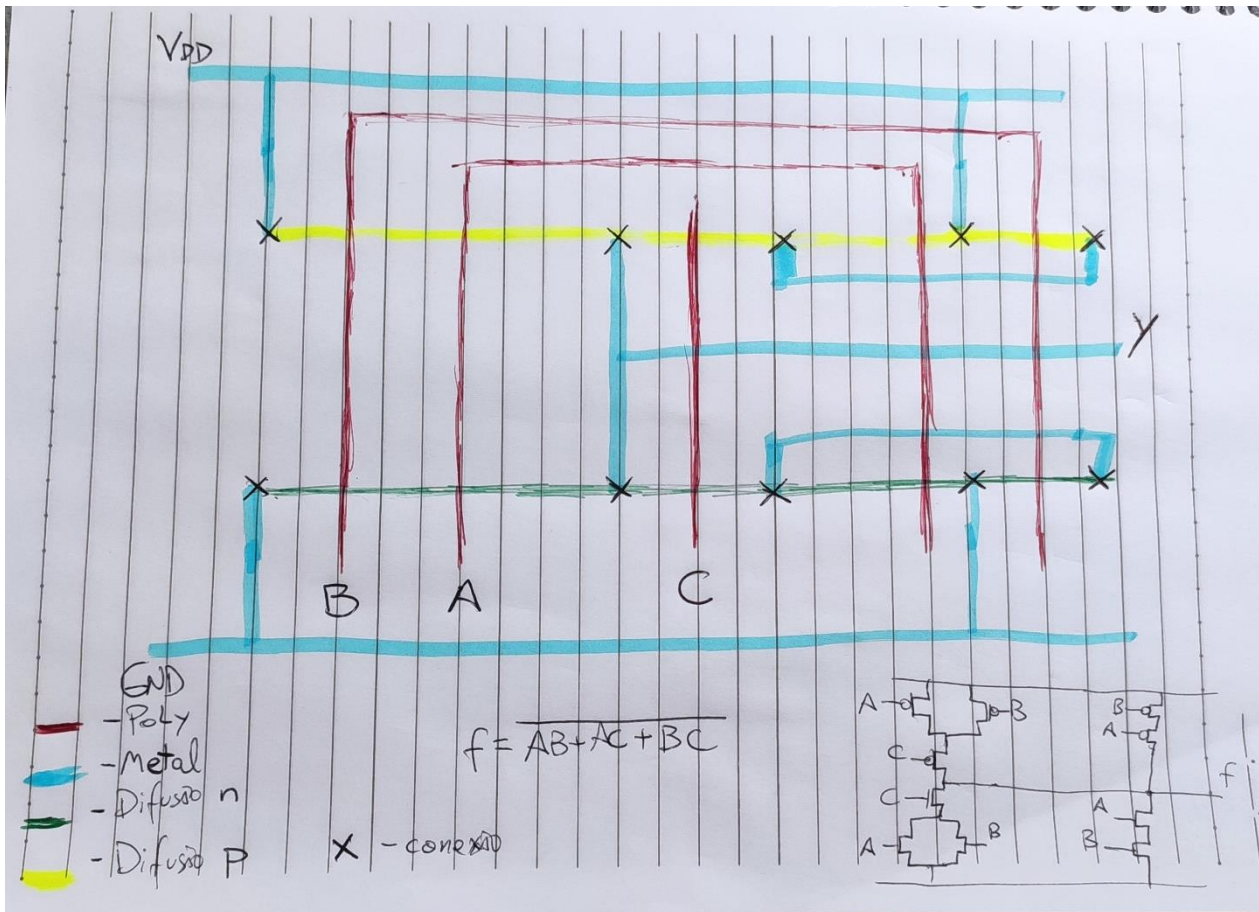
- Físicos: entre dispositivos e interconexões;
- Funcionais: mudanças nas características devido à operação (envelhecimento do dispositivo, podendo ser em questão de meses a anos)
- Ambientais: devido a variáveis do ambiente como temperatura.

Pode haver mismatching em nível wafer-para-wafer ou também de regiões-para-regiões de cada wafer. Com isso, temos efeitos indesejáveis em termos funcionais dos circuitos, como efeito de corpo flutuante (kink effect), o que representa uma descontinuidade no gráfico tensão-corrente do transistor MOS à medida que a tensão no dreno é elevada; efeito de histórico (history effect) com modificação do sinal comutante dependendo do histórico de comutações em portas lógicas; entre outros efeitos que merecem ser analisados.

Dentre as técnicas para reduzir mismatching, temos processos tecnológicos modernos como SOI, o qual incorpora uma camada de óxido entre o substrato e área ativa do silício que contém os componentes, ao invés de diretamente criar os componentes no substrato. Estruturas FinFET também são alternativas válidas para reduzir mismatching. De outra forma, temos circuitos capazes de atenuar os efeitos de mismatching, como circuitos de trimming (geralmente aplicados para circuitos digitais).

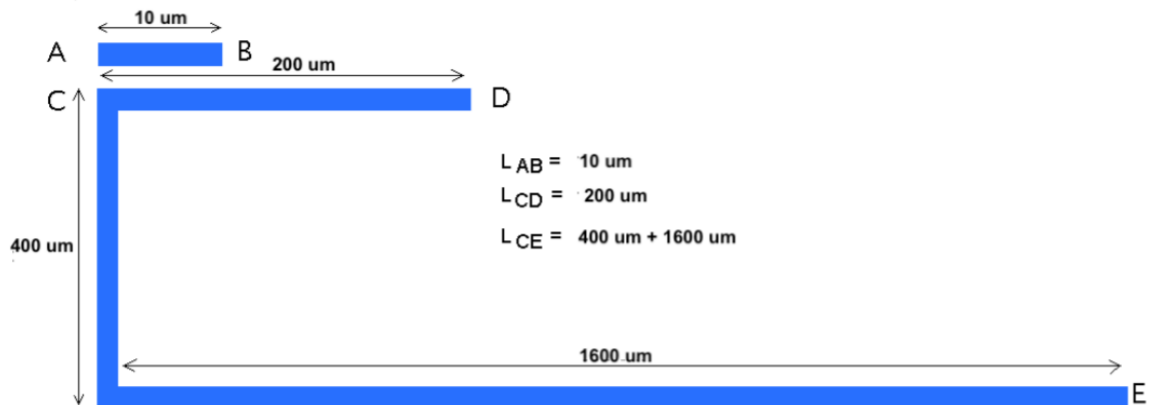
Questão 4) Faça um esboço manual (stick diagram) do layout do circuito integrado que implemente a função $Y = \overline{A}.\overline{B} + \overline{A}.C + \overline{B}.C$. O esquemático do circuito correspondente está na figura abaixo. Mostre as camadas ativa, de metal, poly e poço n. Indique os terminais de entrada (A, B e C), tensão de alimentação (VDD) e terminal terra (gnd) no desenho. Não é necessário que os valores de W e L estejam em escala. Deve haver somente um terminal de VDD, um para cada entrada (A, B e C) e um para gnd no layout.



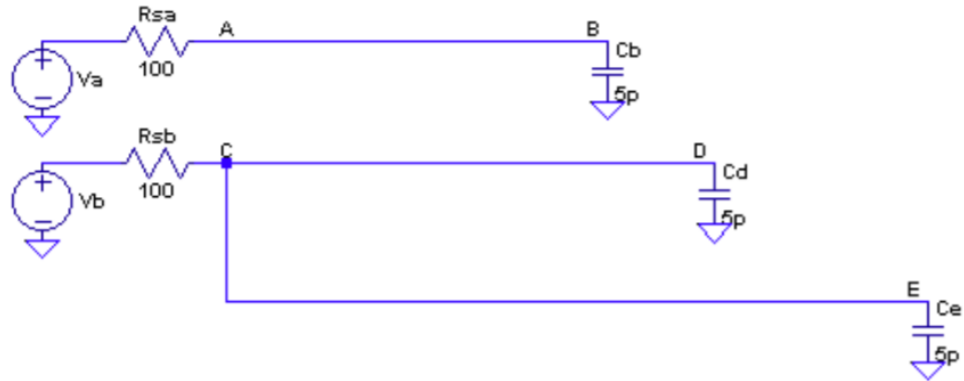


PARTE B – SIMULAÇÃO

Questão 5) Considere o layout de interconexões da figura 3. Todas têm largura de 1 μm .



- a) Conecte aos terminais A, B, C, D e E os componentes mostrados na figura 4 usando o LTSpice. Inicialmente considere que as interconexões são ideais. Faça $V_a = 0V$ e V_b uma onda quadrada de 5V pico a pico e 50MHz. Obtenha as formas de onda da tensão nos pontos B, D e E.

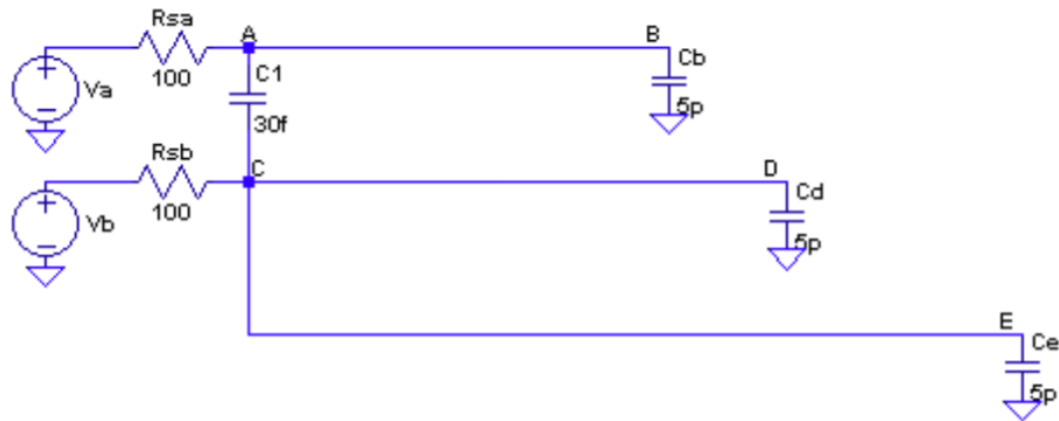


As formas de onda de tensão em simulação de transitório é apresentada no gráfico a seguir.

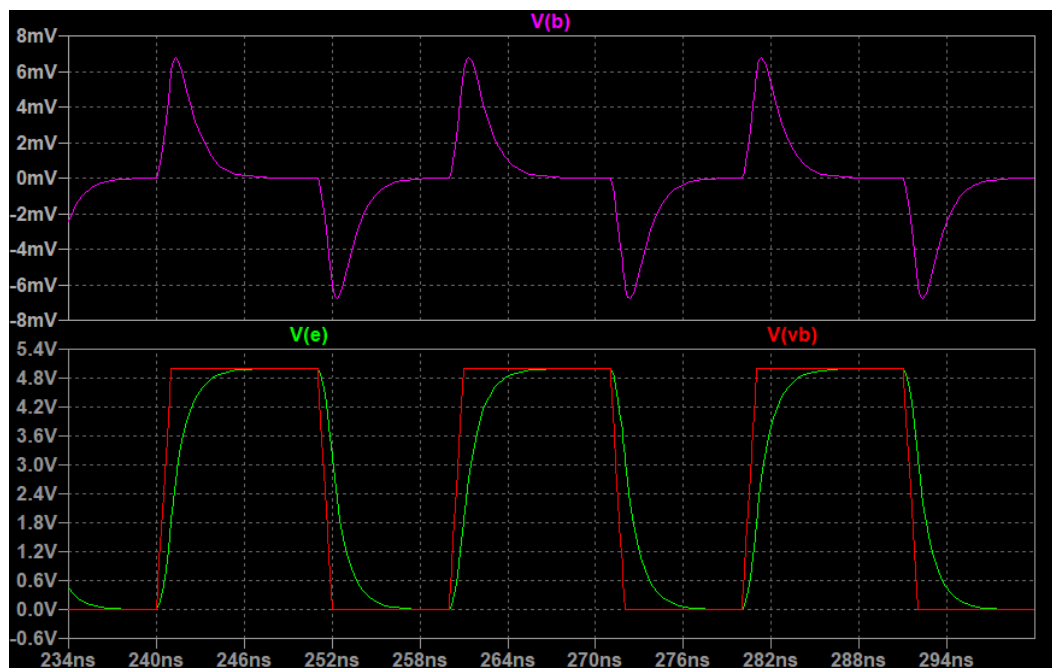


As formas de onda nos pontos C e E estão sobrepostas por não haver queda de tensão entre estes pontos. Já para o ponto B temos valor nulo, por conta de V_a ser zero. Percebe-se o efeito capacitivo de carregamento e descarregamento nos pontos C e E, adicionando atraso neste sinal resultante em relação ao original da fonte V_b .

b) Considere que os fios de comprimento LAB e LCD estão próximos o suficiente para gerar uma capacitância de acoplamento entre eles C_{acop} de 30 fF, como mostra a figura 5. Mantenha V_a e V_b como no item anterior e obtenha as formas de onda da tensão nos pontos B, D e E.



A figura a seguir apresenta o resultado desta etapa.



Vemos que, agora, o sinal B não apresenta valor nulo para todo o período analisado, isto por conta da capacitância de acoplamento inserida entre os fios/trilhas A-B e C-D. Identifica-se que há picos no sinal B (de baixo valor – aproximadamente 6mV) nas descontinuidades da onda quadrada da fonte V_b , ou seja, nos instantes em que, teoricamente, por uma representação de série de Fourier do sinal de onda quadrada, teríamos componentes harmônicas de alta frequência para representação do sinal, resultando em baixa reatância capacitiva quanto ao C_{acop} .

Os sinais D e E continuam sobrepostos e sem grandes variações.

c) Considere o modelo distribuído RC para as interconexões da figura 1. Inclua o efeito das interconexões com $c = 110 \text{ aF/um}$ e $r = 0.075 \text{ ohm/um}$ usando um modelo de 2 segmentos iguais, como mostra a figura 6. Mantenha V_b como uma onda quadrada de 5V pico a pico e 50MHz e faça $V_a = V_b$. Obtenha as formas de onda das tensões nos pontos B, D e E.

Faça

$$R_{intAB1} = R_{intAB2} = r.LAB/2,$$

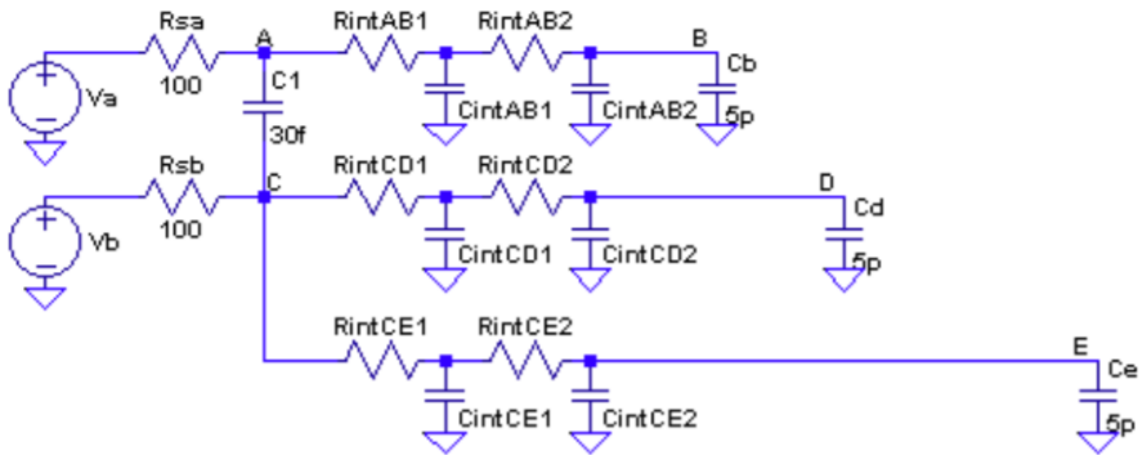
$$R_{intCD1} = R_{intCD2} = r.LCD/2,$$

$$R_{intCE1} = R_{intCE2} = r.LCE/2,$$

$$C_{intAB1} = C_{intAB2} = c.LAB/2,$$

$$C_{intCD1} = C_{intCD2} = c.LCD/2 \text{ e}$$

$$C_{intCE1} = C_{intCE2} = c.CCE/2.$$



Temos que:

$$R_{intAB1} = R_{intAB2} = r.LAB/2 = 0,075\mu * 10\mu / 2 = 0,375 \text{ pOhm}$$

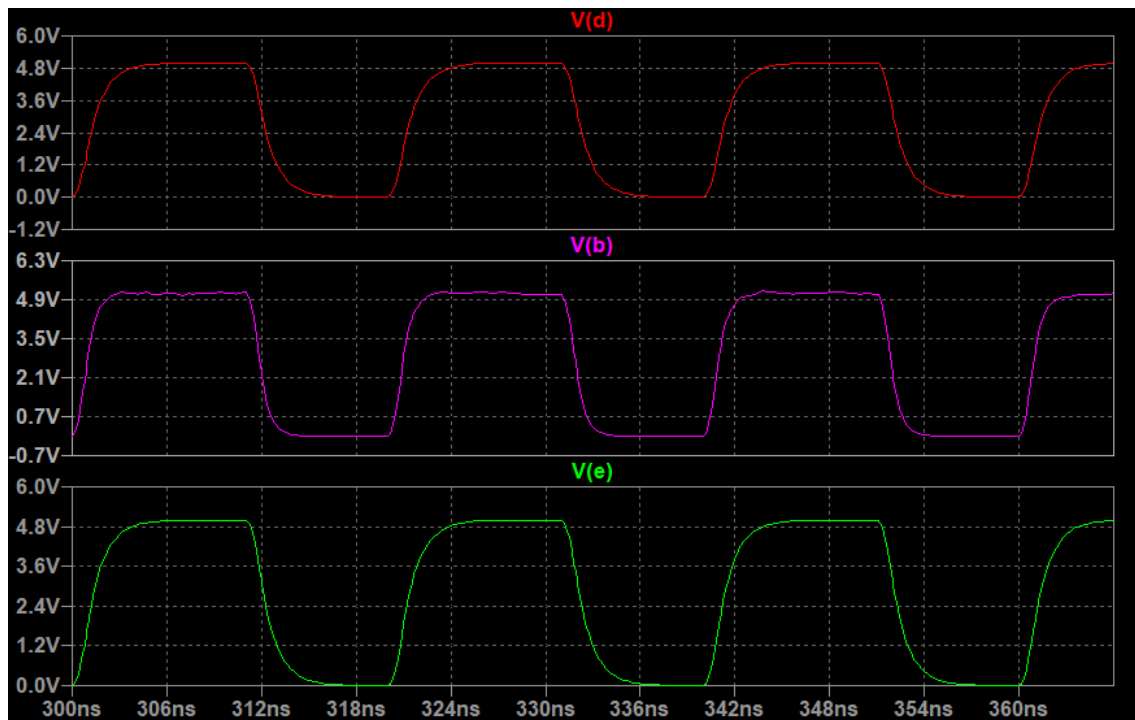
$$R_{intCD1} = R_{intCD2} = r.LCD/2 = 0,075\mu * 200\mu / 2 = 7,5 \text{ pOhm}$$

$$R_{intCE1} = R_{intCE2} = r.LCE/2 = 0,075\mu * 2000\mu / 2 = 75 \text{ pOhm}$$

$$C_{intAB1} = C_{intAB2} = c.LAB/2 = 110\text{a} * 10\mu / 2 = 5,5 \text{ zF (zeptoFarad} = 10^{-22})$$

$$C_{intCD1} = C_{intCD2} = c.LCD/2 = 110\text{a} * 200\mu / 2 = 11\text{zF}$$

$$C_{intCE1} = C_{intCE2} = c.CCE/2 = 110\text{a} * 2000 / 2 = 110\text{zF}$$



Com esta simulação de transitório, a partir do circuito montado considerando o modelo distribuído RC, percebemos que há uma sequência de “filtros” no sistema. Com isso, as formas de onda D e E são bastante semelhantes devido à distância maior em relação ao segmento AB, o qual, por conta de sua distância reduzida, apresenta menores valores de capacitâncias e resistências no modelo verificado. Por conta deste fato, percebe-se oscilação/distorção do sinal no plateau superior.

d) Analise o impacto da proximidade das interconexões (*crosstalk*) e do comprimento das interconexões na propagação dos sinais entre os pontos AB, CD e CE.

O fenômeno de crosstalk, também denominado de “diafonia”, representa a interferência entre segmentos de condutores próximos. Como observado nas simulações, a proximidade dos fios promove uma capacitância indesejada entre os ramos, o que pode levar à distorção de sinal em alguns pontos analisados (no caso, o ponto B). A evidência de tal efeito pode ser mais evidente, causando ripple, entre outros aspectos, dependendo do modelo escolhido (no caso, o modelo distribuído RC de Elmore ou “modelo de atraso de Elmore”).

De mesma forma, modelos mais complexos, considerando indutâncias e não-linearidades, podem expressar com maior realismo o fenômeno. Entretanto, o projetista deve estar atento aos propósitos da aplicação para que não haja análises detalhadas em excesso, sempre procurando balancear o tradeoff entre tempo, esforço e recursos envolvidos no projeto de circuitos integrados.

REFERÊNCIAS

- [1] Shepherd P. (1996) The IC Design Process. In: Integrated Circuit Design, Fabrication and Test. New Electronics Series. Palgrave, London. https://doi.org/10.1007/978-1-349-13656-8_1
- [2] Murray A.F., Reekie H.M. (1987) Design Rules. In: Integrated Circuit Design. Macmillan New Electronics Series. Palgrave, London. https://doi.org/10.1007/978-1-349-18758-4_4
- [3] M. P. Lin, Y. He, V. W. Hsiao, R. Chang and S. Lee, "Common-Centroid Capacitor Layout Generation Considering Device Matching and Parasitic Minimization," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 32, no. 7, pp. 991-1002, July 2013, doi: <https://doi.org/10.1109/TCAD.2012.2226457>.
- [4] Embedded Computing Laboratory UFSC. Apresentação da pesquisa em Electronic Design Automation (EDA) no PPGCC e ECL – UFSC. 2020. (10m00s). Disponível em: <https://www.youtube.com/watch?v=mEhvPm2G2lc>. Acesso em 28 set. 2020.
- [5] CAMARA, Rômulo Calado Pantaleão. Introdução ao Desenvolvimento de Circuitos Digitais. Disponível em: http://www.univasf.edu.br/~romulo.camara/aulas/design_verif/Aula2_Intro_IC_digital.pdf. Acesso em 28 set. 2020.
- [6] GUIMARÃES, Janaina. Slides disponibilizados no Moodle da disciplina.

[7] Marshall, A. (2009). Mismatch and Noise in Modern IC Processes. Synthesis Lectures on Digital Circuits and Systems, 4(1), 1–140. doi:10.2200/s00171ed1v01y200901dcs019.