Universidade Federal de Santa Catarina - UFSC

Centro Tecnológico - CTC

EEL510388-41000056DO/ME (20201) - Introdução à Microeletrônica

Gustavo Simas da Silva

Tarefa 1

1) O diagrama de fluxo da Figura 1.2 (do material complementar) representa uma abordagem *top-down* do projeto. Como o fluxograma seria alterado se o processo de design incluísse uma abordagem *bottom-up* parcial pela qual as células-padrão são criadas para uso na fase de projeto do circuito?

Abordagens top-down analisam o problema de produção a partir de uma visão "macro", quebrando, em seguida, em menores seções para separar o design de dispositivos em considerações mais específicas. Algo relacionado ao conceito "dividir-para-conquistar", a qual é considerada por muitos como uma prática de design ótima, garantindo eficiência e qualidade.

Caso fosse utilizada uma abordagem bottom-up, o design seria iniciado a partir do menor nível de construção ("micro"), geralmente o nível de transistor. Em seguida seriam desenvolvidos os blocos maiores, como portas lógicas de circuitos digitais, amplificadores, comparadores, etc.

O fluxograma da Figura 1.2 iria alterar-se no sentido de disposição de alguns blocos apresentados. Por exemplo, os blocos referentes a subcircuitos e simulações de baixo nível estariam mais próximos do ponto inicial do fluxograma. Além disso, é possível que mais iterações/loops estivessem presentes no diagrama, já que abordagens bottom-up tendem a garantir que cada nível de design apresente soluções satisfatórias em cada requisitos dos estágios trabalhados.

No entanto, vários blocos já constados na figura estariam também presentes na versão bottom-up, principalmente na parte final do fluxograma, como Teste Final de Dispositivo e Teste de Sistema, além da avaliação final para concluir se há necessidade ou não de redesign.

2) Uma metalização de alumínio tem 5 µm de espessura, o comprimento total efetivo é 10 mm e a corrente mais alta que se espera conduzir é de 50 mA. Usando os dados da seção 1.3.4, calcule a largura mínima da linha se uma margem de segurança de 20 por cento deve ser obtida na densidade atual. [Resposta: 12 µm]

espessura: **t = 5 um**

comprimento total efetivo: **L = 10 mm**

corrente máxima: i = 50 mA

fator de segurança: n = 20% = 1,2 (100% + 20%)

Pela consideração (2) da seção 1.3.4, temos que restrição de design atual para densidade de corrente é configurada em 10^9 A/m^2. Logo:

 $J = i/(W*t) = 10^9 => Com fator de segurança n = 1,2 => W = n*i/(t*J) = (1,2 * 50m) / (5u * 10^9) = 1,2 * 10^-5 m = 12 um$

3) Para a linha da questão 1.2, calcule a resistência da linha dado que a condutividade do metal é 3 x 10⁷ Sm⁴. Calcule a queda de tensão quando o fluxo de corrente é máximo. Comente os resultados. (Resposta: 5,6 Ω e 0,28 V)

condutividade: σ = 3*10^7 S*m^-1 resistividade: ρ = 1/ σ = 3,33 * 10^-8 Ω *m

Logo:

 $R = \rho^* L/(W^*t) = (3,33^*10^* - 8 * 10 mm) / (12 u * 5 u) = 5,55 \Omega \cong 5,6 \Omega$ $V = R^*i = 5,55 * 50m = 0,278 \ V \cong 0,28 \ V$

4) Considere o exemplo na seção 1.6.1. Uma tecnologia alternativa baseada em wafers de 8 polegadas se torna disponível. O processo tem rendimento de produção de apenas 90 por cento e ferramentas extras, treinamento e equipamento adicionam mais 100.000 libras aos custos de configuração. Além disso, o wafer de 8 polegadas custa 300 libras para ser processado. Se todos os outros parâmetros (incluindo encapsulamento e teste) e os tempos permanecerem os mesmos, qual seria o preço inicial que o dispositivo deve ter para retornar o mesmo lucro de 400.000 libras? Qual tecnologia você recomendaria? (Resposta: 2,47 libras)

Tecnologia chip tamanho 20mm^2

Rendimento de produção η = 90% = 0,9

Custo ferramentas, treinamento, equipamento **\$processo_extra = 100.000 libras**

Custo de wafer \$wafer = 300 libras / wafer

Lucro \$lucro = 400.000 libras

Diâmetro wafer: 8 polegadas => 1 polegada = 25mm

Logo

raio: r = 100 mm

Área do wafer = $\pi^*r^2 = 31.416 \text{ mm}^2$

Chips por wafer: tamanho_wafer/tamanho_chip = 31.416mm^2 / 20mm^2 = 1570 chips

Rendimento final: rendimento_produção * rendimento_montagem = η^2 = 0,9^2 = 0,81

Chips funcionais por wafer: 1570*0,81 = 1271 chips funcionais

Custo por chip: \$wafer/1271 = 300/1271 = 0,2359 libra / chip

Custo de pacote (package) = custo de chip = 0,2359 libra

Custo de teste = 30% do custo de produção = 0,3*(custo chip+pacote)

Custo final por chip: (custo_chip + custo_package)*1,3 = 0,2359*2*1,3 = 0,613 libra

Produção: 100.000 chips / ano

Custo em 5 anos: 5 * chips_por_ano * custo_final_chip = 5 * 100.000 * 0,613 =

306.500 libras

Custo padrão de configuração: 200.000 libras

Custo configuração final: custo_padrao + \$processo_extra = 200.000 + 100.000 = 300.000 libras

Valor total final: custo_5anos + custo_configuração_final + \$lucro = 306.500 + 300.000 + 400.000 = 1.006.500 libras

Tendo o valor decrescente de 10% a cada ano, conforme o exemplo 1.6.1, temos:

Total após 5 anos: 409.510*x

Preço inicial do chip (dispositivo): valor_total_final / quantidade_dispositivos = x = 1.006.500 / 409.510 = 2,46 libras / dispositivo

Logo, tal dispositivo sai mais caro a venda da unidade do que o apresentado no exemplo (2,26 libras)

5) Para essa nova tecnologia da questão 1.4, se o preço inicial fosse o mesmo que o da tecnologia original, esboce o gráfico de fluxo de caixatempo previsto. Quais os valores do tempo de equilíbrio edo lucro geral final? (Resposta: 36 meses, £ 315.500)

36 meses, 315492,6 libras.

Gráfico em anexo

Fluxo caixa-tempo dispositivo

