

Imagem do Leiaute do inversor CMOS gerado no LASI

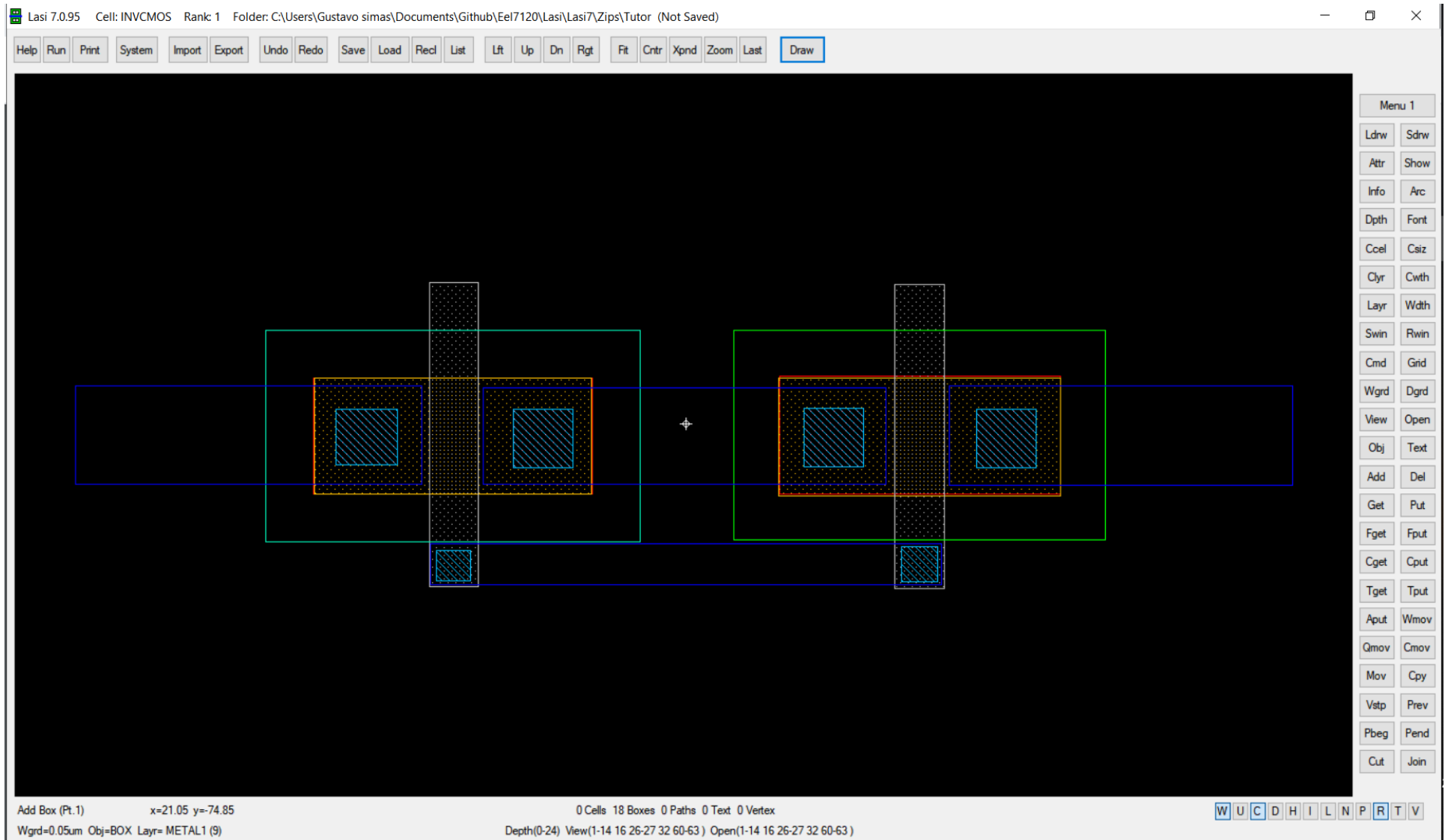


Imagem de scan de área DRC 1

Scanning Areas ...

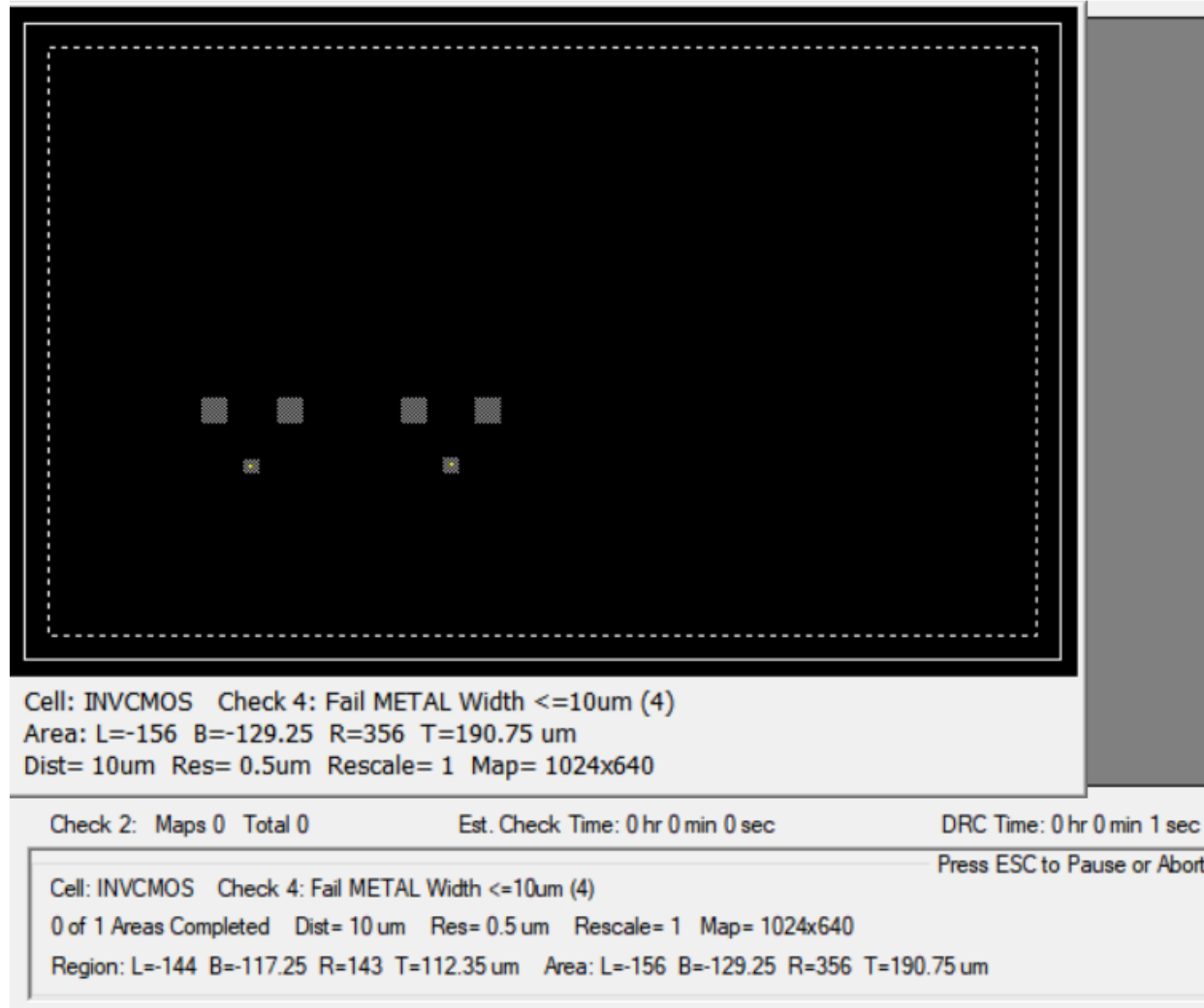
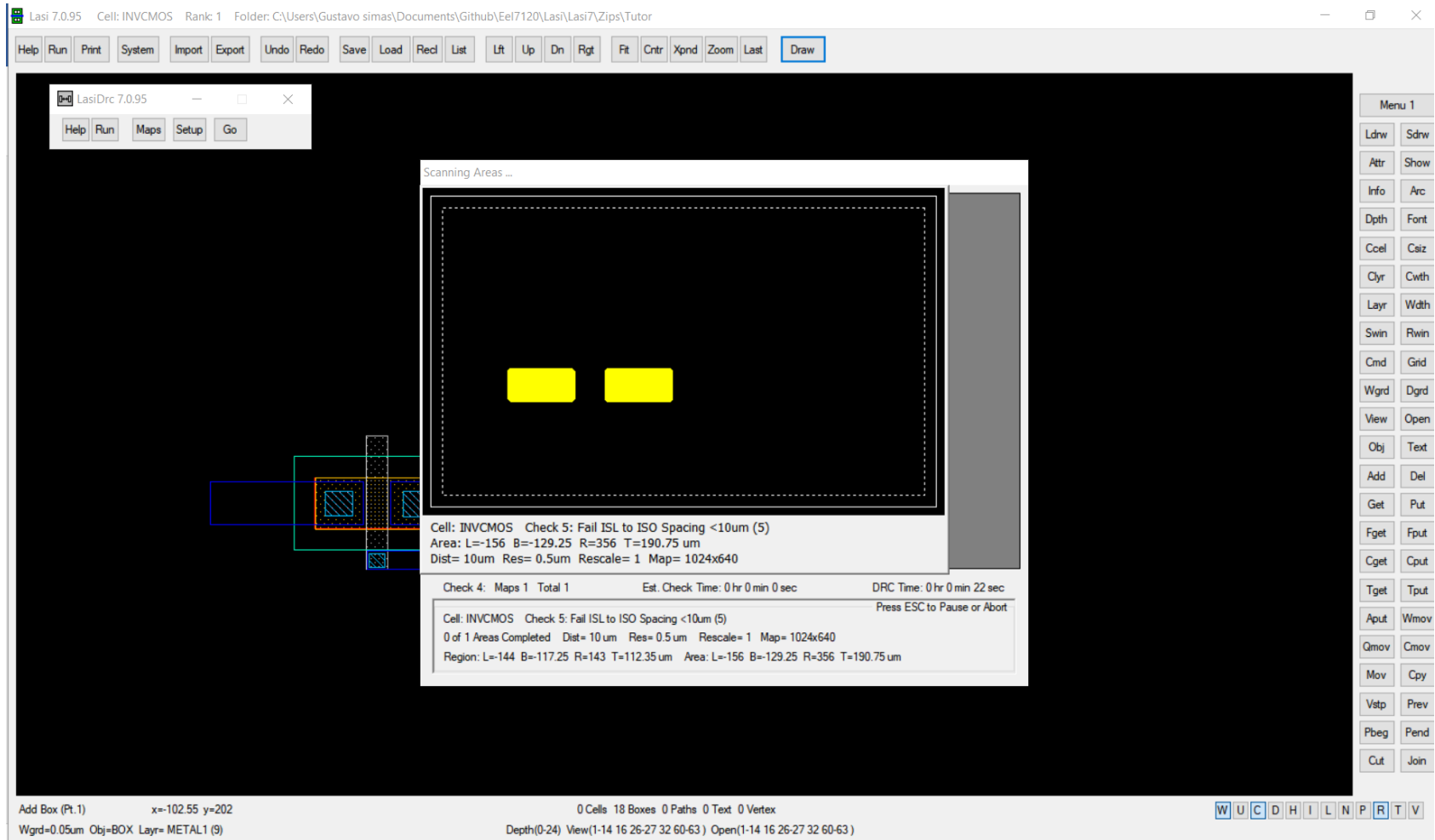
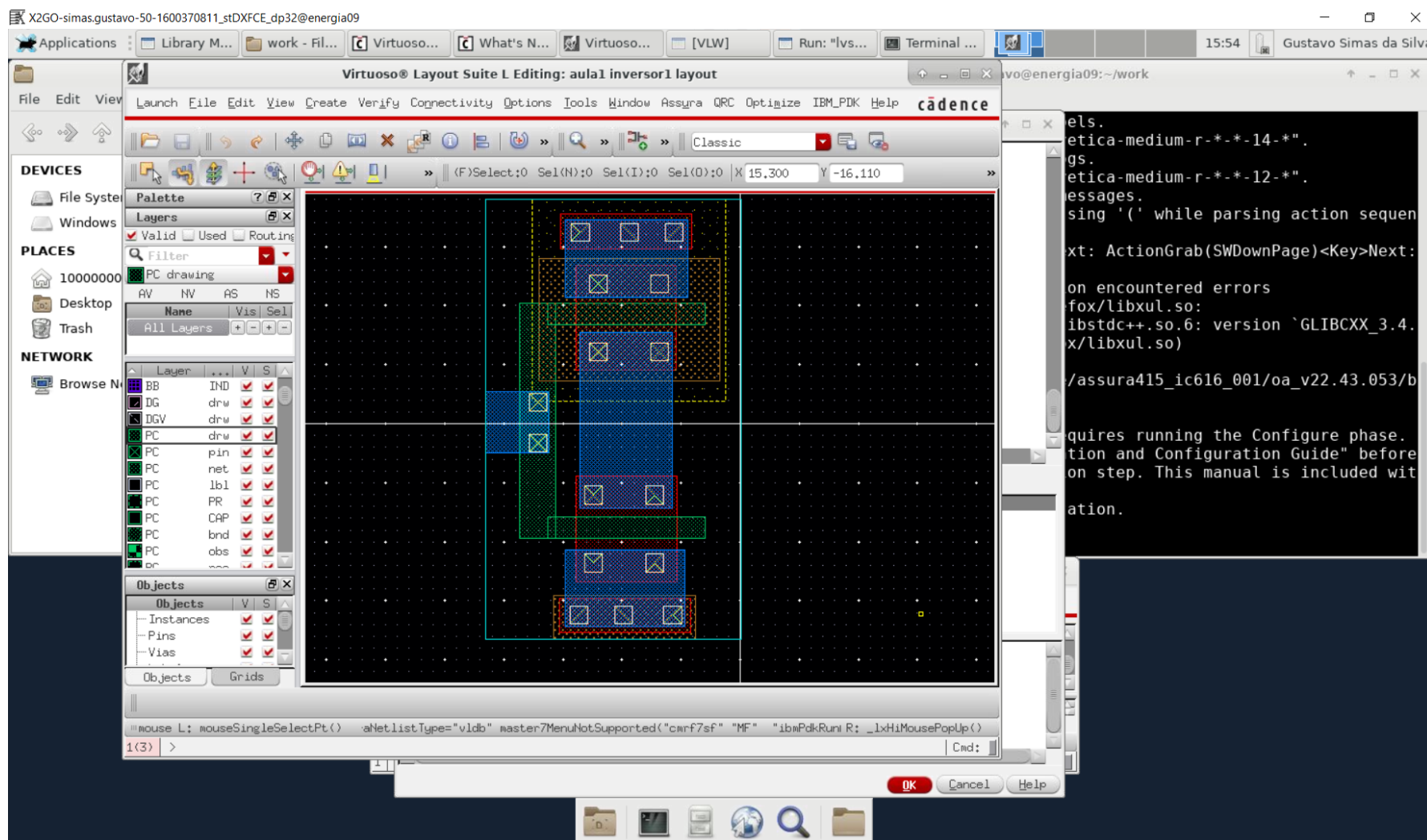


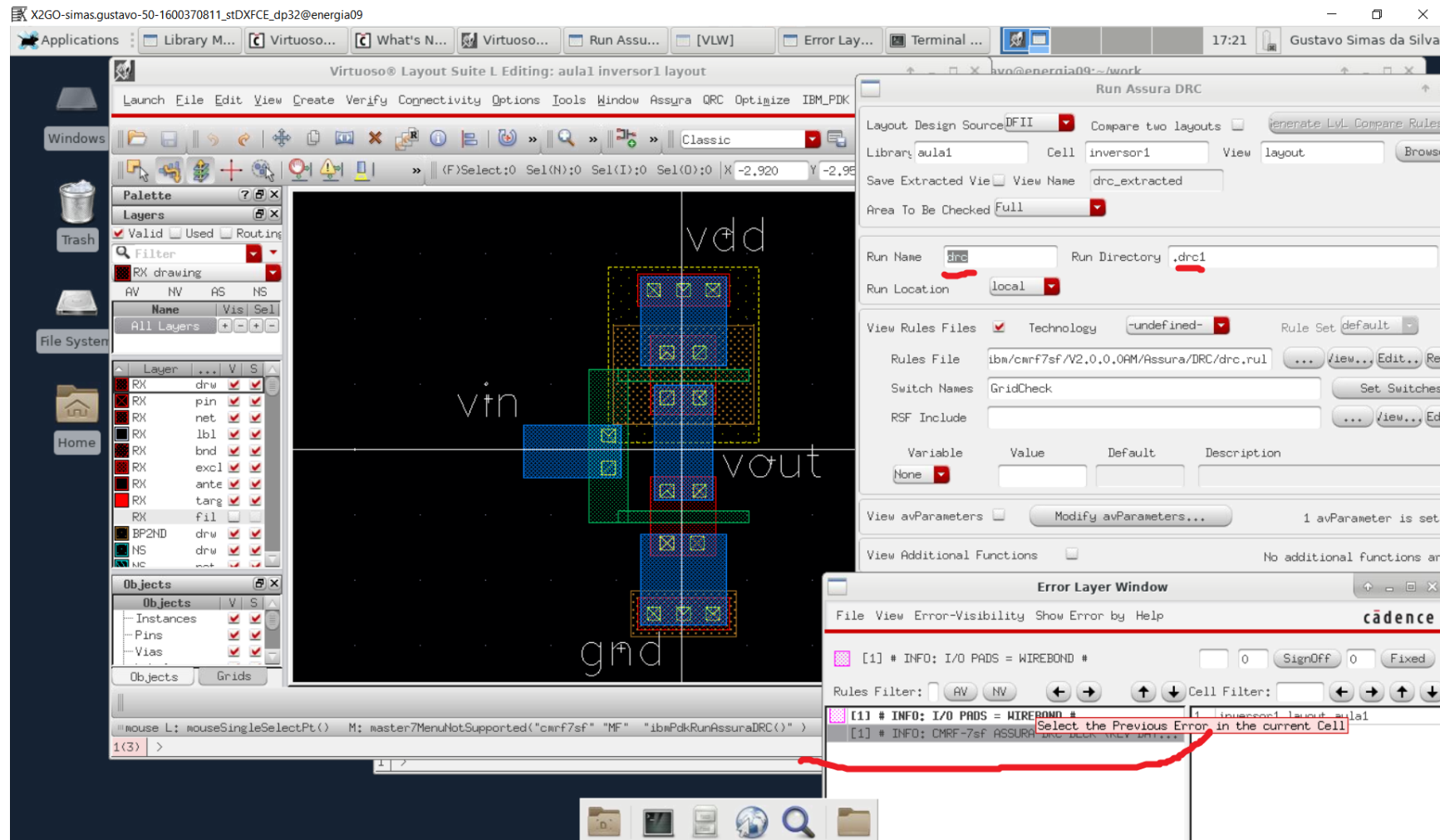
Imagem de scan de área DRC 2



Os maps não foram possíveis de serem acessados por conta de incompatibilidade de sistema (foi utilizado sistema operacional Windows 10 no desenvolvimento da atividade). Tentou-se explorar diferentes soluções, porém sem sucesso. Contudo, comenta-se que o leiaute de inversor CMOS também foi desenvolvido em disciplina com conceitos abordados semelhantes (INE5422 – Circuitos e Sistemas Integrados) neste semestre 2020/1, sendo feito no software Cadence Virtuoso, conforme exibido na imagem a seguir:



O desenvolvimento do leiaute, feito por meio de acesso remoto ao computador com software, resultou conforme apresentado na figura a seguir, não havendo warnings ou erros, apenas informações, como mostra a tela Error Layer Windows no canto inferior direito.



De mesmo modo se realizou a análise LVS (Layers Versus Schematic), resultando num total de 0 violações DRC (Design Rules Checking) no layout desenvolvido, conforme exibe a imagem a seguir.

