

Universidade Federal de Santa Catarina  
EEL510269: Circuitos Aritméticos  
Semestre: 2019/2 – VHDL Capítulo 8

Somador Multi-operando

## 1 Introdução e objetivos

O objectivo deste laboratório consiste na implementação de somadores e compressores para obter a seguinte expressão,  $Y = 36A + 44B + 164C + 548D + 36$  a partir de uma matriz de informação, onde  $A$ ,  $B$ ,  $C$  e  $D$  são de 4 bits. As entradas  $A$ ,  $B$ ,  $C$  e  $D$  se correspondem com os *Switches*  $SW(3..0)$ ,  $SW(7..4)$ ,  $SW(11..8)$ ,  $SW(15..12)$ , respectivamente. A saída pode ser mostrada nos *Leds* vermelhos  $LEDR(12..0)$ .

Projete um compressor para reduzir a dois vetores a matriz de informação e, finalmente, some eles com um somador completo. Finalmente, o aluno deve mostrar ao professor:

- Simulação mostrando funcionamento correto. [0.5 valores]
- Prototipação do circuito funcionando na placa DE2. [0.5 valores]