

UNIVERSIDADE FEDERAL DE SANTA CATARINA**Departamento de Engenharia Elétrica e Eletrônica****TUTORIAL PARA ANÁLISE ESTÁTICA DE TEMPORIZAÇÃO E POTÊNCIA
EM CIRCUITOS DIGITAIS****Rogério Paludo**

Este tutorial aborda a utilização das ferramentas da Altera para obtenção de estimativas temporais e de consumo de energia de circuitos digitais utilizando dispositivos FPGA.

1. Análise Temporal Estática (*Static Timing Analysis – STA*)

Para realizar a STA é necessário fornecer diversas informações adicionais para que a ferramenta seja capaz de realizar a análise de forma satisfatória. É importante observar que esse processo em prática tem complexidade considerável. Assim, uma análise simplificada será apresentada neste tutorial.

1.1. Preparação do Circuito para Análise

A análise temporal através do TimeQuest requer algumas modificações no projeto. É necessário registrar as saídas e entradas de forma a obter a seguinte configuração:

É necessário criar um arquivo VHDL adicional que usa como componente o circuito que se deseja analisar. É necessário também registrar as entradas e saídas em um processo sequencial.

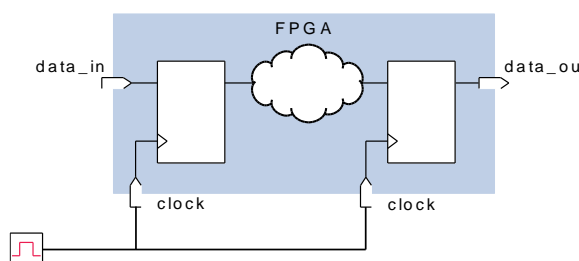


Figura 1: Modificações no projeto para realizar STA. Registrar entradas e saídas para garantir um caminho sequencial.

1.2. Criação das Restrições Temporais e Análise

Para que a ferramenta consiga realizar a análise é preciso criar um arquivo adicional que fornece as informações da frequência de operação de circuito, temporização interna e também de entradas e saídas. Para fazer isso inicie a partir de um projeto já funcionando e compilando no Quartus (como fornecido com os arquivos para esse tutorial) e siga os passos a seguir.

i. Criação do Arquivo de Restrições:

- Clique no menu **File**→**New**→**Synopsys Design Constraint File**;
- Utilizando o formato,

```
create_clock -name <clock_name> -period <T> [get_ports <design_clock_port_name>]
```

crie um sinal de relógio para ser usado na análise seguindo os valores utilizados para o seu projeto. Lembre-se que <clock_name> é o nome do clock criado no arquivo SDC, qualquer nome que quiser sem acentos e caracteres especiais. O valor da frequência é dado pelo período <T> (e.g., 1ns → 1 nanosegundo). Substitua <design_clock_port_name> pelo nome da porta de relógio do circuito utilizado como topo, como mostrado na Figura 1;

- Salve o arquivo no diretório raiz do Quartus usando o mesmo nome do projeto, utilize a extensão .sdc se o editor que estiver utilizando não fizer automaticamente.

ii. Recompilação

- Recompile o projeto observando se o arquivo foi lido corretamente pela ferramenta Quartus.

iii. Análise dos Resultados

- Após compilar com sucesso o projeto Clique em **Tools**→**TimeQuest Timing Analyser**;
- Na janela da ferramenta de análise Clique em **Tasks**→**Report Timing**→**Report Timing** (no final da janela);
- Os resultados devem ser apresentados nessa mesma janela.

Um método alternativo para obter os valores é observar diretamente o relatório gerado. Para isso veja os arquivos `project_name.sta.rpt` e `project_name.sta.summary` dentro da pasta `output_files`.

2. Análise de Potência

O processo de análise de potência utilizando o PowerPlay Power Analyzer (PPPA) com o Quartus tem três partes:

- especificação das fontes de dados de entradas;
- especificação das condições de operação e,
- executar o PPPA.

Como entrada de dados no PPPA é preciso um projeto compilado e um arquivo com atividade dos sinais do circuito (VCD). Os seguintes passos descrevem como utilizar o PPPA.

2.1. Configuração do Projeto

- i. Clique em **Assignments**→**Settings**, na coluna da esquerda escolha a opção **EDA Tool Settings/Simulation**;
- ii. Em **Format for output Netlist**, escolha VHDL (não importa o formato, só para que fique igual as descrições);
- iii. Marque a opção **Generate Value Change Dump (VCD) file script** e coloque em **Design instance name** o “top level” do seu projeto em VHDL;
- iv. Clique em **More EDA Netlist Writer Settings** e marque a opção **Generate Third-Party tool command script for gate-level simulation** ON;
- v. Click em OK para fechar a janela e recompile o projeto.

2.2. Simulação e Obtenção da Informação de Atividade dos Sinais do Circuito

- i. Abra o ModelSim, clique em **File**→**Change Directory**, escolha a pasta que está o projeto Quartus dentro de simulation/modelsim. Ou abra o ModelSim através da interface do Quartus com o projeto aberto;
- ii. No console do ModelSim digite cada um dos comandos a seguir um por vez, substituindo project_name pelo nome do projeto;

```
vdel -lib gate_work -all
vlib gate_work
vmap work gate_work
vcom -93 -work work {project_name.vho}
```

Estes comando não são sempre necessários estão aqui só para garantir que estamos compilando a biblioteca correta.

iii. Neste passo é necessário um script para simulação do circuito. Porém, para não haver nenhuma correlação entre os sinais de entrada e o valor de potência é aconselhado realizar uma simulação randômica. Para realizar este tipo de simulação considere o script fornecido e execute os seguintes comandos no console do ModelSim:

```
source project_name_dump_all_vcd_nodes.tcl
source test_script.tcl
quit -f
```

iv. Volte ao Quartus e Clique em **Processing** → **PowerPlay Power Analyser Tool**. Na janela Clique em **Add Power Input Files(s)**, selecione o arquivo gerado no passo anterior,

<project_dir>/simulation/modelsim/project_name.vcd

Clique em OK e depois na janela do PPPA em start. Isso deve iniciar a análise de potência. Na mesma janela há um botão Report que apresenta o relatório com os dados da análise.