



- a) Compacte a informação da seguinte expressão, $Y=36A+44B+164C+548D+36$, numa matriz de informação, onde A, B, C e D são de 4 bits. Projete um compressor para reduzir a dois vetores a matriz de informação e, finalmente, some eles com um somador completo.
- b) Usando os seguintes compressores e somadores faça a redução da matriz de informação do apartado anterior a dos vectores. Finalmente, some eles com um somador completo.
- {2,2,3; 1, 1, 1, 1};
 - {3; 1, 1};
 - {2; 1, 1};
 - {1, 4, 3; 1, 1, 1, 1};
 - {5, 5; 1, 1, 1, 1};
 - {2, 2; 1, 1, 1}
 - {5; 1, 1, 1};
 - {7; 1, 1, 1, 1};
 - {3, 3, 3; 1, 2, 2, 1}.
 - {4, 7; 1, 1, 1}
 - {2, 5; 1, 2, 1}
 - {5; 2, 1}
- c) Obtenha o custo e caminho critico do sistema considerando A_{FA} e T_{FA} como a área e atraso por *Full-Adder*, e $0,5 \times A_{FA}$ e $0,5 \times T_{FA}$, para o *Half-Adder* (*Observação:* Caso não consiga um atraso menor de $12T_{FA}$ explique o que deveria ser feito)
- d) Obtenha a matriz de informação de entrada para $|Y|_{85}=|36A+44B+164C+548D+36|_{85}$ usando RNS com um máximo de 10 vetores de entrada no compressor modular.
- e) Refaça o apartado d) usando o pseudo-modulo 85 com um máximo de 9 vetores de entrada no compressor modular.