

## CRONOGRAMA EEL7123 TÓPICO AVANZADO EM SISTEMAS DIGITAIS

Semana	De	Até	Materia	Materia
1	5-ago	9-ago	Apresentação (1 hora)	Intro VHDL
2	12-ago	16-ago	Cap4	Cap4
3	19-ago	23-ago	Cap4 (problemas)	Cap5
4	26-ago	30-ago	Cap5 (problemas)	VHDL Cap5
5	2-set	6-set	Lab1a	VHDL
6	9-set	13-set	Lab1b	Cap6/7 e (problemas)
7	16-set	20-set	Lab2a	Lab2b
8	23-set	27-set	Cap8	Cap8 (problemas)
9	30-set	4-out	Cap9	Cap9 (problemas)
10	7-out	11-out	VHDL Cap8	VHDL
11	14-out	18-out	VHDL Cap9	VHDL
12	21-out	25-out	Cap10 (problemas)	VHDL Cap10
13	28-out	1-nov	Cap11/12	Cap11/12 (problemas)
14	4-nov	8-nov	Lab3a	VHDL Cap11/12
15	11-nov	15-nov	Projeto	Projeto
16	18-nov	22-nov	Projeto	Projeto
17	25-nov	29-nov	Projeto	Aval. Projeto
18	1-dez	6-dez	sem aula	sem aula

**3.1820-2**

**4.1820-2**

\* As aulas de projeto (indicadas em verde) serão de 3 horas 3.1800-3 e 3.1800-3