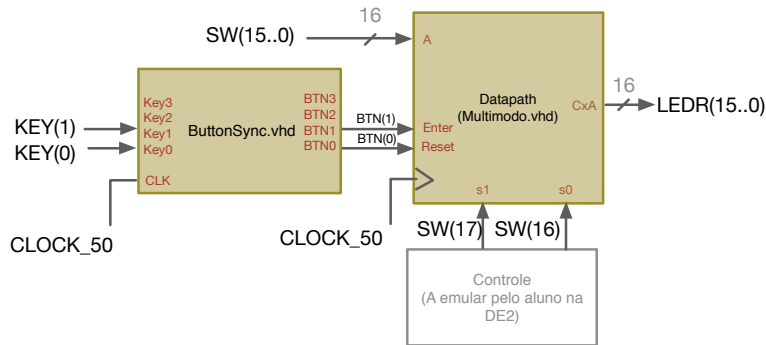


Universidade Federal de Santa Catarina  
EEL510269: Circuitos Aritméticos  
Semestre: 2019/2 – VHDL Capítulo 9

## RTL Design

O objectivo deste laboratório consiste na emulação do controlador e de um registrador Multimodo para a obtenção de uma multiplicação por constante. A Figura 1 mostra o diagrama datapath-controlre mapeado para a interface da placa DE2.



- A primeira tarefa será criar uma unidade registrador Multimodo mostrado na Figura 2. As unidades para implementar dito registrador Multimodo serão registradores com *reset* e *enable*, somadores e multiplexadores 4:1 (todas estas obtidas pelo aluno durante o semestre). O bloco Multimodo.vhd tem de ter duas entradas de selecção, uma entrada de 16 bits para carregamento paralelo, uma saída de 16 bits, sinal de *reset*, *enable* e relógio. Para obter dito funcionamento, as entradas ao circuito podem ser usados os Switches SW(15 *downto* 0) como entrada A, os Switches SW(17 *downto* 16) como entrada de selecção de operação, KEY(1) como sinal de *enter*, KEY(0) como *reset*. Para evitar problemas de sincronização o aluno deve usar o ButtonSync.vhd para os botões de pressão. Para a saída de 16-bits o aluno pode usar os LEDs vermelhos LEDR(15 *downto* 0) e os *displays*, HEX3, HEX2, HEX1, HEX0 para visualização em hexadecimal. **[0.3 valores]**
- A segunda tarefa será projetar numa folha o diagrama de estados FSM do controlador para a obtenção da operação  $C \times A$ , sendo A a entrada de 16-bits e C uma constante dada pelo professor. **[0.3 valores]**
- A ultima tarefa será a emulação do funcionamento do controlador no simulador e na placa DE2 para a obtenção da operação desejada. **[0.4 valores]**

s1	s0	Operação
0	0	Soma (I+Q)
0	1	Carregamento paralelo de I
1	0	Desloca à direita Q
1	1	Desloca à esquerda Q

