

# CRONOGRAMA EEL7123 TÓPICO AVANZADO EM SISTEMAS DIGITAIS

Semana	De	Até	Materia	Materia	Horas	Teoria	Pratica	Laboratório
1	5-ago	9-ago	Apresentação (1 hora)	Cap4	3	3	0	0
2	12-ago	16-ago	Cap4	Cap4 (problemas)	4	2	2	0
3	19-ago	23-ago	Cap5	Cap5 (problemas)	4	2	2	0
4	26-ago	30-ago	Intro VHDL	VHDL Cap5	4	0	0	4
5	2-set	6-set	Lab1a	VHDL	4	0	0	4
6	9-set	13-set	Cap6/7 e (problemas)	Lab1b	4	2	0	2
7	16-set	20-set	Lab2a	Lab2b	4	0	0	4
8	23-set	27-set	Cap8	Cap8 (problemas)	4	2	2	0
9	30-set	4-out	Cap9	Cap9 (problemas)	4	2	2	0
10	7-out	11-out	VHDL Cap8	VHDL Cap9	4	0	0	4
11	14-out	18-out	Cap10 (problemas)	VHDL Cap10	4	2	0	2
12	21-out	25-out	Cap11/12	Cap11/12 (problemas)	4	2	2	0
13	28-out	1-nov	Lab3a	VHDL	4	0	4	4
14	4-nov	8-nov	VHDL	VHDL Cap11/12	4	0	4	2
15	11-nov	15-nov	Projeto	Projeto	6	0	0	6
16	18-nov	22-nov	Projeto	Projeto	6	0	0	6
17	25-nov	29-nov	Projeto	Aval. Projeto	5	0	0	5
18	1-dez	6-dez	sem aula	sem aula	0	0	0	0

3.1830-2

4.1830-2

\* As aulas de projeto (indicadas em verde) serão de 3 horas 3.1800-3 e 3.1800-3