

PROPOSTA DE PROJETO 3

Análise de multiplicação por constante. Esta proposta pode envolver até 3 alunos para fazer as tarefas da descrição em VHDL e síntese em ASIC.

Faça um análise estatístico das síntese em ASIC (pode usar Synopsys ou CADENCE) dos resultados das sínteses de multiplicações por constantes de mais de 16 bits usando:

- a) implementação direta $A \cdot X$ em VHDL por exemplo;
- b) Deslocamentos, compressões e soma final;
- c) *Recoding Booth*, deslocamentos, compressões e soma final;
- d) Reconhecimento de padrão na constante;
- e) Radix-4;
- f) Dividir para conquistar;
- g) RNS.

Resultados podem ser úteis para artigo de pesquisa, trabalhos de TCC, mestrado...