



As tabelas seguintes mostram os resultados de síntese em ASIC para uma tecnologia de 65nm do atraso de multiplicadores RNS e de unidades binário-RNS e RNS-binário para 5 possíveis conjuntos de módulos (A, B, C, D, E). Caso quisermos fazer m multiplicações com uma faixa dinâmica de saída de 20-bits em serie usando RNS:

- Indique a faixa dinâmica da estrutura RNS e compare com a eficiência da representação com 20-bits em binário. Justifique.
- Obtenha o conjunto de módulos que permite $m=3$ operações de multiplicação (e conversões Bin-RNS e RNS-Bin) de forma mais veloz. Justifique.
- Obtenha a estrutura para fazer a conversão binário-RNS do conjunto modular obtido no apartado anterior (use compressores e somadores modulares que achar necessário).
- Obtenha a estrutura para fazer a conversão RNS-binário do conjunto modular obtido no apartado b) (use o algoritmo novo CRT-I, compressores e somadores modulares que achar necessário).

Delay (ps) Bin-RNS & RNS-Bin

	Moduli set	DR (bits)	Delay (ps) Bin-RNS	Delay (ps) RNS-Bin
A	23, 19, 17, 13, 11	20	400	2000
B	$2^4, 2^4-1, 2^4+1, 2^4-3, 2^4+3$	20	400	1500
C	$2^5, 2^5-1, 2^5+1, 2^5-3$	20	500	1500
D	$2^7, 2^7-1, 2^7+1$	21	1000	1200
E	$2^{10}, 2^{10}-1$	20	1300	1300

Delay (ps) Modular Multiplier

#bits	2^n	2^n-1	2^n+1	2^n-k	2^n+k
4	860	1020	1370	2100	2500
5	960	1120	1480	2200	2600
7	1130	1360	1670	2840	3020
10	1380	1600	1790	3060	3470