



# Universidade Federal de Santa Catarina

Departamento de Informática e Estatística  
Bacharelado em Ciências da Computação

INE 5406 - Sistemas Digitais – semestre 2018/1



## 3º Relatório de Aula Prática (21/05/2018)

Nomes : \_\_\_\_\_

Matrículas: \_\_\_\_\_

### Importante.

- Para a execução dos passos de síntese previstos neste roteiro, utilize a família de FPGAs **Cyclone II** e o dispositivo **EP2C35F672C6** nos projetos no Quartus II, versão 13.0 (sp1). Para a simulação *gate-level*, utilize o ModelSim-Altera.
- Esta folha de questões deve ser preenchida e entregue ao final da aula. Ao final da aula, todos os arquivos utilizados e/ou gerados devem ser entregues via Moodle. Compacte em formato zip a pasta com todos arquivos de trabalho. Nomeie o arquivo .zip utilizando o seu nome (Ex.: Joao\_Silva.zip) e submeta-o via Moodle.
- Não será permitido o intercâmbio de informações entre os alunos.

### Passo 1

O diagrama da Fig.1 mostra de forma simplificada o bloco operativo e bloco de controle do MIPS monociclo. Neste diagrama, você deverá completar a descrição do arquivo mips\_decoder que corresponde ao controle destacado na figura, com os respectivos sinais de controle. Este controle realiza a decodificação das instruções, de acordo com a tabela 1.

### Questão 1:

Complete a descrição do arquivo mips\_decoder.

Compile o projeto e Anote os seguintes dados, obtidos após a compilação do projeto. **Salve em um arquivo texto com o nome dos participantes e os resultados encontrados para as letrar a), b), c) e d).**

- Total combinational functions* (LEs):
- dedicated logic registers*:
- Número de Pinos:
- Minimum clock to output time / Data Port:

Instrução	Write_mem (6)	Sel_wAddr (5)	Sel_wData3 (4)	Sel_mux2ula (3)	Regfile_we (2)	ULAop (1 downto 0)
000000	0	1	0	0	1	10
100011	0	0	1	1	1	00
101011	1	0	0	1	0	00