



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Ciências da Computação & Engenharia Eletrônica



Sistemas Digitais

INE 5406

Aula 14-P

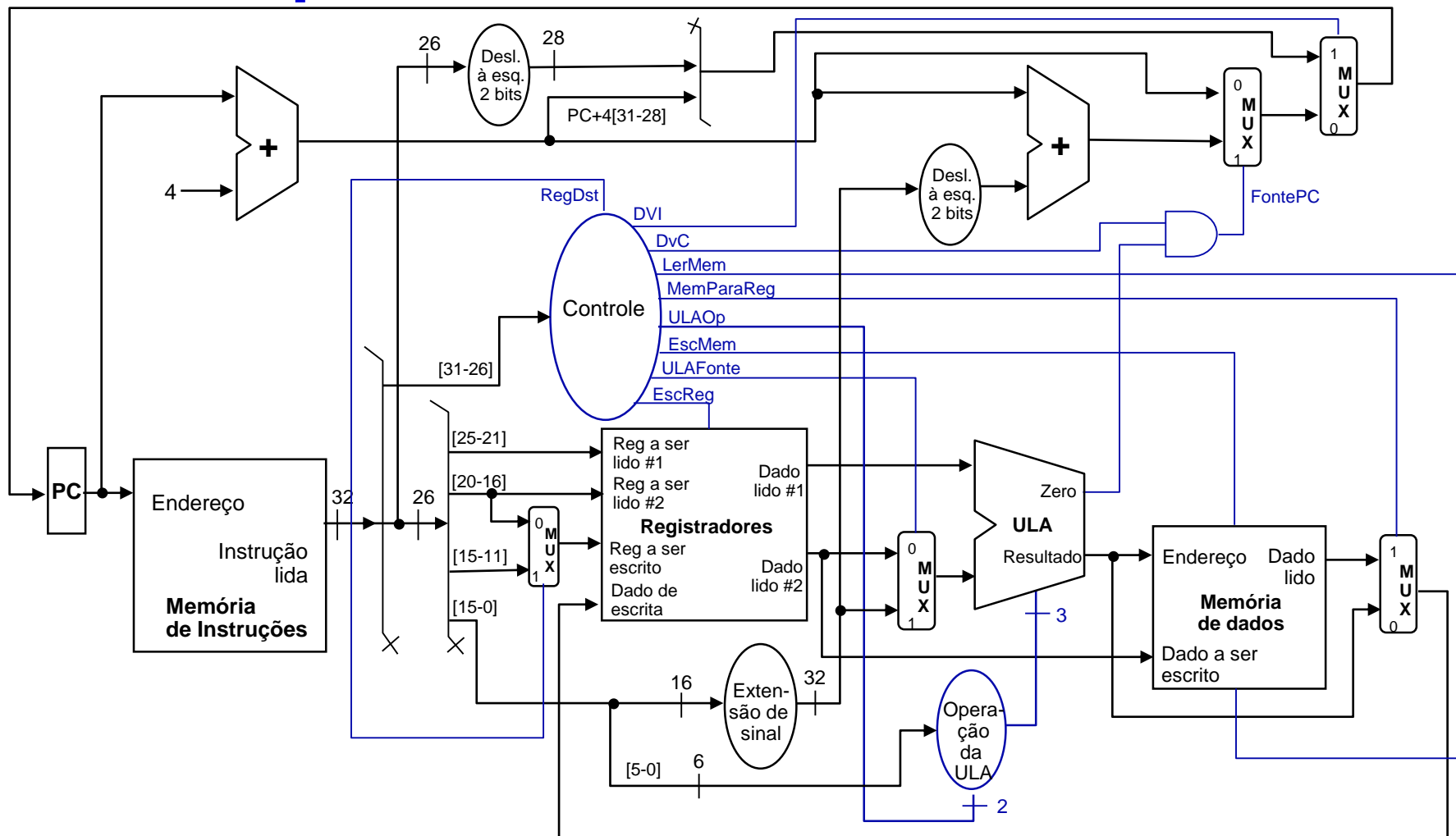
Implementação de hardware para instruções LW e SW

Est. Doc. André Bräscher & Luiz H. Cancellier

Prof. José Luís Güntzel
j.guntzel@ufsc.br

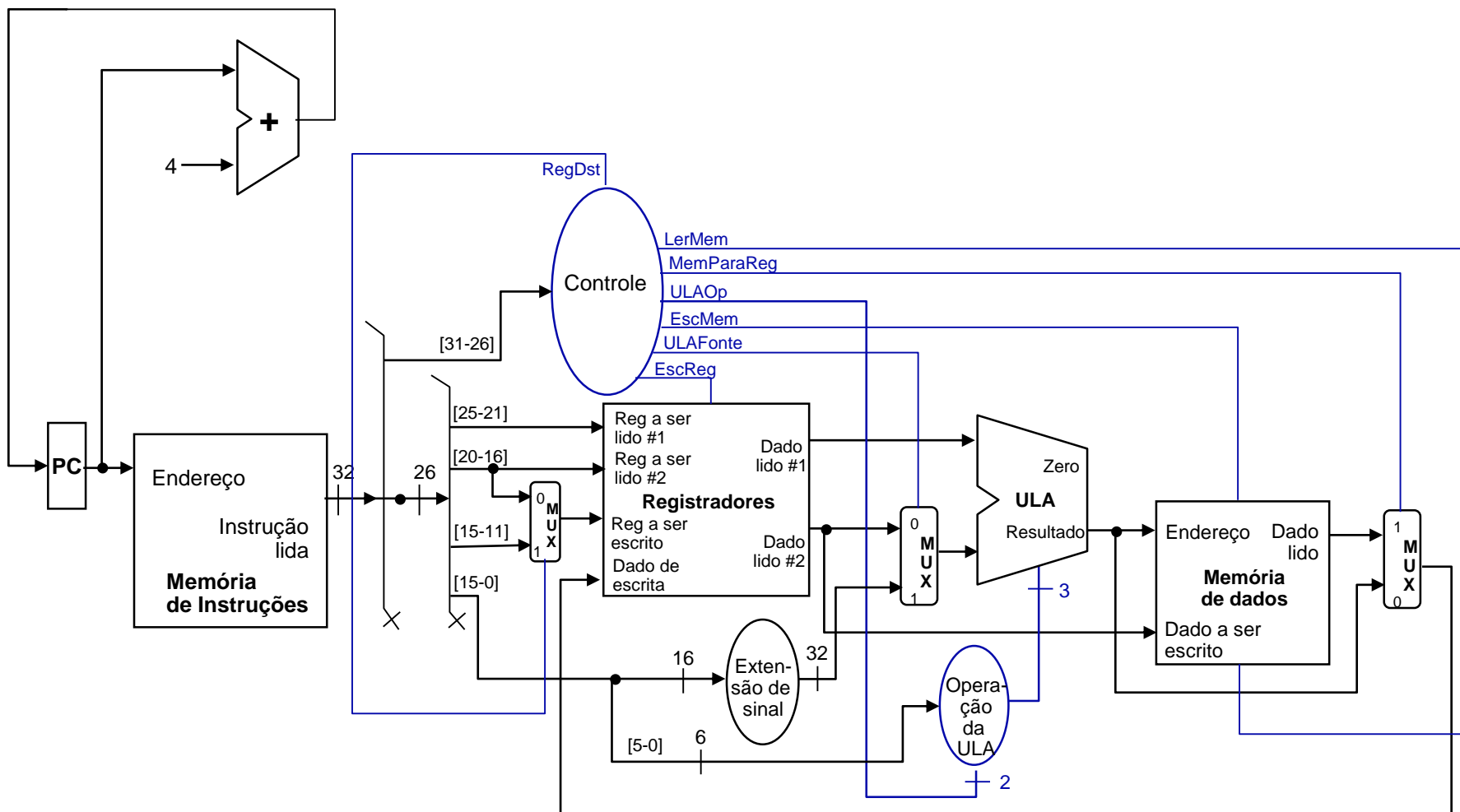
O Processador MIPS Monociclo

Bloco Operativo + Bloco de Controle



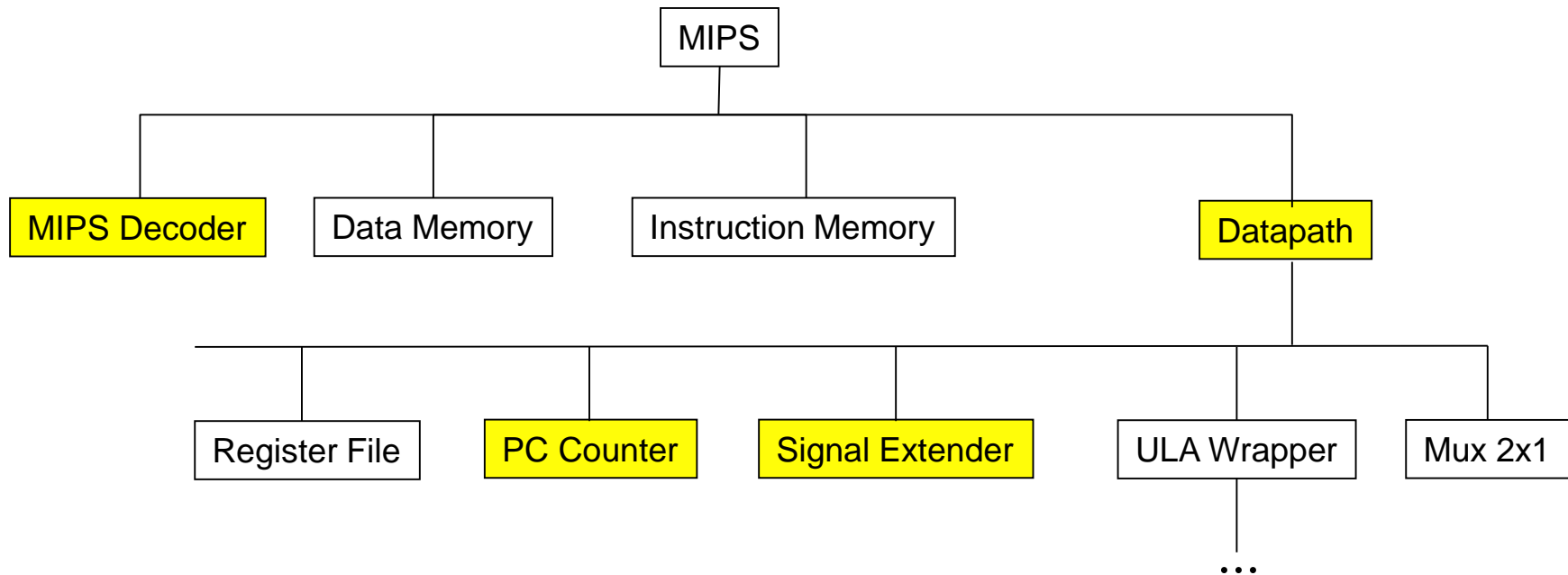
O Processador MIPS Monociclo

Bloco Operativo + Bloco de Controle



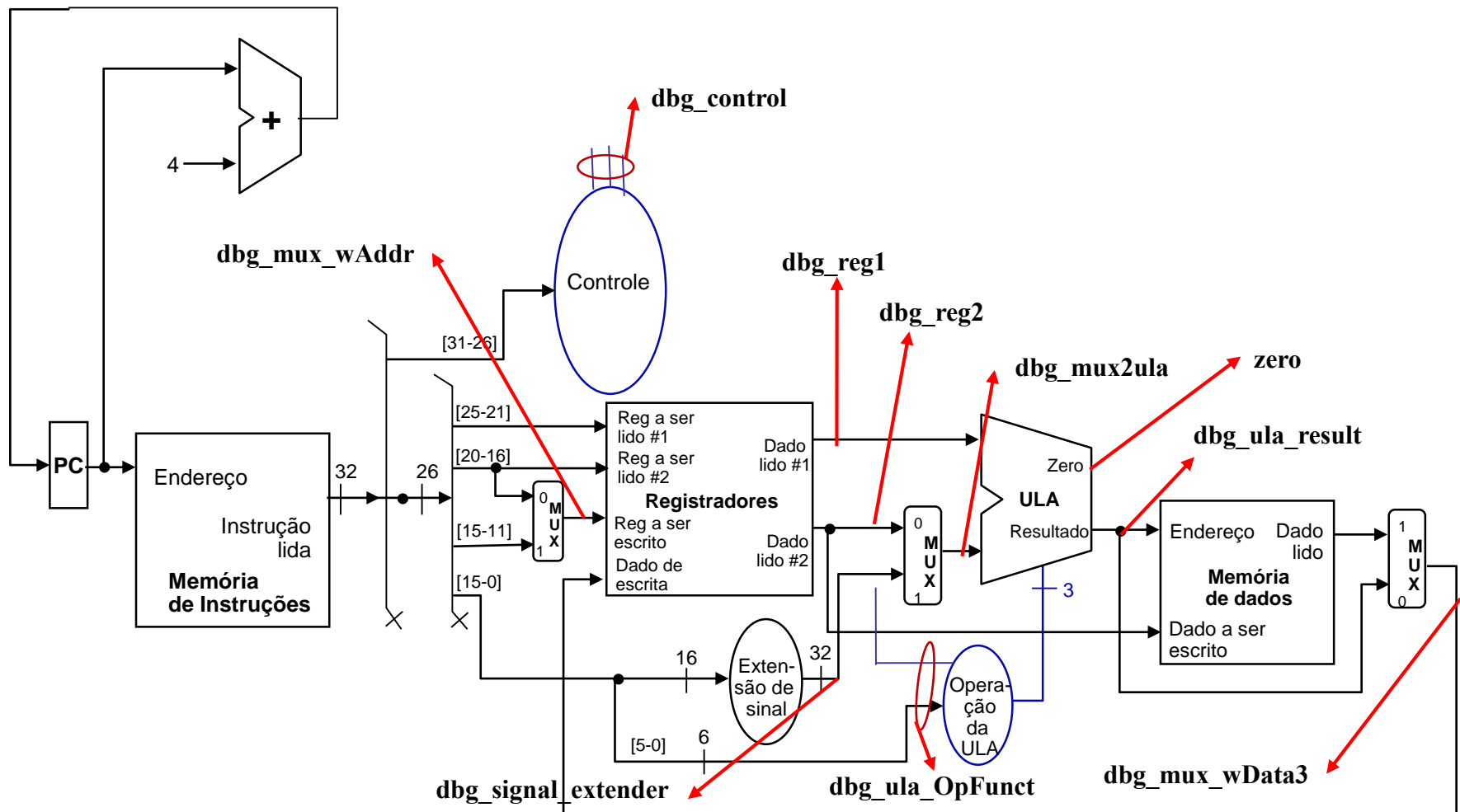
O Processador MIPS Monociclo

► Estrutura do Projeto



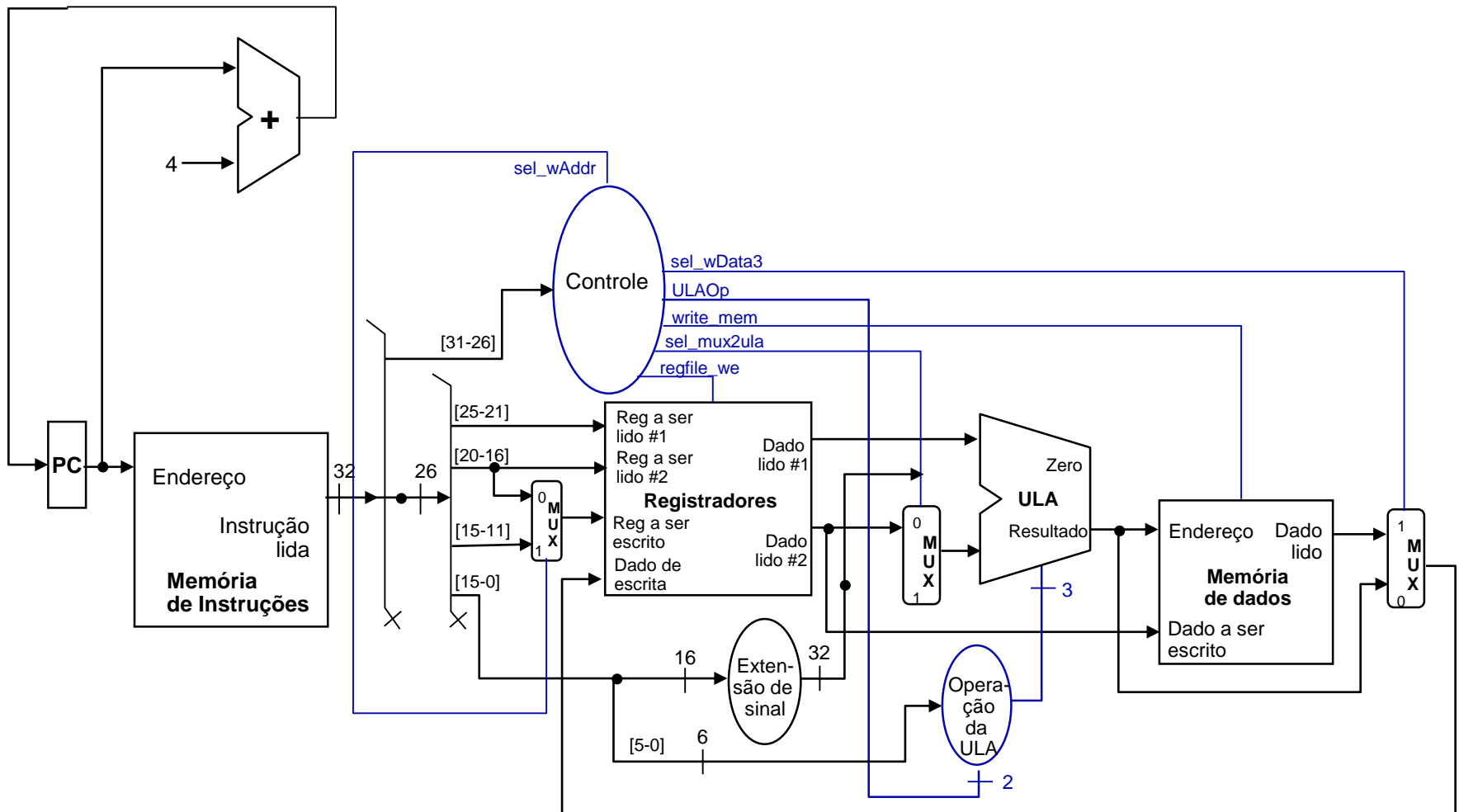
O Processador MIPS Monociclo

Sinais De Debug



O Processador MIPS Monociclo

Sinais de controle



O Processador MIPS Monociclo

Tabela do controle

| Instrução | Write_mem (6) | Sel_wAddr (5) | Sel_wData3 (4) | Sel_mux2ula (3) | Regfile_we (2) | ULAop (1 downto 0) |
|-----------|------------------|------------------|-------------------|--------------------|-------------------|-----------------------|
| 000000 | 0 | 1 | 0 | 0 | 1 | 10 |
| 100011 | 0 | 0 | 1 | 1 | 1 | 00 |
| 101011 | 1 | 0 | 0 | 1 | 0 | 00 |