



Cronograma da Disciplina - Turma 05235A

Semana	Data	Conteúdo das Aulas Teóricas	Slides
1	26/2	Apresentação da disciplina. 0. Sistemas Digitais e Nível RT. Tipos de processadores. Nível lógico x nível RT. 1. Componentes do nível RT: unidades funcionais, componentes de interconexão e registradores	1T
2	5/3	1. Componentes do Nível RT: temporização e análise de timing. Atraso de componentes, diagramas de tempos, período mínimo do relógio, atraso crítico, tempo de estabilização dos sinais, caminho crítico.	2T
3	12/3	1. Componentes do Nível RT: Máquinas Sequenciais Síncronas. O modelo BO/BC e Processamento Multiciclo.	3T
4	19/3	2. Processadores Dedicados (Blocos Aceleradores). Método de Projeto no Nível RT. Estudos de caso.	4T
5	26/3	2. Blocos Aceleradores (Processadores Dedicados). Estudos de caso	5T
6	2/4	2. Blocos Aceleradores (Processadores Dedicados). Estudos de caso	6T
7	9/4	P1 Primeira avaliação teórica	-
8	16/4	3. O Processador MIPS: conjunto de instruções e exemplos de uso (noções de programação assembly).	7T
9	23/4	3. O Processador MIPS monociclo: construção do bloco operativo (incluindo a ULA e seu controle, o banco de registradores e os blocos de memória).	8T
10	30/4	Dia não letivo	
11	7/5	3. O Processador MIPS monociclo: execução das instruções (análise de timing)	9T
12	14/5	3. O Processador MIPS monociclo: construção do bloco de controle e detalhes dos demais componentes.	10T
13	21/5	4. O Processador MIPS multiciclo: construção do bloco operativo.	11T
14	28/5	4. O Processador MIPS multiciclo: análise de timing (tempos de estabilização dos sinais, atrasos dos caminhos, caminhos críticos e frequência máxima do relógio).	12T
15	4/6	4. O Processador MIPS multiciclo: construção do bloco de controle. 5. Desempenho de processadores: estimativa de tempo de execução	13T
16	11/6	P2 (Segunda avaliação teórica)	-
17	18/6	reserva (segunda chamada)	
18	25/6	REC (Recuperação)	-
Semana	Data	Conteúdo das Aulas Práticas	Slides
1	1/3	Introdução ao fluxo de projeto com ferramentas de EDA e FPGAs; Descrição em VHDL e síntese de blocos RT. componentes e instanciação, Generic maps, uso dos tipos std_logic, std_logic_vector, integer, signed, unsigned e natural, conversão de tipos, Parametrização: o exemplo do somador.	1P
2	8/3	Simulação com atraso ("gate-level") de blocos RT com o ModelSim: o exemplo do somador.	2P
3	15/3	Descrição, síntese e simulação de blocos RT. Comandos paralelos: atribuição simples, com sinal selecionado e com sinal condicional: multiplexadores e decodificadores. Projeto hierárquico: exemplo da ULA.	3P
4	22/3	Descrição, síntese e simulação de blocos RT. Processos, comandos sequenciais, atribuições com if-then-else e case-when: circuitos combinacionais (mux, ULA) e registrador com sinal de carga.	4P
5	29/3	Relatório Prático R1	-
6	5/4	Descrição em VHDL, síntese e simulação de Máquinas de Estados Finitos (FSM). Exemplo de bloco de controle de um sistema digital.	5P
7	12/4	Descrição em VHDL, síntese e simulação de um processador dedicado (acelerador): o bloco operativo.	6P

8	19/4	Descrição em VHDL, síntese e simulação de um processador dedicado (acelerador): o bloco de controle.	7P
9	26/4	Descrição em VHDL, síntese e simulação de um sistema digital contendo bloco de memória.	8P
10	3/5	Relatório Prático R2	-
11	10/5	Descrição em VHDL, síntese e simulação do MIPS monociclo: ULA e banco de registradores.	9P
12	17/5	Descrição em VHDL, síntese e simulação do MIPS monociclo: ULA e banco de registradores	10P
13	24/5	Descrição de testbench em VHDL e simulação do MIPS monociclo (ULA e banco de registradores)	11P
14	31/5	Feriado: Corpus Christi	-
15	7/6	Descrição em VHDL, síntese e simulação do MIPS monociclo: bloco operativo para instruções lw e sw.	12P
16	14/6	Relatório Prático R3	-
17	21/6	reserva	-
18	28/6	sem aula de laboratório	