

Conception et évaluation d'une unité de calcul en virgule flottante

Projet de M2

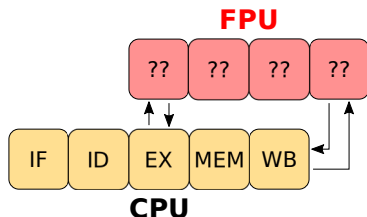
mathieu.escouteloup@inria.fr

Lundi 05 Octobre 2020

Calculs en virgule flottante

Principes

- Représentation de nombres réels : $1,058 * 2^{-5} \dots$
- Présente dans la plupart des processeurs.
- Nécessite une unité à part entière (FPU) : registres dédiés, pipeline *etc.*



Objectifs et contraintes

Objectifs :

- Etudes des choix d'implémentation.
- Support des calculs sur flottants simple précision (32 bits).
- Mise en place des tests unitaires correspondants.
- Selon l'avancement : intégration CPU, FPGA, sécurité *etc.*



Contraintes :

- Respect de l'extension RISC-V RV32F.
- Utilisation du langage Chisel.

Références utiles

Langage Chisel :

- Informations : <https://github.com/freechipsproject/chisel3>
- Book : <https://github.com/schoeberl/chisel-book>
- Bootcamp : <https://mybinder.org/v2/gh/freechipsproject/chisel-bootcamp/master>

FPU et RISC-V :

- Norme IEEE : https://fr.wikipedia.org/wiki/IEEE_754
- Spécification RISC-V (Unprivileged) : <https://riscv.org/technical/specifications/>
- Principes et architectures : Computer Organization and Design RISC-V Edition

Lien du projet : <https://github.com/escou64/fpu-riscv>