

Conception et évaluation d'une unité de calcul en virgule flottante.

mathieu.escouteloup@inria.fr

05 octobre 2020

L'objectif de ce projet est la conception d'une unité de calcul en virgule flottante. Ce type d'unité est présent dans la plupart des processeurs et permet la manipulation de nombres réels par le logiciel. De par la spécificité de ces opérations par rapport à des calculs sur des entiers, une unité dédiée plus ou moins complexe est nécessaire (mise en place d'un pipeline, registres dédiées *etc.*).

L'unité conçue devra correspondre à l'extension RISC-V RV32F qui est dédiée à la manipulation des flottants simple précision (32 bits). Le langage de conception utilisé sera le Chisel, un langage moderne basé sur le Scala avec des propriétés plus haut niveau que le Verilog et le VHDL. Selon l'avancement du projet, différentes possibilités d'exploration seront possibles et au choix:

- Intégration à un processeur simple RISC-V afin de pouvoir y exécuter du code réel (en C ou assembleur).
- Etudes de l'impact des différents choix d'architecture (via une synthèse et implémentation d'IP pour FPGA).
- Analyse des variations de timing existantes au sein de l'unité et pouvant entraîner des fuites d'informations.