

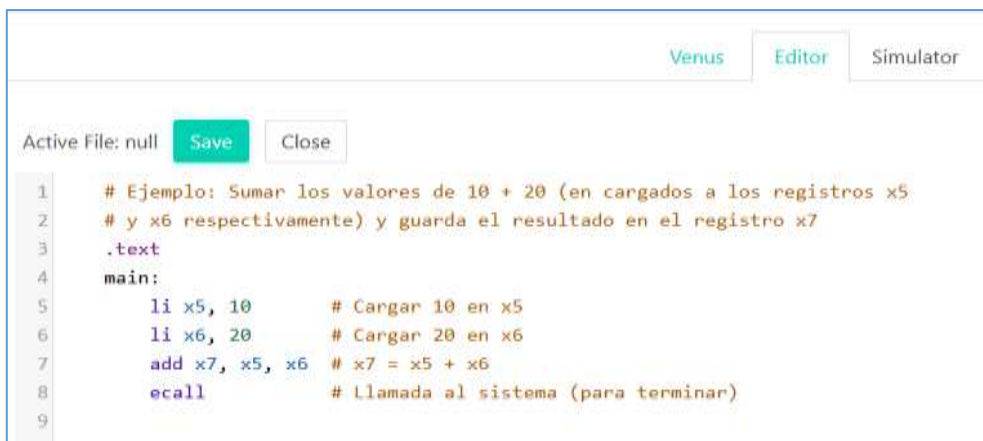
VENUS Simulador Web de RISC-V

Este simulador puede ejecutarse desde el navegador sin requerir e instalación. Soporta las instrucciones básicas de RV32I

Liga para ejecutar el simulador: <https://venus.cs61c.org>

1. Seleccionar la ventana Editor y escribir el código del programa a ejecutar
2. En la pestaña Simulador, presionar el botón de “assemble” (ensamblar) para traducir el código escrito a instrucciones máquina.
3. Presionar “Run” para ejecutar el programa.
4. Obtención y visualización de resultados. En la parte derecha se ve la tabla de registro y localidades de memoria. Además, si en el programa se incluyen llamadas al sistema por medio de la instrucción `ecall`, los resultados se visualizan en la consola (ventana de “Console”).
5. Puede visualizarse el manejo de memoria (ventana Memory)

Ejemplo:

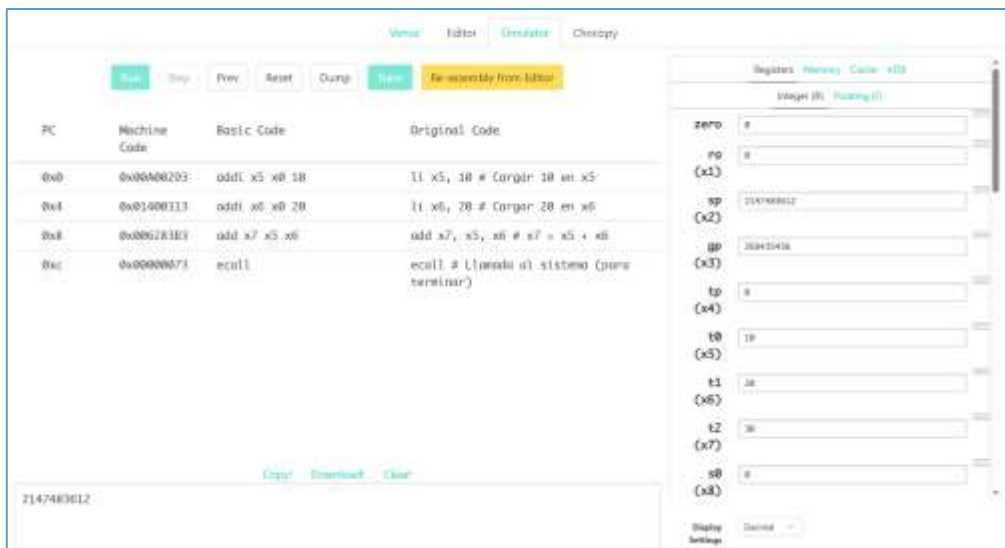


The screenshot shows the Venus RISC-V simulator web interface. At the top, there are three tabs: "Venus", "Editor", and "Simulator". The "Editor" tab is active. Below the tabs, there is a header area with "Active File: null", a green "Save" button, and a "Close" button. The main area displays assembly code in a monospaced font with line numbers on the left. The code is as follows:

```
1  # Ejemplo: Sumar los valores de 10 + 20 (en cargados a los registros x5
2  # y x6 respectivamente) y guarda el resultado en el registro x7
3  .text
4  main:
5      li x5, 10      # Cargar 10 en x5
6      li x6, 20      # Cargar 20 en x6
7      add x7, x5, x6  # x7 = x5 + x6
8      ecall          # Llamada al sistema (para terminar)
9
```



Puede seleccionarse decimal



En la ventana de memoria se observa en que direcciones se guardan los datos. El Contador del programa (PC) indica la dirección de la instrucción en ejecución.



RARS (RISC-V ensamblador y simulador de ejecución)

Este simulador de instrucciones RISC-V es compatible con instrucciones de la base RV32I y algunas de RV32M. Permite ver registros y memoria en tiempo real a través de una interfaz gráfica amigable.

Liga de descarga: <https://github.com/TheThirdOne/rars>

Se requiere:

1. Descargar y abrir el archivo **RARS.jar** (requiere Java).
2. Escribir el código en ensamblador RISC-V, ensamblar y ejecutar el código para ver los resultados en los registros.

Spike (Simulador oficial de RISC-V)

Este es un simulador oficial del **RISC-V ISA**. Soporta arquitecturas avanzadas como **RV64** y extensiones especializadas. Requiere usar la terminal (línea de comandos). Puede instalarse en Linux.