



INSTITUTO POLITECNICO NACIONAL
ESCUELA SUPERIOR DE COMPUTO

INGENIERIA EN SISTEMAS COMPUTACIONALES DISEÑO DE SISTEMAS
DIGITALES

PRACTICA: Divisor de frecuencia

Equipo:

Álvarez Hernández Gabriel Alexander

García Quiroz Gustavo Ivan

Huesca Laureano Josue Alejandro

Muñoz Valdivia Irving Omar

Pedroza Villagómez Emir

Tabla de contenido

Introducción.	2
Concepto básico de un divisor de frecuencia.....	2
Desarrollo.	3
Código.....	3
Descripción del Código.....	4
RTL.	5
Conclusiones.	5
Referencias.....	5

Introducción.

Un divisor de frecuencia es un circuito que reduce la frecuencia de una señal de entrada a una frecuencia de salida más baja. Se utiliza en una variedad de aplicaciones, como en relojes de sistemas digitales, comunicaciones, y en la generación de señales de referencia.

En los sistemas digitales y electrónicos, a menudo se requiere una frecuencia específica para sincronizar operaciones o para generar señales con ciertas características. Un divisor de frecuencia toma una señal de reloj de entrada con una frecuencia determinada y produce una señal de salida con una frecuencia reducida en una proporción específica. Por ejemplo, si la señal de entrada tiene una frecuencia de 10 MHz y el divisor está configurado para reducir esta frecuencia por un factor de 4, la señal de salida tendrá una frecuencia de 2.5 MHz.

Concepto básico de un divisor de frecuencia.

El divisor de frecuencia mas simple es un contador binario. Un contador binario de n bits cuenta de 0 a $2^n - 1$ y luego vuelve a 0, dividiendo efectivamente la frecuencia de la señal de entrada por 2^n .

Imaginemos una señal de entrada de 10 MHz y queremos reducirla a 5 MHz. Un contador binario de 1 bit puede hacer esto:

1. **Frecuencia de Entrada:** 10 MHz
2. **Divisor:** 2
3. **Frecuencia de Salida:** $10 \text{ MHz} / 2 = 5 \text{ MHz}$

Cada ciclo de reloj de entrada hace que el contador cambie de estado (de 0 a 1 o de 1 a 0). La salida del contador (un solo bit) será una señal cuadrada con la mitad de la frecuencia de la señal de entrada.

Desarrollo.

Código.

```
/*
*****
***
* Proyecto : DivFreq
* Archivo : DivFreq.v
* Descripción: Esta instancia de Divisor de Frecuencia es utilizada en los
diferentes proyectos
* con una frecuencia de entrada de 10MHz dividido por 4
* Asignatura: DSD
* Profesor : Flores Escobar José Antonio
* Equipo : - Álvarez Hernández Gabriel Alexander
* - García Quiroz Gustavo Iván
* - Huesca Laureano Josué Alejandro
* - Pedroza Villagómez Emir
* - Muñoz Valdivia Irving Omar
*****
*/
module DivFreq #(
    parameter freqdev = 10_000_000, // Frecuencia de entrada en Hz (10 MHz)
    parameter freqfinal = 4          // Factor de división (freqdev dividido
por 4)
)(
    input clk_i, // Señal de reloj de entrada
    input rst_ni, // Señal de reset activo bajo
    output reg clk_o // Señal de reloj de salida
);

    reg [31:0] counter_r; // Registro de contador de 32 bits
```

```

    // Bloque always que se ejecuta en el flanco positivo del reloj de
    // entrada o en el flanco negativo del reset
    always @(posedge clk_i or negedge rst_ni) begin
        if (!rst_ni) begin
            // Si el reset está activo (bajo), inicializar el contador y la
            // salida
            counter_r <= 32'b0;
            clk_o <= 1'b1; // Comenzamos con el reloj en alto
        end else begin
            // Si el contador alcanza el valor 10,000, resetear el contador
            // e invertir la señal de salida
            if (counter_r == (32'd10_000)) begin
                counter_r <= 32'b0;
                clk_o <= ~clk_o;
            end else begin
                // De lo contrario, incrementar el contador
                counter_r <= counter_r + 32'b1;
            end
        end
    end
end
endmodule

```

Descripción del Código

1. Parámetros:

- freqdev: Define la frecuencia de la señal de entrada.
- divisor: Define el factor por el cual se desea dividir la frecuencia.

2. Entradas y Salidas:

- clk_i: Señal de reloj de entrada.
- rst_ni: Señal de reinicio (reset) activo bajo.
- clk_o: Señal de reloj de salida con frecuencia dividida.

3. Registro de Contador:

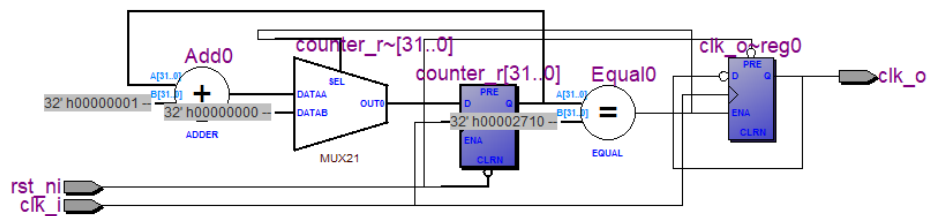
- counter_r: Un registro de 32 bits que cuenta los ciclos del reloj de entrada.

4. Lógica del Bloque Always:

- Si rst_ni está en bajo, el contador y la señal de salida se reinician.

- Si counter_r alcanza el valor (freqdev / divisor) - 1, el contador se resetea y la señal de salida se invierte.
- Si no, el contador se incrementa en cada ciclo de reloj de entrada.

RTL.



Conclusiones.

El módulo DivFreq es un divisor de frecuencia básico implementado en Verilog. Utiliza un contador para dividir la frecuencia de una señal de entrada y generar una señal de salida de menor frecuencia. El módulo permite la configuración mediante parámetros para ajustar la frecuencia de entrada y el factor de división. La lógica del módulo asegura que la señal de salida cambia de estado (alto a bajo o viceversa) cuando el contador alcanza un valor predefinido, logrando así la reducción de la frecuencia de la señal de entrada.

Referencias.

Mano, M. M., & Ciletti, M. D. (2013). *Digital Design* (5th ed.). Pearson.