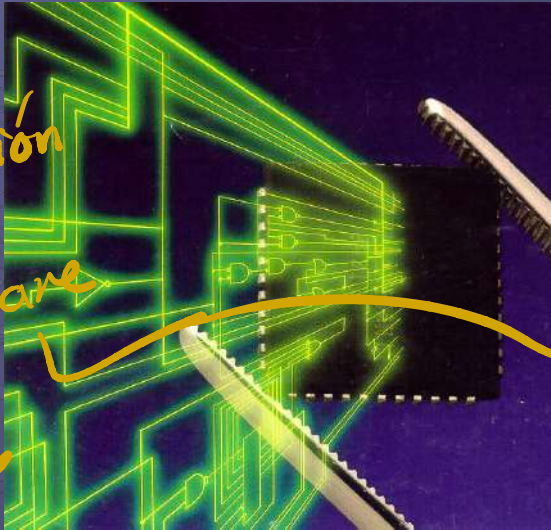


HDL
Lenguaje
de
descripción
de
hardware
Vital

¿ Qué es un PLD ?

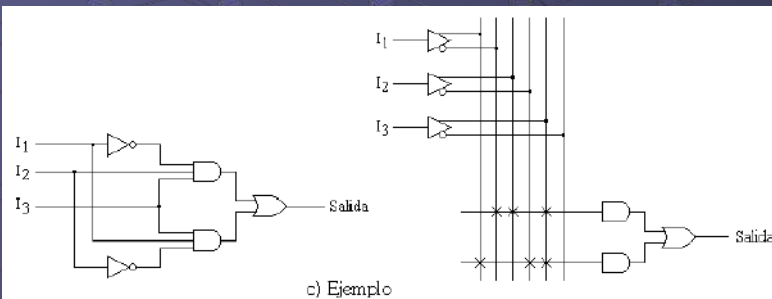
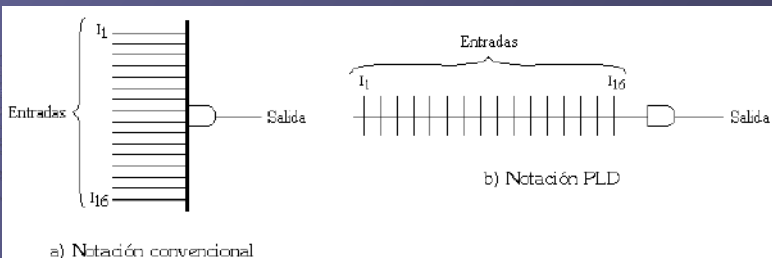
Dispositivo
Lógico
Programable



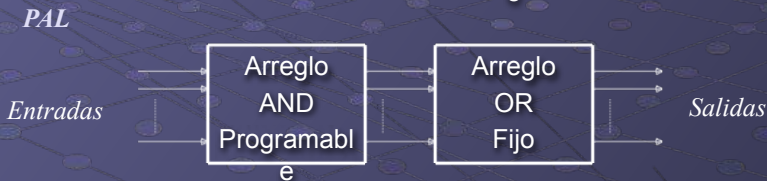
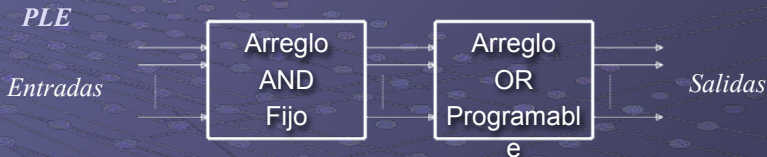
Verilog

Es un circuito integrado que contiene una gran cantidad de elementos lógicos y a través de la programación se interconectan para que realicen una función específica.

Notación convencional y notación PLD



Configuraciones básicas



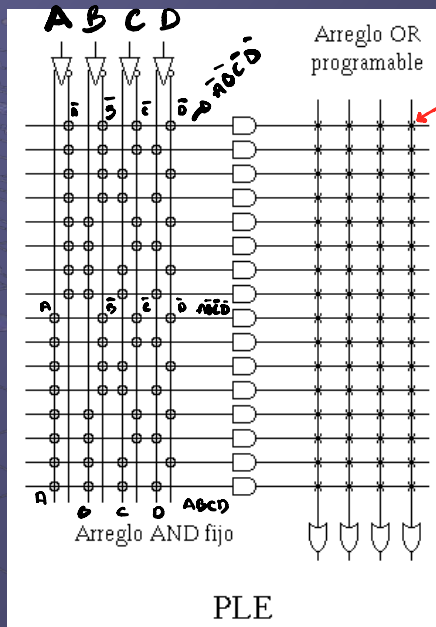
Configuraciones básicas

PLE: no se utiliza como un dispositivo lógico, sino como una memoria direccionable, debido a las limitaciones que presenta con las compuertas AND fijas.

PLA: éste se desarrolló para superar las limitaciones de la memoria PROM. Este dispositivo se llama también FPLA (Arreglo Lógico Programable en Campo), ya que es el usuario quien lo programa, no el fabricante.

PAL: se desarrolló para superar algunas limitaciones del PLA, como retardos provocados por la implementación de fusibles adicionales, que resultan de la utilización de dos arreglos programables y de la complejidad del circuito.

Configuración PLE/PROM



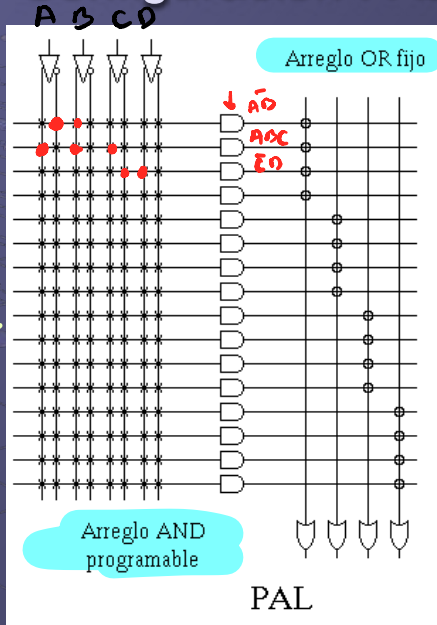
PLE

GAL 22V10

↓
PAL

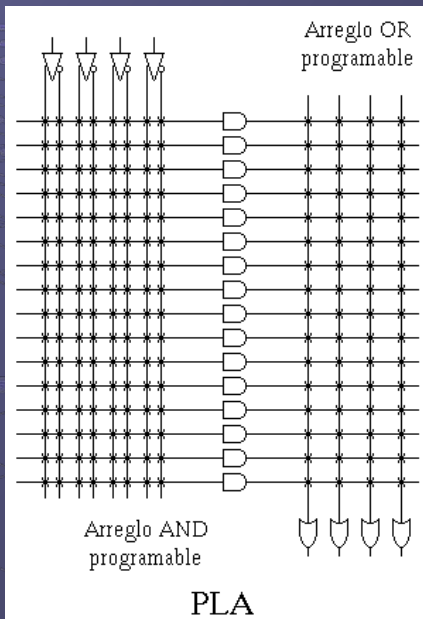
↓
LATTICE

Configuración PAL



$$F = \bar{A}B + AB + \bar{C}D$$

Configuración PLA



Clasificación de los PLD's

Productos comerciales

SPLD's

Fabricante	SPLD
Altera	Clásicos, FLASHLogic
Atmel	PAL
Cypress	PAL
Lattice	GAL
Philips	PLA, PAL
Vantis	PAL

PLD's

CPLD's

Fabricante	CPLD
Altera	MAX 5000, 7000 Y 9000
Atmel	ATF, ATV
Cypress	FLASH370, ULTRA37000
Lattice	IspLSI 1000 a 8000
Philips	XPLA
Vantis	MACH 1 a 5
Xilinx	XC9500, CoolRunner

FPGA's

Fabricante	FPGA
Actel	ACT 1 a 3, MX, SX
Altera	FLEX 6000, 8000 Y 10K
Atmel	AT6000, AT40K
Lucent	ORCA 1 a 3
QuickLogic	pASIC1 a 3
Vantis	VF1
Xilinx	XC4000, Virtex, Spartan

E.S.C.O.M.

M. en C. Miguel Ángel Alemán
Arce

Integración en un SPLD

Sustituye a 100 C.I. SSI
TTL o CMOS

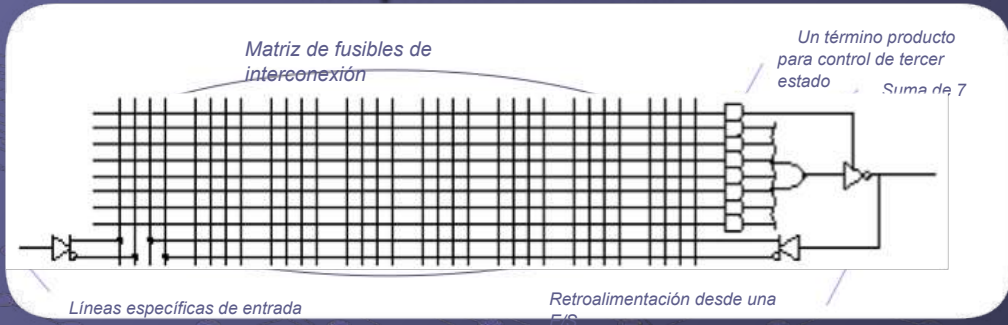


PAL's ó GAL's



C.I. Series 74xx y 40xx

Arquitectura PAL



La Esquema circuital de un PAL

- Se cuenta a lo largo de **TODO EL CHIP** con los *literales* de todas las variables de entrada (la variable y la variable negada)
- Mediante lógica cableada es posible generar *términos producto* (**AND**) de la cantidad de *literales* que se desee
- Para generar la función sólo es posible sumar (**OR**) hasta 7 u 8 *términos producto*

E.S.C.O.M.

M. en C. Miguel Ángel Alemán
Arce

PAL16L8

64 AND de 32 entradas

8 OR de 7 entradas

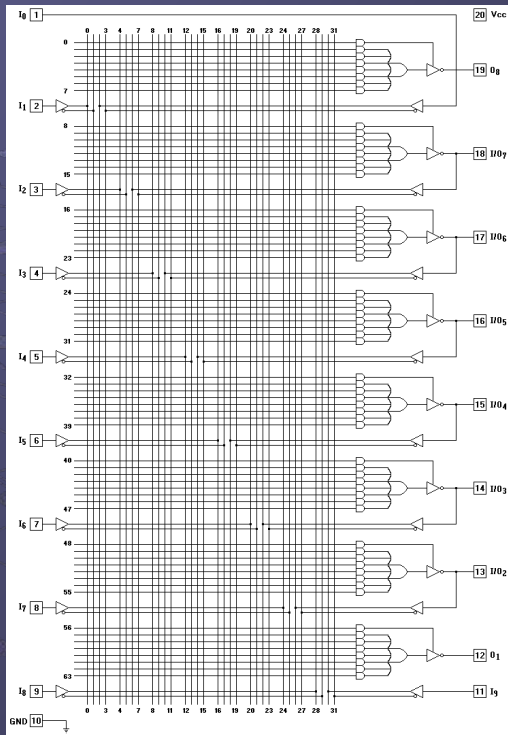
8 Inversores de tercer estado

16 Buffers doble salida

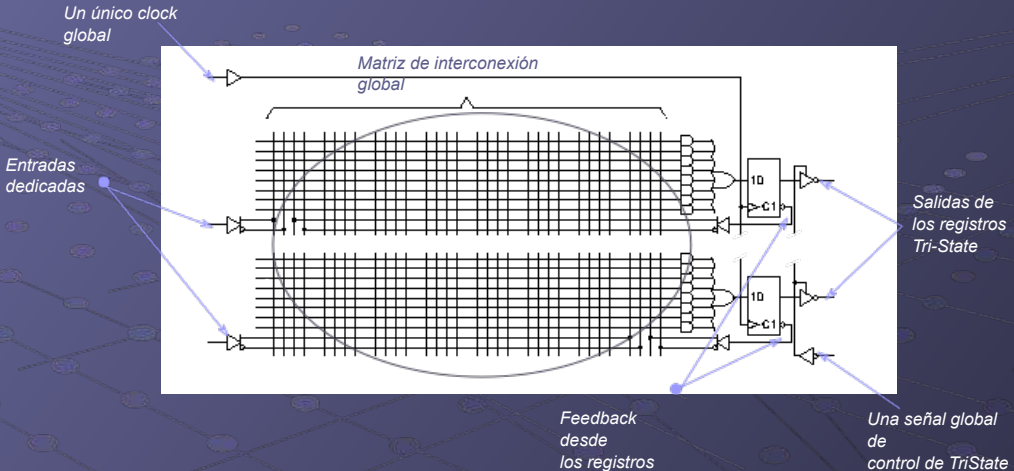
Aproximadamente :

200 C.I. SSI (TTL o CMOS)

serie 74xx o 40xx



PAL16R8



ê

Incorporación de elementos de memoria

Ideal para la síntesis de máquinas secuenciales

E.S.C.O.M.

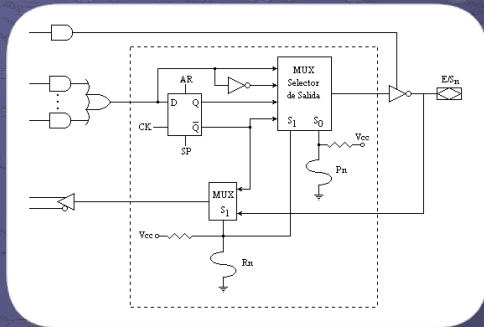
M. en C. Miguel Ángel Alemán
Arce

Arreglo Lógico Genérico (GAL)

El Arreglo Lógico Genérico (GAL) es similar al PAL, ya que se forma con arreglos AND programables y OR fijo, con una salida lógica programable. Las dos principales diferencias entre los GAL y PAL radican en que el primero es reprogramable y contiene configuraciones de salida programables. Los GAL se pueden programar una y otra vez ya que usan tecnología EEPROM.

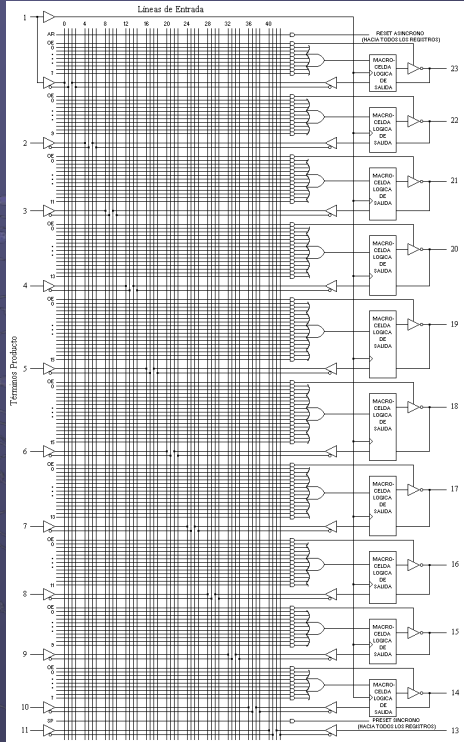
Arquitectura GAL

- Macroceldas lógicas de salida
- Suma de 8 a 16 términos producto



La macrocelda consta de:

- Un Flip-Flop
- Dos multiplexores



Limitaciones de los SPLD

- ê Reducida cantidad de macroceldas.
- ê La exigencia de optar entre la retroalimentación desde la macrocelda o desde la entrada fuerza que ante la necesidad de un flip-flop o de un término lógico intermedio a veces se deba perder una posible terminal de entrada/salida.
- ê La distribución de todas las señales por todo el chip consume mucha superficie del silicio y genera retardos capacitivos de importancia.
- ê En los primeros PAL, el uso de fusibles afectaba seriamente la confiabilidad del dispositivo.

Integración en un CPLD



PAL's y GAL's

Sustituye a 50 SPLD's



Soy un CPLD

E.S.C.O.M.

M. en C. Miguel Ángel Alemán
Arce

CPLD's

Agrupamiento de las macroceldas (**LABs**)

Generación de áreas de conexión global (**PIA**)

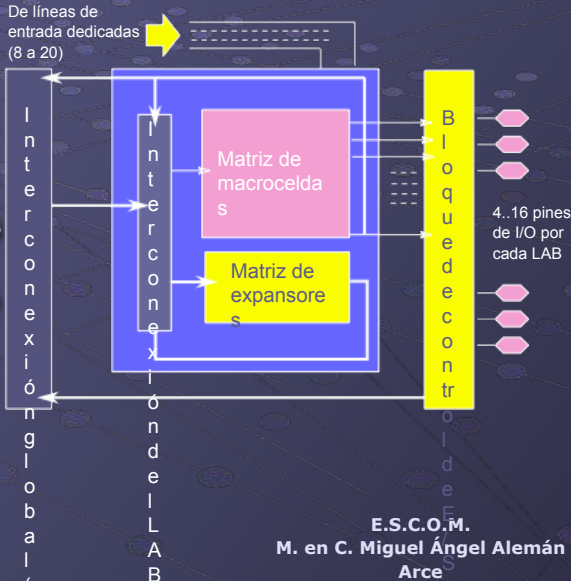
Generación de áreas de conexión dentro del **LAB**

Expansores para generar términos producto auxiliares

Con un término producto p/control de inversión lógica

Con un bloque de E/S por cada macrocelda con **dual feedback**

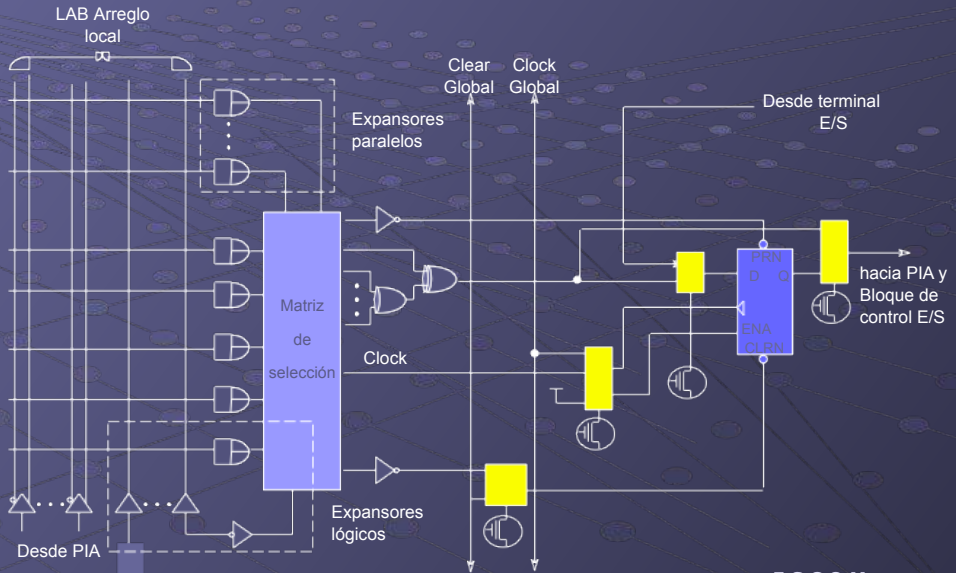
De 32 a 192 macroceldas en chips de 28 a 100 terminales



E.S.C.O.M.

M. en C. Miguel Ángel Alemán
Arce

Macrocelda y Expansores

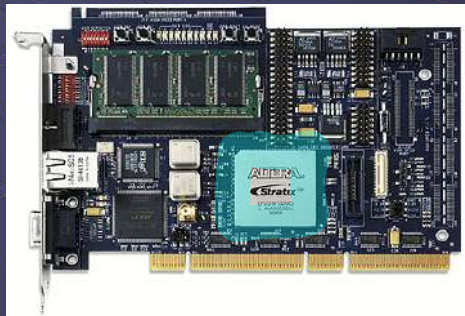


FPGA's

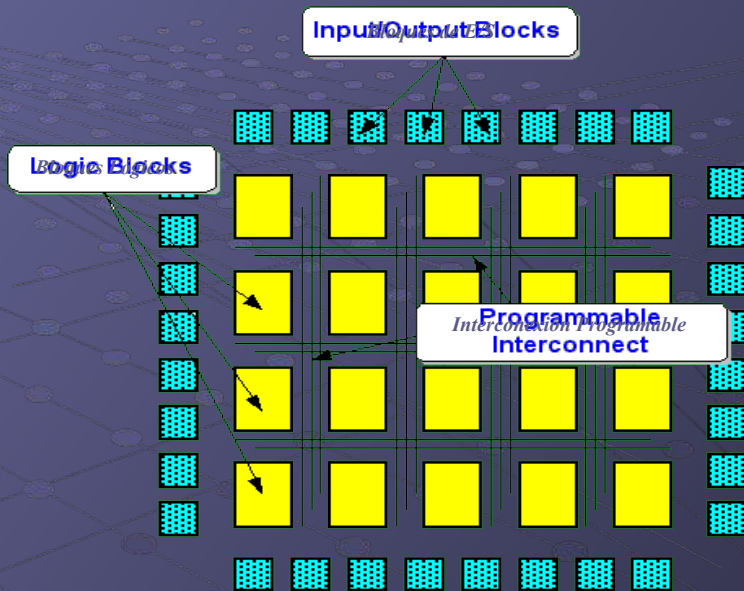
ê *Field Programmable Gate Array*
(Arreglo de compuertas programables en campo).

ê Es un circuito integrado que contiene celdas lógicas programables (64 a 104,882)

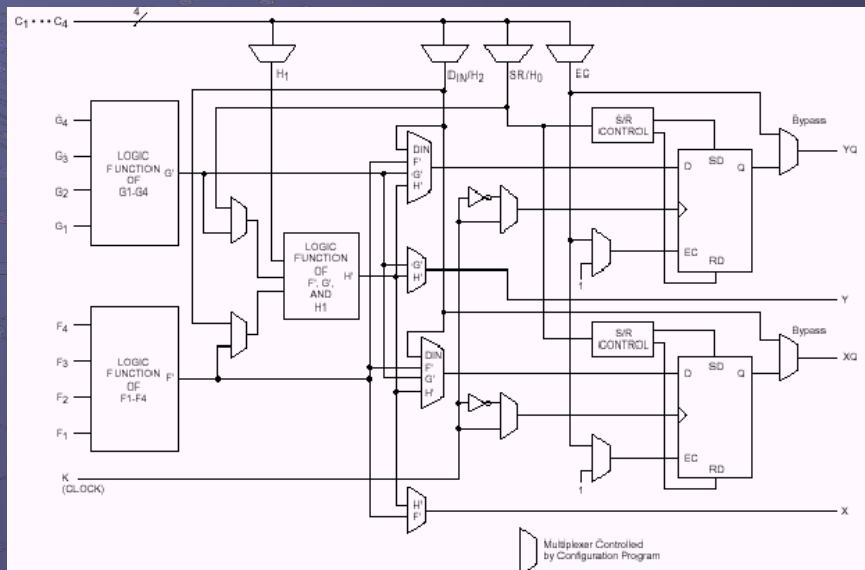
ê Las celdas lógicas se interconectan por medio de una matriz de interconexiones programables



Arquitectura del FPGA



Celda Lógica del FPGA



Densidades de FPGA's

ê Spartan II XC2S15	15,000*
ê Spartan IIE XC2S150E	150,000*
ê Virtex E XCV50E	72,000*
ê Virtex E XCV3200E	4,047,000*
ê Virtex II XC2V40	40,000*
ê Virtex II XC2V8000	8,000,000*

* Compuertas de sistema

Densidades de IP Cores

- Encriptador AES 40,000*
- Microcontrolador 80530 130,000*
- Microcontrolador 8051 150,000*
- Decodificador Viterbi 190,000*
- Controlador de Ethernet 195,000*
- Decodificador JPEG color 780,000*

* Compuertas de sistema

Costos de FPGA's

Varían dependiendo del encapsulado y velocidad

ê Spartan 20,000 compuertas ~ 1 DL

ê Spartan 100,000 compuertas ~ 20 DLS

ê Virtex 300,000 compuertas ~ 150 DLS

ê Virtex II 8,000,000 compuertas ~ 8,000 DLS

Xilinx vs. Altera



CPLD's

FPGA's

Software



Diseño usando lógica programable

Conclusiones :

- ê El uso de lógica programable no descarta el uso de lógica discreta, sino que la restringe a casos muy simples.
- ê Es una herramienta rápida, de alta confiabilidad, y de bajísimo costo por compuerta.
- ê La fácil modificación de un diseño permite asegurar el mantenimiento y actualización de un producto.
- ê Conocer profundamente las técnicas de diseño lógico es la mejor manera de aprovechar la lógica programable.
- ê Se pasa del diseño por compuertas al diseño por sistemas.

Sistema básico y Flujo de Diseño para Lógica Programable

Introducción/Descripción del Diseño

- Captura Esquemática
- Descripción basada en Lenguaje

Realización/Implementación del Diseño

- Traducción/Síntesis del Diseño
- Verificación de Reglas de Diseño
- Partición y Mapeo de Lógica
- Asignación o Colocación (Place) de la Lógica en los Bloques configurables
- Enrutamiento (Route)
- Creación de Archivo de Programación

Programación-Dispositivo



Simulación Funcional

- Verificación de la funcionalidad de la Lógica
- Temporización estimada (opcional)

Simulación Temporizada

- Se requiere de información de temporización posterior a los procesos de Colocación (Place) y Enrutamiento (Route)

Análisis de Temporización Estático

- Se requiere de información de temporización posterior al proceso de Colocación (Place) y Enrutamiento (Route)
- Objetivo: Obtener resultados mejores a los de la simulación temporizada

Depuración del diseño integrado al Sistema (In-System) siendo desarrollado

- Para dispositivos reprogramables
- Uso de otros Sistemas de Software & Hardware

Verificación del Diseño

Sistema Básico de Desarrollo

- ê Computadora Personal / Estación de Trabajo
- ê Software CAE/CAD – p.ej. WebPack (Gratuito) de Xilinx
- ê Programador – Opcional

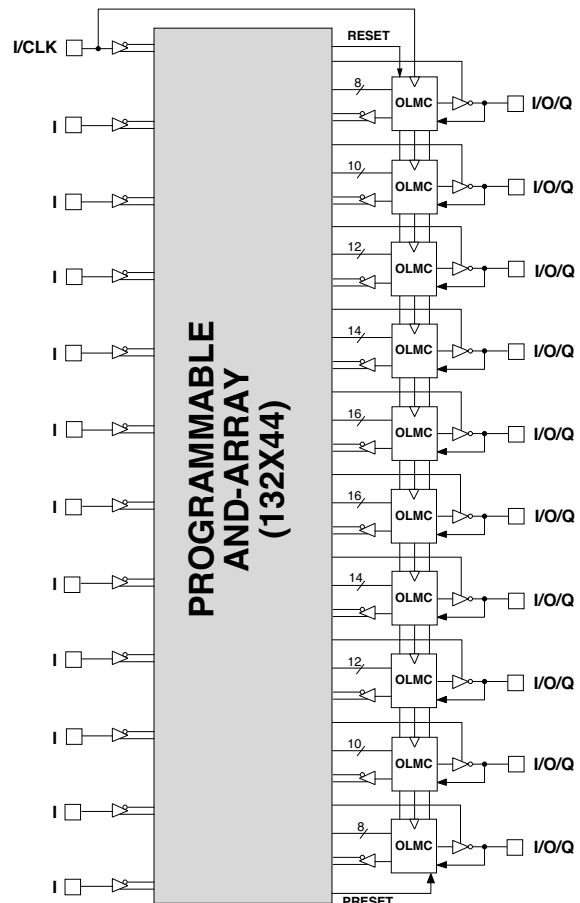
E.S.C.O.M.

M. en C. Miguel Ángel Alemán Arce

Features

- **HIGH PERFORMANCE E²CMOS® TECHNOLOGY**
 - 4 ns Maximum Propagation Delay → *tp - 4ns*
 - Fmax = 250 MHz
 - 3.5 ns Maximum from Clock Input to Data Output
 - UltraMOS® Advanced CMOS Technology
- **ACTIVE PULL-UPS ON ALL PINS**
- **COMPATIBLE WITH STANDARD 22V10 DEVICES**
 - Fully Function/Fuse-Map/Parametric Compatible with Bipolar and UVC MOS 22V10 Devices
- **50% to 75% REDUCTION IN POWER VERSUS BIPOLAR**
 - 90mA Typical Icc on Low Power Device
 - 45mA Typical Icc on Quarter Power Device
- **E² CELL TECHNOLOGY**
 - Reconfigurable Logic
 - Reprogrammable Cells
 - 100% Tested/100% Yields
 - High Speed Electrical Erasure (<100ms)
 - 20 Year Data Retention
- **TEN OUTPUT LOGIC MACROCELLS**
 - Maximum Flexibility for Complex Logic Designs
- **PRELOAD AND POWER-ON RESET OF REGISTERS**
 - 100% Functional Testability
- **APPLICATIONS INCLUDE:**
 - DMA Control
 - State Machine Control
 - High Speed Graphics Processing
 - Standard Logic Speed Upgrade
- **ELECTRONIC SIGNATURE FOR IDENTIFICATION**

Functional Block Diagram



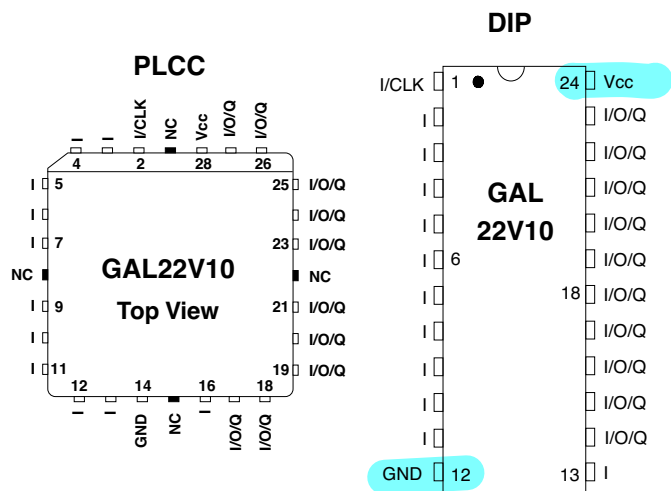
Description

The GAL22V10, at 4ns maximum propagation delay time, combines a high performance CMOS process with Electrically Erasable (E²) floating gate technology to provide the highest performance available of any 22V10 device on the market. CMOS circuitry allows the GAL22V10 to consume much less power when compared to bipolar 22V10 devices. E² technology offers high speed (<100ms) erase times, providing the ability to reprogram or reconfigure the device quickly and efficiently.

The generic architecture provides maximum design flexibility by allowing the Output Logic Macrocell (OLMC) to be configured by the user. The GAL22V10 is fully function/fuse map/parametric compatible with standard bipolar and CMOS 22V10 devices.

Unique test circuitry and reprogrammable cells allow complete AC, DC, and functional testing during manufacture. As a result, Lattice Semiconductor delivers 100% field programmability and functionality of all GAL products. In addition, 100 erase/write cycles and data retention in excess of 20 years are specified.

Pin Configuration



Copyright © 1997 Lattice Semiconductor Corp. All brand or product names are trademarks or registered trademarks of their respective holders. The specifications and information herein are subject to change without notice.

LATTICE SEMICONDUCTOR CORP., 5555 Northeast Moore Ct., Hillsboro, Oregon 97124, U.S.A.
Tel. (503) 681-0118; 1-888-ISP-PLDS; FAX (503) 681-3037; <http://www.latticesemi.com>

March 1998

GAL22V10 Ordering Information

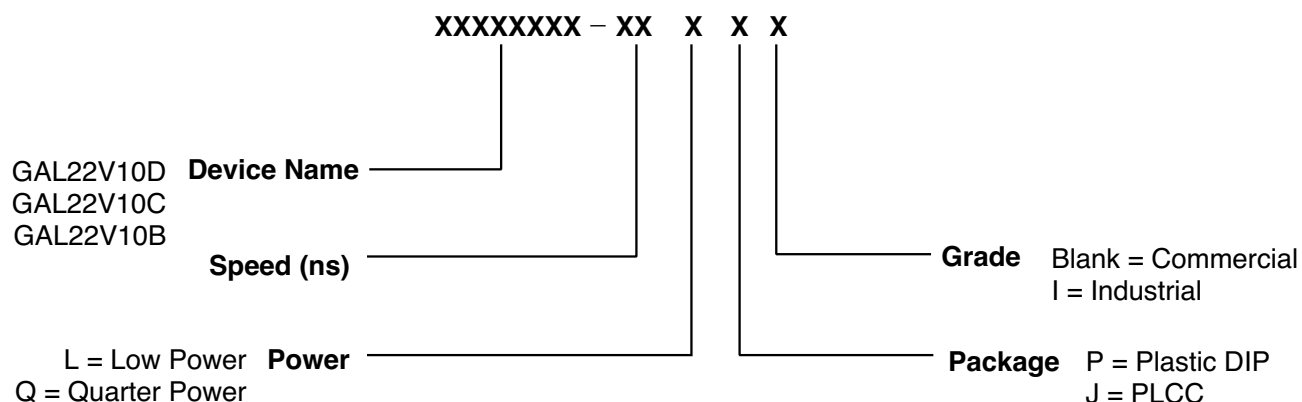
Commercial Grade Specifications

Tpd (ns)	Tsu (ns)	Tco (ns)	Icc (mA)	Ordering #	Package
4	2.5	3.5	140	GAL22V10D-4LJ	28-Lead PLCC
5	3	4	140	GAL22V10D-5LJ	28-Lead PLCC
			150	GAL22V10C-5LJ	28-Lead PLCC
7.5	4.5	4.5	140	GAL22V10D-7LP	24-Pin Plastic DIP
	5	4.5	140	GAL22V10C-7LP	24-Pin Plastic DIP
	4.5	4.5	140	GAL22V10D-7LJ or GAL22V10C-7LJ	28-Lead PLCC
	6.5	5	140	GAL22V10B-7LP	24-Pin Plastic DIP
			140	GAL22V10B-7LJ	28-Lead PLCC
10	7	7	55	GAL22V10D-10QP	24-Pin Plastic DIP
			55	GAL22V10D-10QJ	28-Lead PLCC
			130	GAL22V10D-10LP, GAL22V10C-10LP or GAL22V10B-10LP	24-Pin Plastic DIP
			130	GAL22V10D-10LJ, GAL22V10C-10LJ or GAL22V10B-10LJ	28-Lead PLCC
15	10	8	55	GAL22V10D-15QP or GAL22V10B-15QP	24-Pin Plastic DIP
			55	GAL22V10D-15QJ or GAL22V10B-15QJ	28-Lead PLCC
			130	GAL22V10D-15LP or GAL22V10B-15LP	24-Pin Plastic DIP
			130	GAL22V10D-15LJ or GAL22V10B-15LJ	28-Lead PLCC
25	15	15	55	GAL22V10D-25QP or GAL22V10B-25QP	24-Pin Plastic DIP
			55	GAL22V10D-25QJ or GAL22V10B-25QJ	28-Lead PLCC
			90	GAL22V10D-25LP or GAL22V10B-25LP	24-Pin Plastic Dip
			90	GAL22V10D-25LJ or GAL22V10B-25LJ	28-Pin PLCC

Industrial Grade Specifications

Tpd (ns)	Tsu (ns)	Tco (ns)	Icc (mA)	Ordering #	Package
7.5	5	4.5	160	GAL22V10D-7LPI or GAL22V10C-7LPI	24-Pin Plastic DIP
	4.5	4.5	160	GAL22V10D-7LJI or GAL22V10C-7LJI	28-Lead PLCC
10	7	7	160	GAL22V10D-10LPI or GAL22V10C-10LPI	24-Pin Plastic DIP
			160	GAL22V10D-10LJI or GAL22V10C-10LJI	28-Lead PLCC
15	10	8	150	GAL22V10D-15LPI or GAL22V10B-15LPI	24-Pin Plastic DIP
			150	GAL22V10D-15LJI or GAL22V10B-15LJI	28-Lead PLCC
20	14	10	150	GAL22V10D-20LPI or GAL22V10B-20LPI	24-Pin Plastic DIP
			150	GAL22V10D-20LJI or GAL22V10B-20LJI	28-Lead PLCC
25	15	15	150	GAL22V10D-25LPI or GAL22V10B-25LPI	24-Pin Plastic DIP
			150	GAL22V10D-25LJI or GAL22V10B-25LJI	28-Lead PLCC

Part Number Description



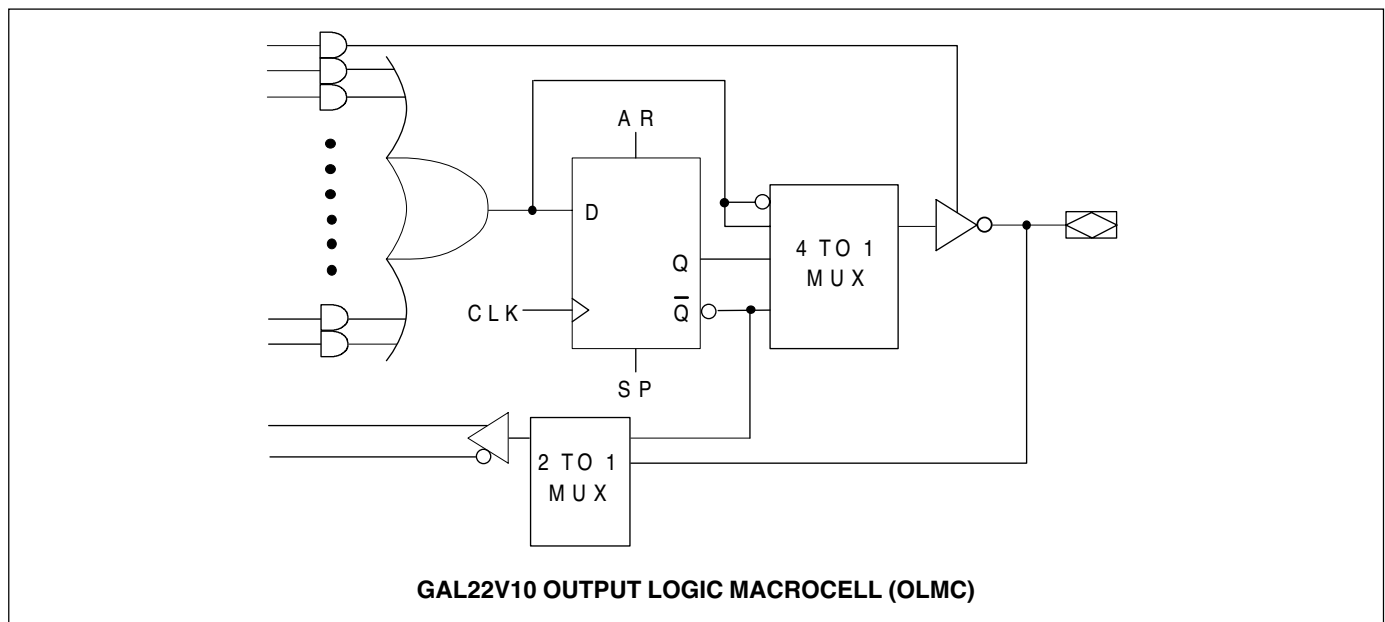
Output Logic Macrocell (OLMC)

The GAL22V10 has a variable number of product terms per OLMC. Of the ten available OLMCs, two OLMCs have access to eight product terms (pins 14 and 23, DIP pinout), two have ten product terms (pins 15 and 22), two have twelve product terms (pins 16 and 21), two have fourteen product terms (pins 17 and 20), and two OLMCs have sixteen product terms (pins 18 and 19). In addition to the product terms available for logic, each OLMC has an additional product-term dedicated to output enable control.

The output polarity of each OLMC can be individually programmed to be true or inverting, in either combinatorial or registered mode. This allows each output to be individually configured as either active high or active low.

The GAL22V10 has a product term for Asynchronous Reset (AR) and a product term for Synchronous Preset (SP). These two product terms are common to all registered OLMCs. The Asynchronous Reset sets all registers to zero any time this dedicated product term is asserted. The Synchronous Preset sets all registers to a logic one on the rising edge of the next clock pulse after this product term is asserted.

NOTE: The AR and SP product terms will force the Q output of the flip-flop into the same state regardless of the polarity of the output. Therefore, a reset operation, which sets the register output to a zero, may result in either a high or low at the output pin, depending on the pin polarity chosen.



Output Logic Macrocell Configurations

Each of the Macrocells of the GAL22V10 has two primary functional modes: registered, and combinatorial I/O. The modes and the output polarity are set by two bits (SO and S1), which are normally controlled by the logic compiler. Each of these two primary modes, and the bit settings required to enable them, are described below and on the following page.

REGISTERED

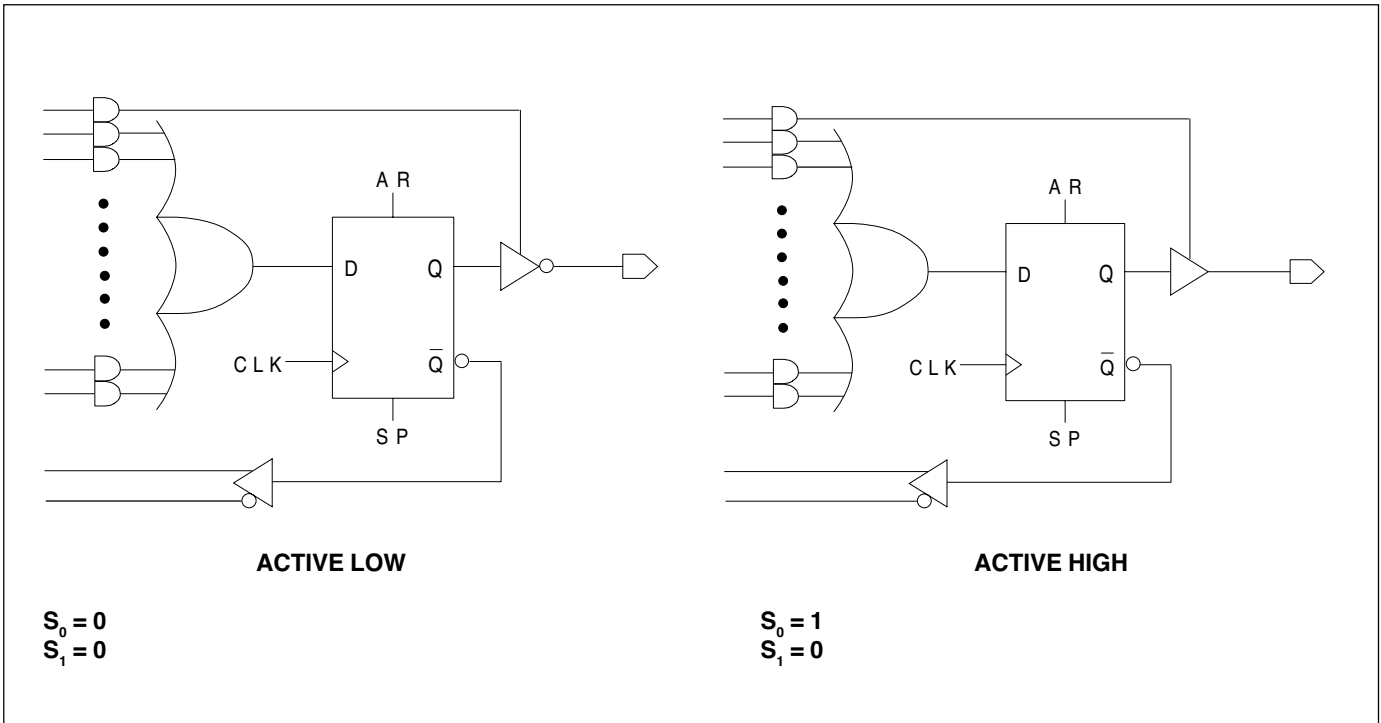
In registered mode the output pin associated with an individual OLMC is driven by the Q output of that OLMC's D-type flip-flop. Logic polarity of the output signal at the pin may be selected by specifying that the output buffer drive either true (active high) or inverted (active low). Output tri-state control is available as an individual product-term for each OLMC, and can therefore be defined by a logic equation. The D flip-flop's /Q output is fed back into the AND array, with both the true and complement of the feedback available as inputs to the AND array.

NOTE: In registered mode, the feedback is from the /Q output of the register, and not from the pin; therefore, a pin defined as registered is an output only, and cannot be used for dynamic I/O, as can the combinatorial pins.

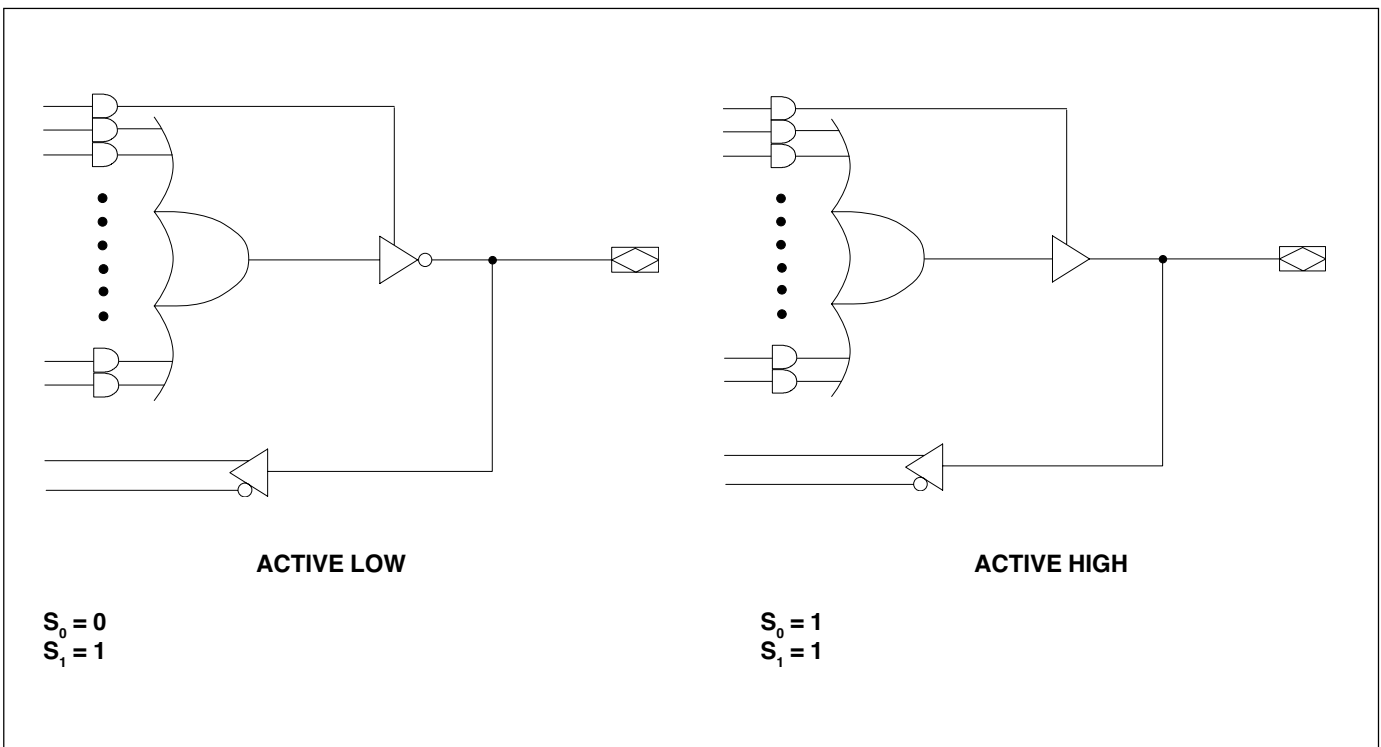
COMBINATORIAL I/O

In combinatorial mode the pin associated with an individual OLMC is driven by the output of the sum term gate. Logic polarity of the output signal at the pin may be selected by specifying that the output buffer drive either true (active high) or inverted (active low). Output tri-state control is available as an individual product-term for each output, and may be individually set by the compiler as either "on" (dedicated output), "off" (dedicated input), or "product-term driven" (dynamic I/O). Feedback into the AND array is from the pin side of the output enable buffer. Both polarities (true and inverted) of the pin are fed back into the AND array.

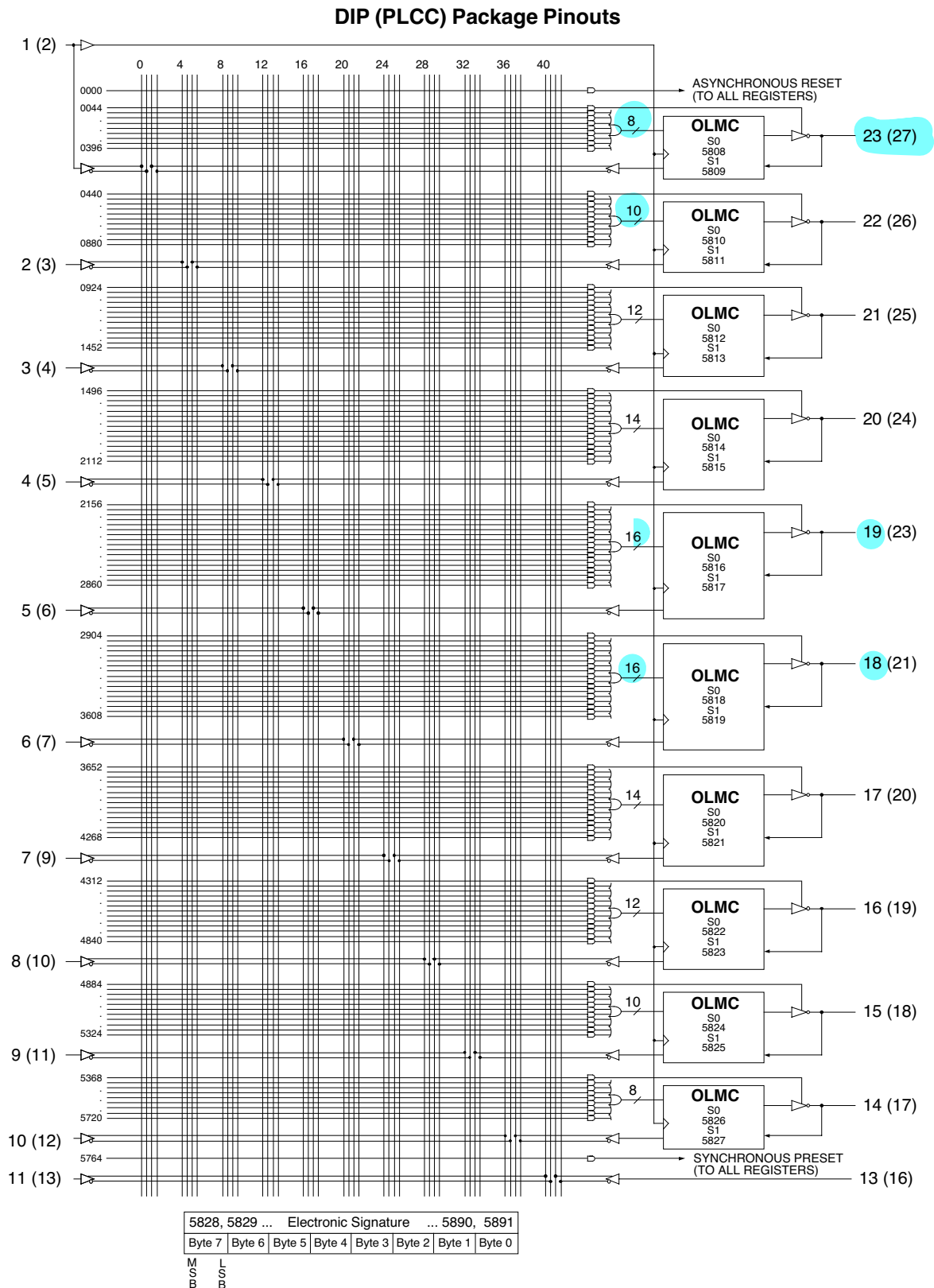
Registered Mode



Combinatorial Mode



GAL22V10 Logic Diagram / JEDEC Fuse Map



¿Cuál es la primera fase del diseño de un sistema digital utilizando SPLD's, CPLD's y FPGA's ?

Descripción del Diseño

Métodos

ê Captura Esquemática (p.ej. OrCAD)

ê Descripción por Lenguaje

Limitación: Difícil o imposible la manipulación de diseños complejos

De Bajo Nivel:

PALASM

OPAL

PLPL

De Alto Nivel:

ABEL

CUPL

Verilog

VHDL

E.S.C.O.M.

M. en C. Miguel Ángel Alemán

Arce