

DISPOSITIVOS LOGICOS PROGRAMABLES

Hay muchas situaciones de diseño para las cuales es muy complicada la solución o no existe utilizando dispositivos LSI o MSI.

Los dispositivos lógicos programables (programmable logic device) PLD's ofrecen a los diseñadores la manera de reemplazar varios CI's por uno sólo que contenga el arreglo de compuertas necesario para su diseño.

Es decir, los PLD's son una opción para implementar diseños digitales en un espacio mucho más pequeño.

Un dispositivo lógico programable o PLD es un dispositivo cuyas características pueden ser modificadas y almacenadas mediante programación.

El proceso recibe el nombre de PROGRAMACIÓN por que produce el patrón de interconexión del circuito deseado entre las compuertas, FF's, registros, etc.

Muchos PLDs incluyen 1 o más de los siguientes componentes como parte de su arquitectura:

- FFs
- Registros básicos
- Registros de entrada
- Registros de salida

La fabricación de dispositivos de lógica programable se basa en los siguientes conceptos:

- **FUNCIONALIDAD COMPLETA**

cualquier función lógica se puede realizar mediante una suma de productos.

- **CELDA DE FUNCIONES UNIVERSALES**

Son bloques lógicos configurados para procesar cualquier función lógica, similares en su funcionamiento a una memoria.

La mayoría de los PLD's están formados por una matriz de conexiones, una matriz de compuertas AND y una matriz de compuertas OR y algunos además con registros.

Una matriz de conexiones es una red de conductores distribuidos en filas y columnas con un fusible en cada punto de interconexión, mediante el cual se seleccionan cuales entradas del dispositivo serán conectadas al arreglo AND cuyas salidas son conectadas al arreglo OR y de esta manera obtener una función lógica en forma de productos.

Las matrices pueden ser fijas o programables.

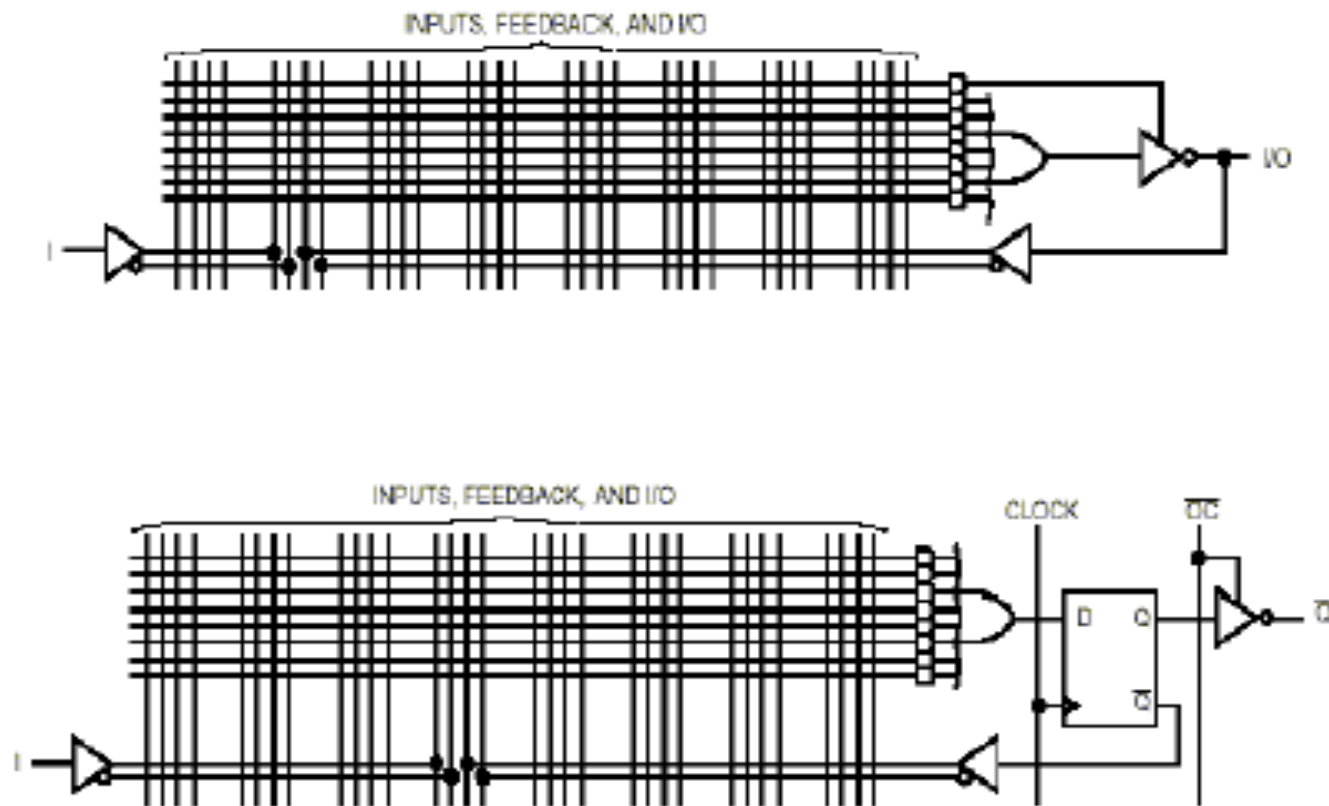
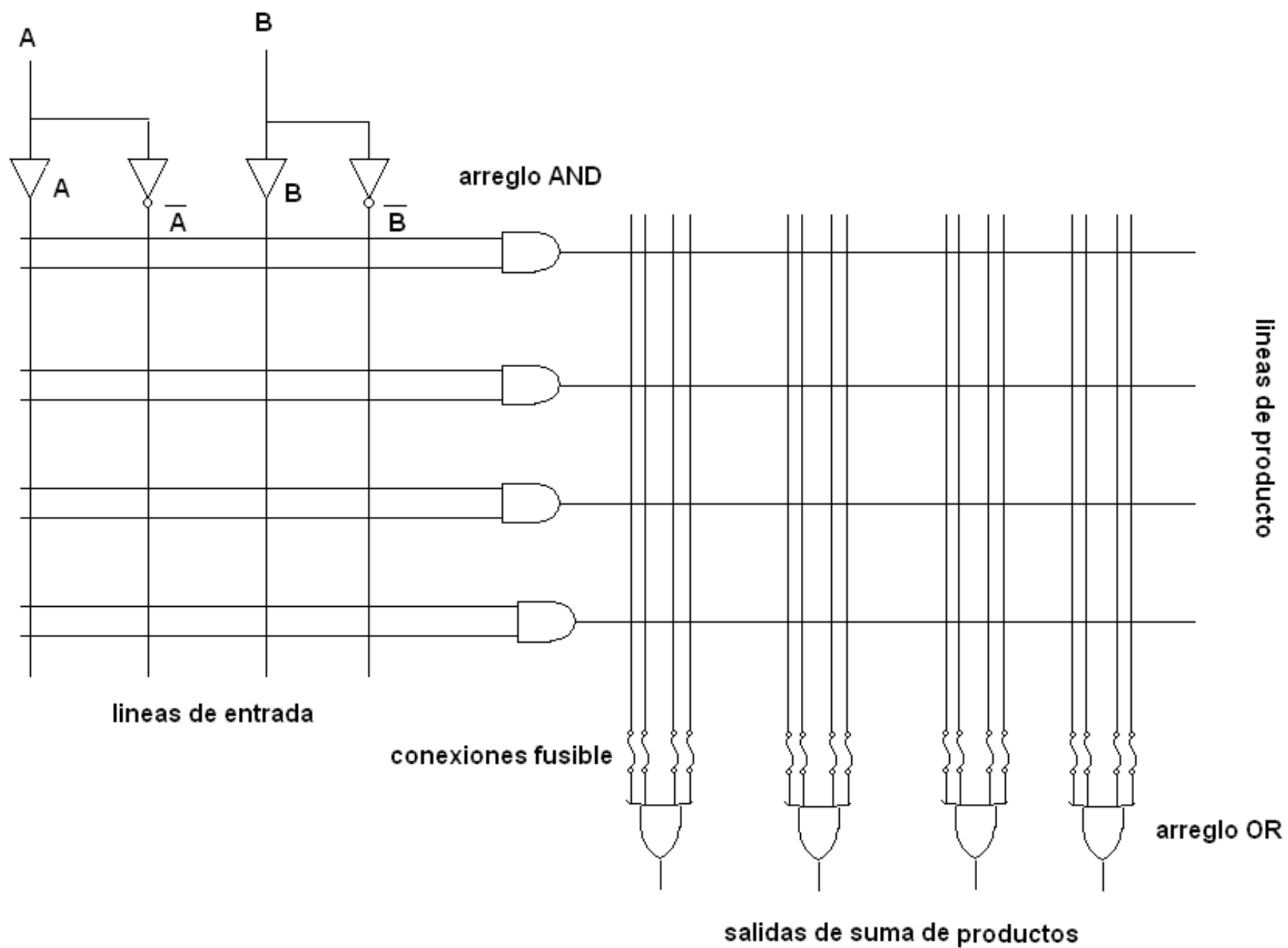
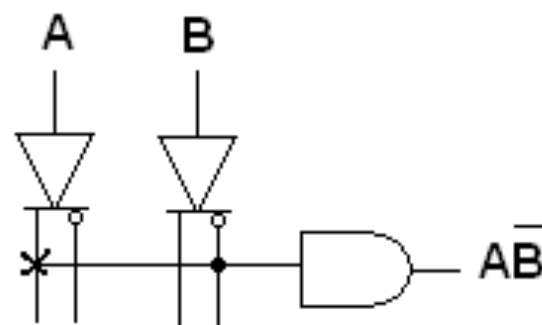


Figura 2.1 Estructuras comúnmente utilizadas en PLDs



SIMBOLOGIA DEL PLD



✕ Conexión fusible intacto

● alambrada

La ausencia de cualquiera de los
símbolos anteriores significa que
no existe ninguna conexión

FUSIBLE DE POLARIDAD

Muchos PLDs incluyen una característica de POLARIDAD PROGRAMABLE DE SALIDA que brinda al diseñador la opción de invertir cualquiera de las salidas.

Si B es el fusible:

a) fusible intacto $B=0$

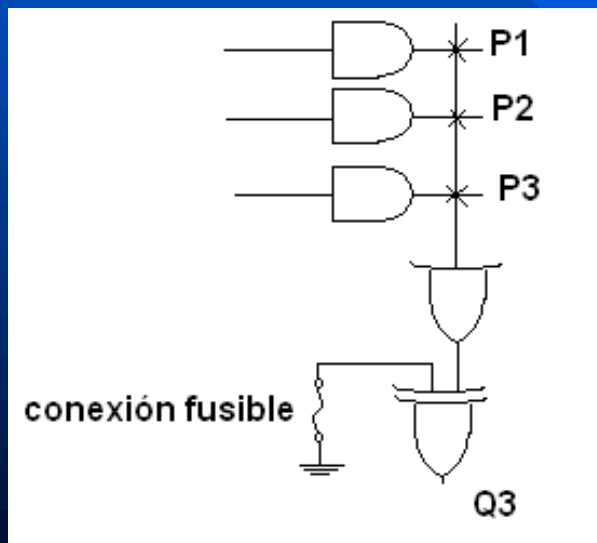
$$Q_3 = A \oplus B = A$$

$$Q_3 = A \bullet 1 + \bar{A} \bullet 0 = A$$

b) fusible quemado $B=1$

$$Q_3 = A \oplus B = \bar{A}$$

$$Q_3 = A \bullet 0 + \bar{A} \bullet 1 = \bar{A}$$



TIPOS DE PLDs

Existen varios tipos de PLDs con características diferentes.

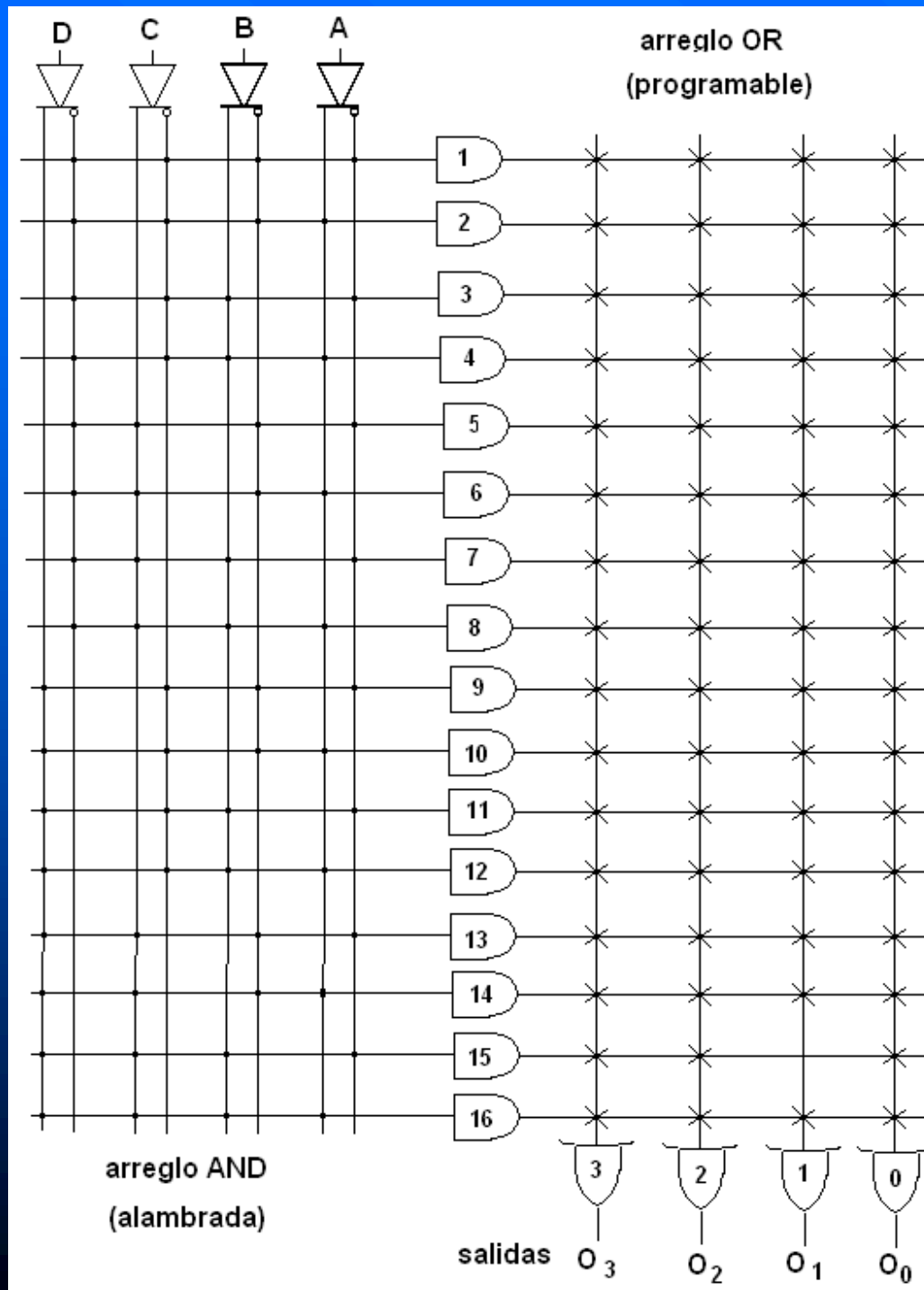
- PAL (Programmable Array Logic)
- GAL (Generic Array Logic)
- CPLD (Complex Programmable Logic Device)
- FPGA (Field Programmable gate Array)
- PROM
- PLA (Array Logic Programmable)

PROM

Existen varias arquitecturas comunes utilizadas como PLDs, por ejemplo una PROM de 16x4 como la que se muestra a continuación.

Este integrado tiene 4 entradas que están totalmente decodificadas por el arreglo de compuertas AND, es decir, cada compuerta genera uno de los 16 posibles productos AND.

Las conexiones de las líneas de entrada hacia el arreglo AND están alambradas, mientras que las conexiones de las líneas de producto AND hacia las entradas de las compuertas OR son programables.



Ejemplo: programar la PROM para generar las siguientes funciones lógicas:

$$O_3 = AB + \bar{C}\bar{D}$$

$$O_2 = \bar{A}BC$$

$$O_1 = ABC\bar{D} + \bar{A}\bar{B}CD$$

$$O_0 = A + B\bar{D} + C\bar{D}$$

Figura 4. Arquitectura típica de una PROM adecuada como PLD.

La PROM puede generar cualquier función lógica posible de las variables de entrada debido a que genera todos los términos AND posibles.

En general, cualquier aplicación que requiera que se encuentre disponible cualquier combinación de las entradas, es un buen candidato para la PROM.

Las PROMs se vuelven poco practicas cuando se tiene que dar cabida a un gran número de entradas, debido a que se duplica el número de conexiones fusible por cada variable que se añade.

Un CI PROM que se emplea con frecuencia como PLD es el AM27S13, que es una PROM de 512x4.

Ya que $512=2^9$, esta PROM tiene 9 entradas para las direcciones y 4 para dar salida a los datos.

Este CI se puede programar para generar 4 salidas, siendo cada una de ellas cualquier función lógica de las 9 diferentes entradas.

PAL

(PROGRAMMABLE ARRAY LOGIC)

El dispositivo programable más simple es el PAL .

El circuito interno de un PAL consiste en una matriz de compuertas AND y un arreglo de compuertas OR.

Este dispositivo esta hecho para aquellas aplicaciones que no requieren que todas las combinaciones de las entradas sean programables.

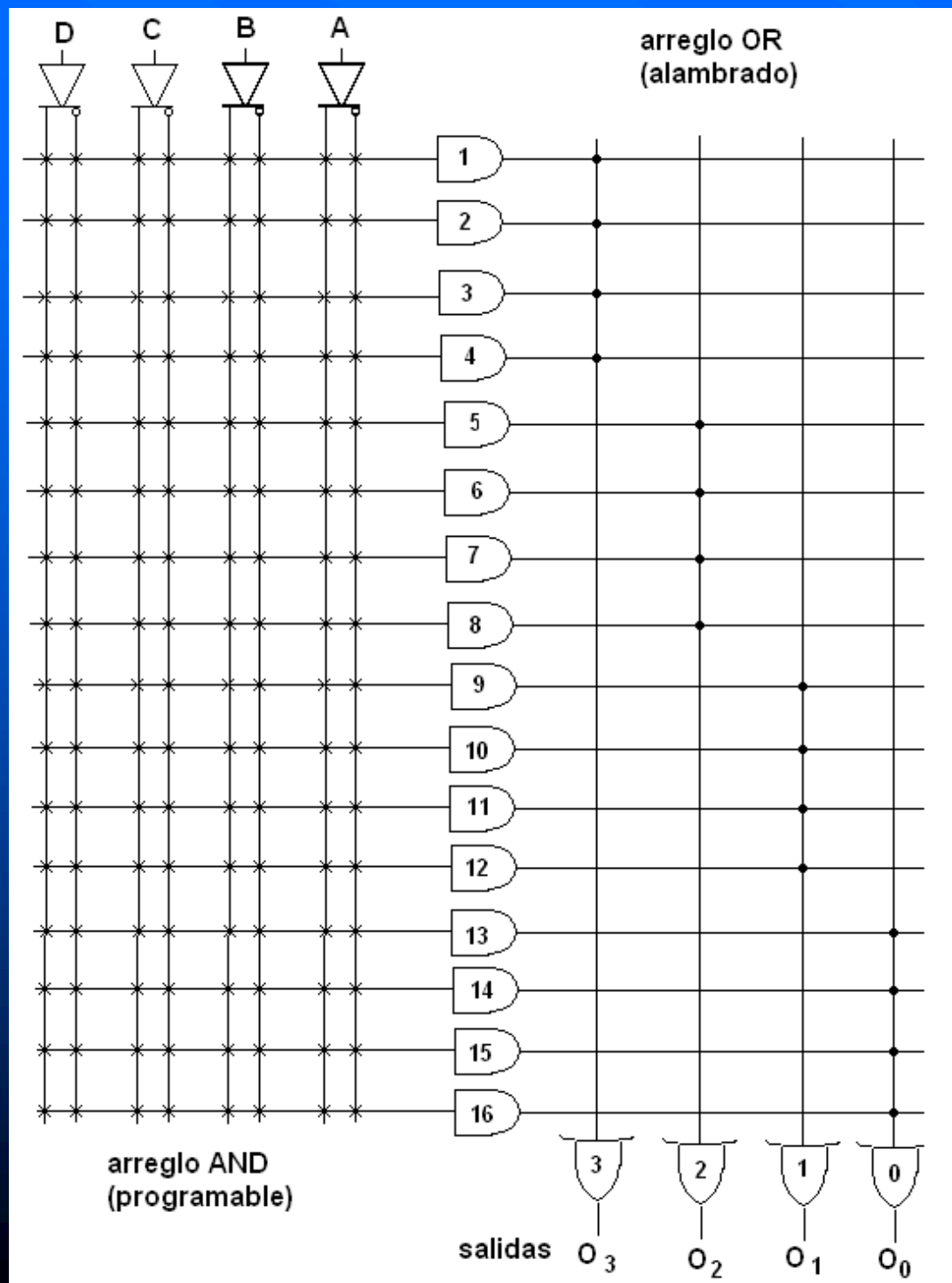
En la PAL son programables las entradas de las compuertas AND mientras que las compuertas OR son alambradas.

Se puede programar cualquier compuerta AND para generar cualquier producto de cuatro variables de entrada junto con sus complementos.

Cada compuerta OR esta alambrada sólo con 4 salidas AND, lo cual limita cada función de salida a 4 términos de tipo producto.

Si se requiere de una función que contenga más de cuatro términos, no es posible implementarla con esta PAL.

Si se requiere menos de 4 términos , los no necesarios se pueden hacer cero.



Ejemplo: programar la PAL para generar las siguientes funciones lógicas:

$$O_3 = AB + \bar{C}\bar{D}$$

$$O_2 = A\bar{B}C$$

$$O_1 = AB\bar{C}\bar{D} + \bar{A}\bar{B}CD$$

$$O_0 = A + B\bar{D} + C\bar{D}$$

Figura 5. Arquitectura típica de una PAL.

Muchas de las entradas de las compuertas AND tienen todas sus conexiones fusible intactas, debido a que es necesario que dichas compuertas generen ceros.

Un CI PAL es el PAL18L8A de Texas Instrument, el cual tiene 10 entradas lógicas y 8 funciones de salida.

La salida de cada compuerta OR esta alambrada con las salidas de 7 compuertas AND permitiendo la generación de funciones que tengan hasta 7 términos.

Una característica adicional de este CI es que 6 de las 8 salidas son retroalimentadas hacia el arreglo AND.

Esto hace que el dispositivo sea muy útil para general todo tipo de lógica combinacional.

PLA

(ARRAY LOGIC PROGRAMMABLE)

Una PLA combina las características de la PROM y la PAL proporcionando tanto un arreglo OR como AND programable.

Debido a que tiene dos conjuntos de conexiones fusible, es más difícil de fabricar, programar y probar.

Un CI de este PLD es el TIFPLA840 de Texas Instrument, el cual es de 14x32x6.

Este dispositivo tiene 14 variables de entrada, 32 compuertas AND para generar los productos lógicos de las variables, y 6 compuertas OR que pueden formar cualquier combinación de las 32 salidas AND.

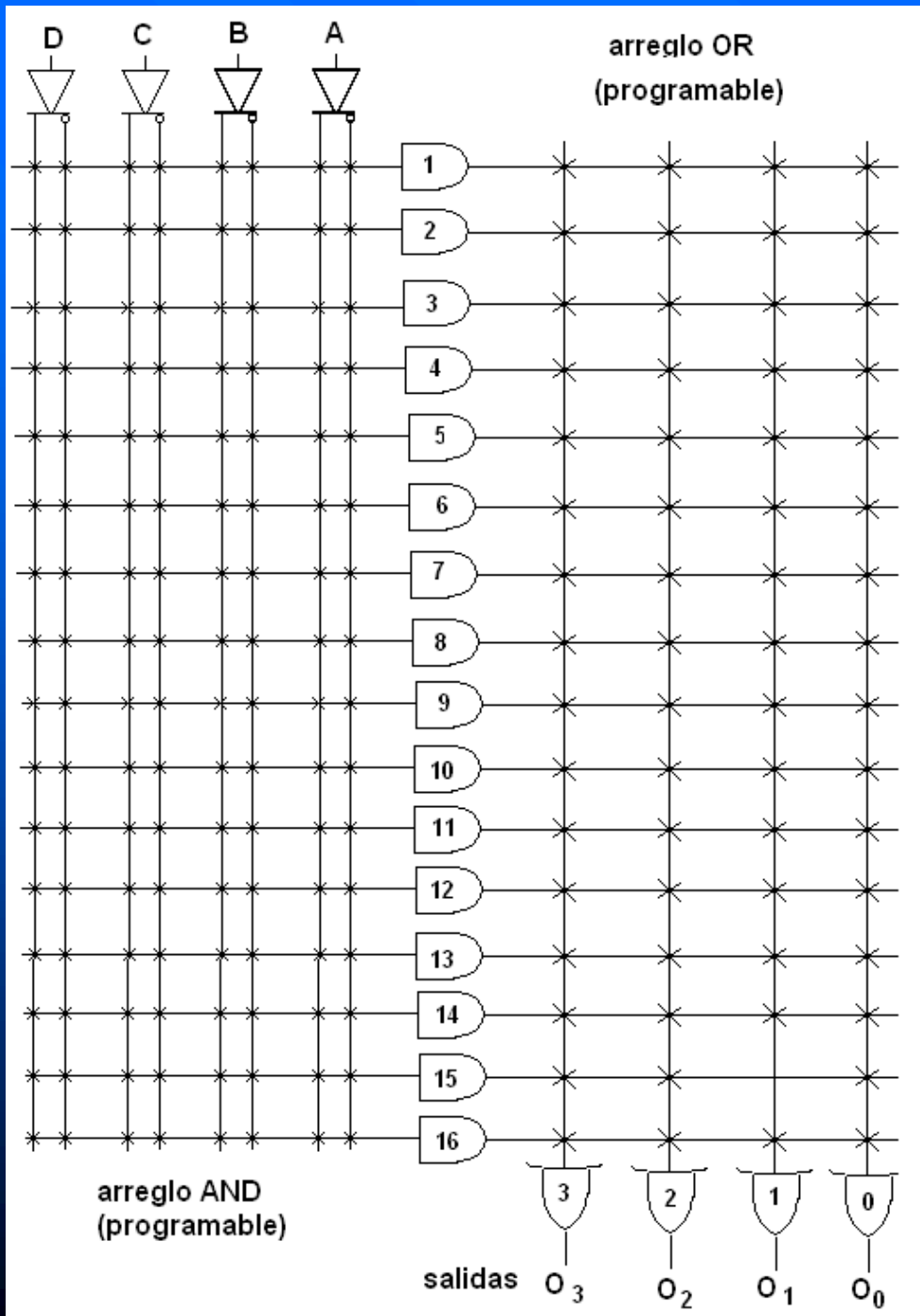


Figura 6. Arquitectura típica de una PLA que muestra tanto los arreglos AND como OR programables que le dan mayor versatilidad.

GAL

(Generic Array Logic)

Una Gal, en su forma básica es un PLD con una matriz AND programable, una matriz OR fija y una lógica de salida programable mediante una macrocelda.

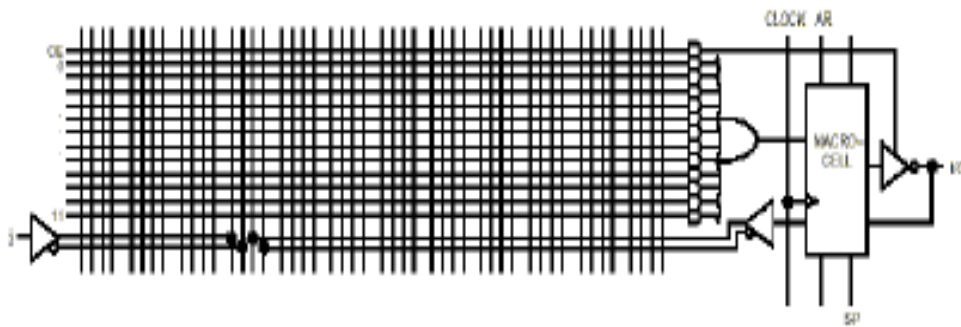


Figura 2.2 Estructura típica de un GAL

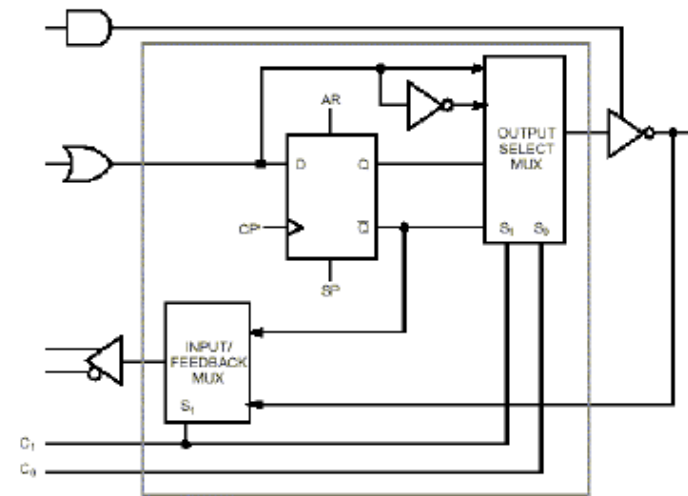


FIGURA 2.3 Macrocelda de un GAL22V10

En los PLDs no reprogramables la síntesis de las ecuaciones lógicas se realiza mediante la quema fusibles en cada punto de intersección de los pines de entrada con las compuertas.

En una GAL el fusible se reemplaza por una celda CMOS eléctricamente borrable y mediante programación se activa o desactiva cada celda.

Una celda activa conecta su correspondiente intersección de fila y columna.

Una celda desactivada desconecta dicha intersección.

Uno de las GAL más conocida es la GAL22V10

CPLD

(Complex Programmable Logic Divece)

Un CPLD extiende el concepto de un PLD a un nivel mayor de integración ya que permite implementar sistemas más eficientes por que utilizan menos espacio, mejoran la confiabilidad en el circuito y reducen los costos.

Un CPLD se forma con múltiples BLOQUES LOGICOS, cada uno similar a un PLD .

Los bloques lógicos se comunican entre utilizando una matriz programable de interconexiones.

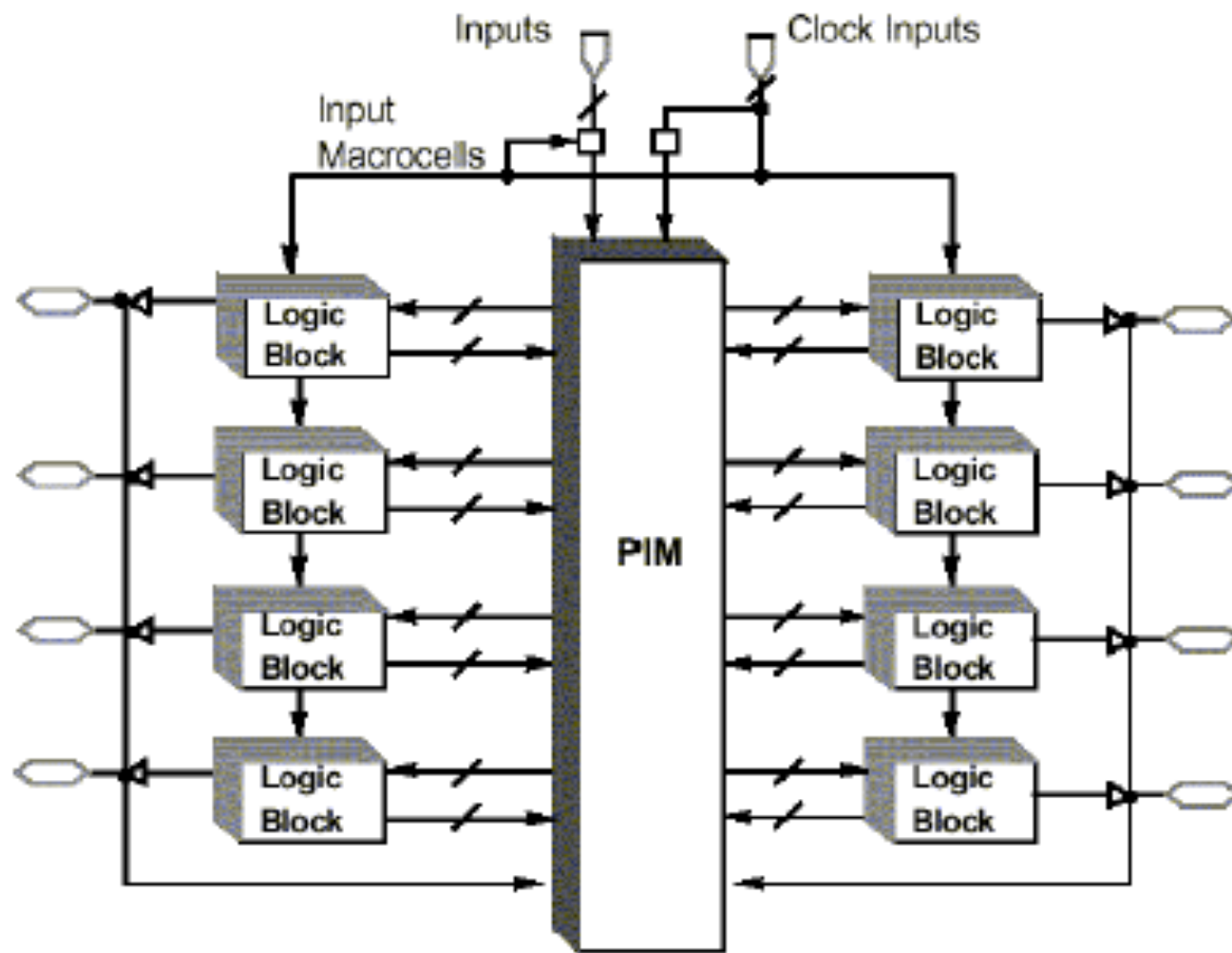


Figura 2.4 Arquitectura Básica de un CPLD

MATRIZ DE INTERCONEXIONES PROGRAMABLES

La matriz de interconexiones programables (PIM, Programmable Interconnect Matrix) permite unir los pines de entrada/salida a las entradas de los bloques lógicos o a las salidas del bloque lógico a las entradas de otro bloque lógico o inclusive a las entradas del mismo bloque.

La mayoría de los CPLDs usan una de las dos configuraciones para esta matriz:

- a) Interconexión mediante arreglo
- b) Interconexión mediante multiplexores.

The background of the slide features a blue gradient that transitions from a lighter blue at the top to a darker blue at the bottom. Overlaid on this gradient are several diagonal stripes in a slightly darker shade of blue, running from the top-left towards the bottom-right.

GRACIAS