

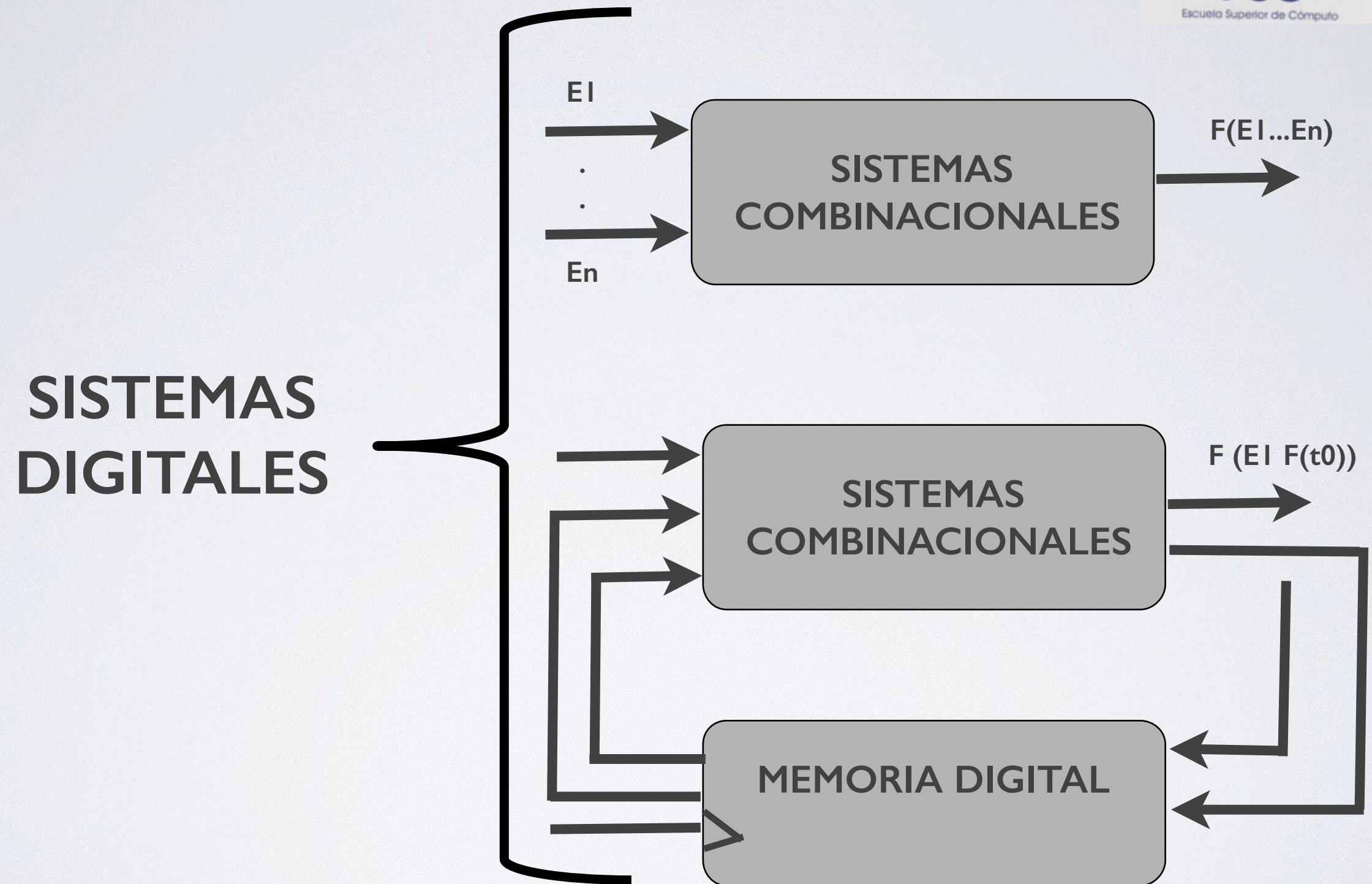
SISTEMAS SECUENCIALES

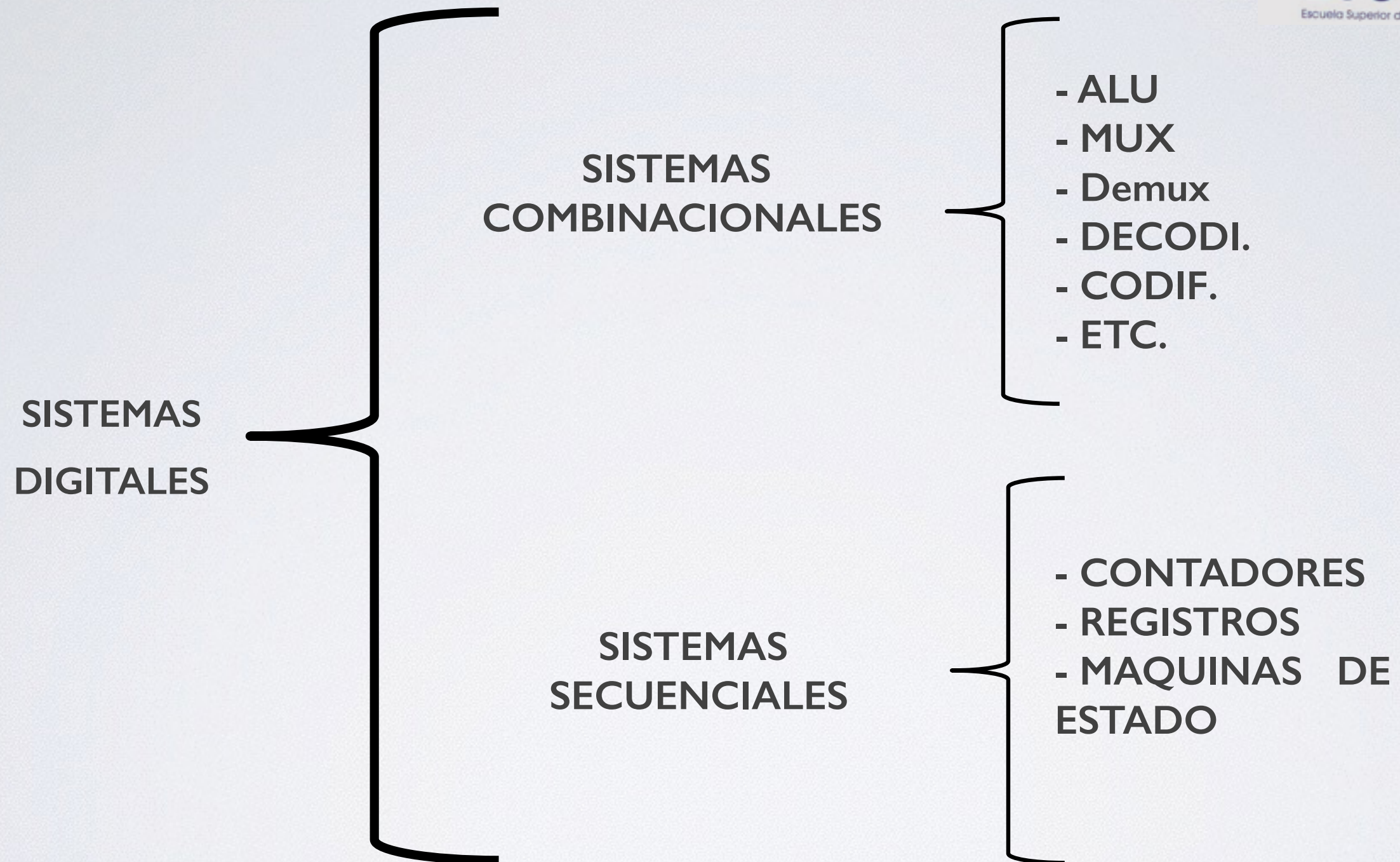
FUNDAMENTOS DE DISEÑO DIGITAL
OPTATIVA I. ISISA
AUTOR: Claudia A. López R.

**SISTEMAS
DIGITALES**

**SISTEMAS
COMBINACIONALES**

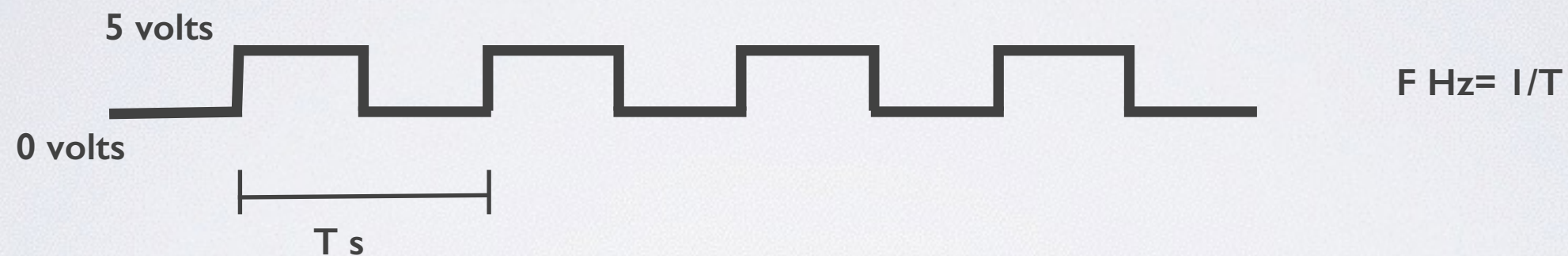
**SISTEMAS
SECUENCIALES**





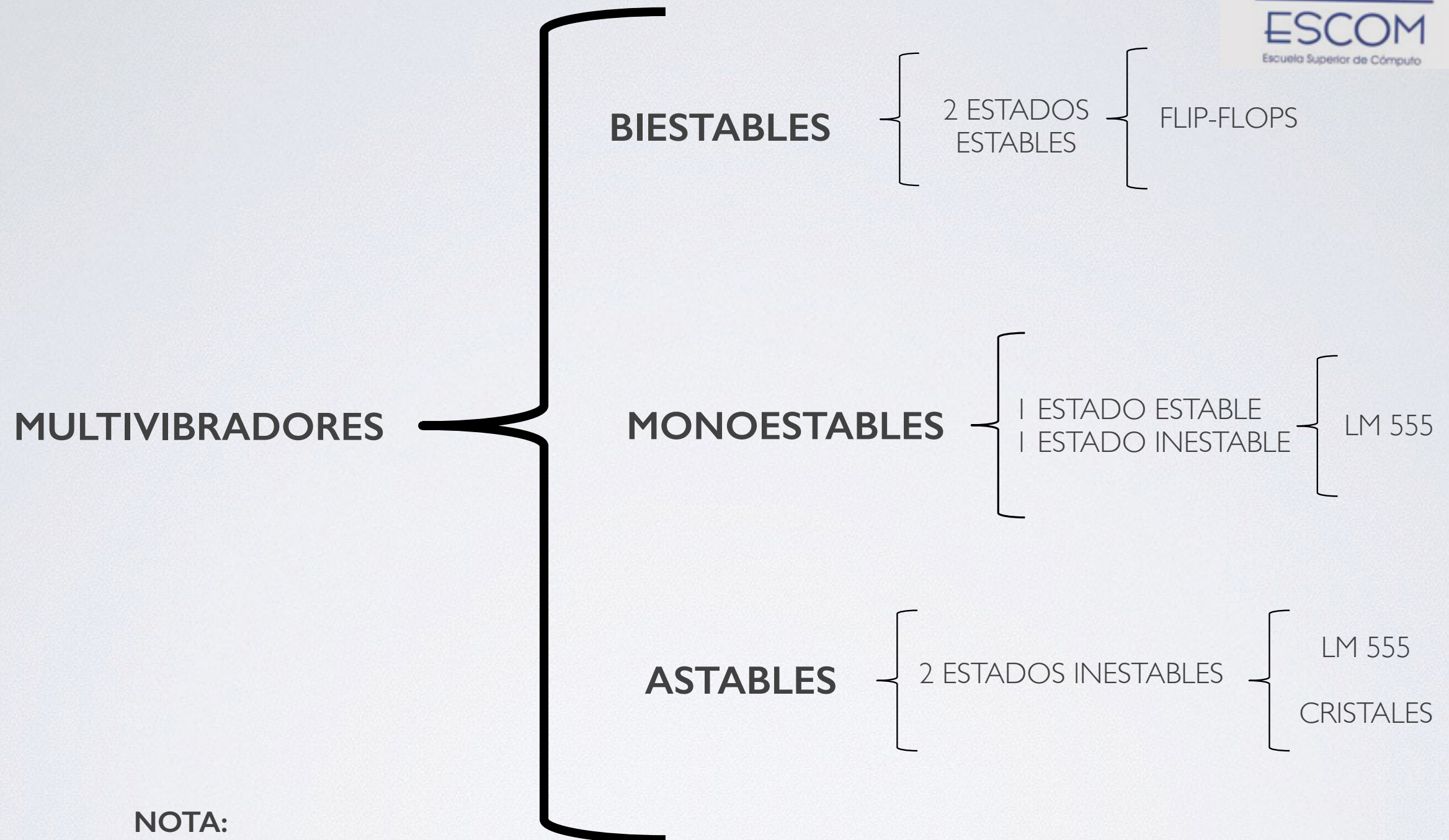
SEÑAL DE RELOJ

SEÑAL DE RELOJ (CLK, CK): es una señal eléctrica con forma de onda cuadrada con una frecuencia y periodo determinados y una amplitud de 0 a 5 volts.



La señal de reloj se genera a través de:

1. Generador de funciones
2. Multivibradores
 - LM555
 - Cristales

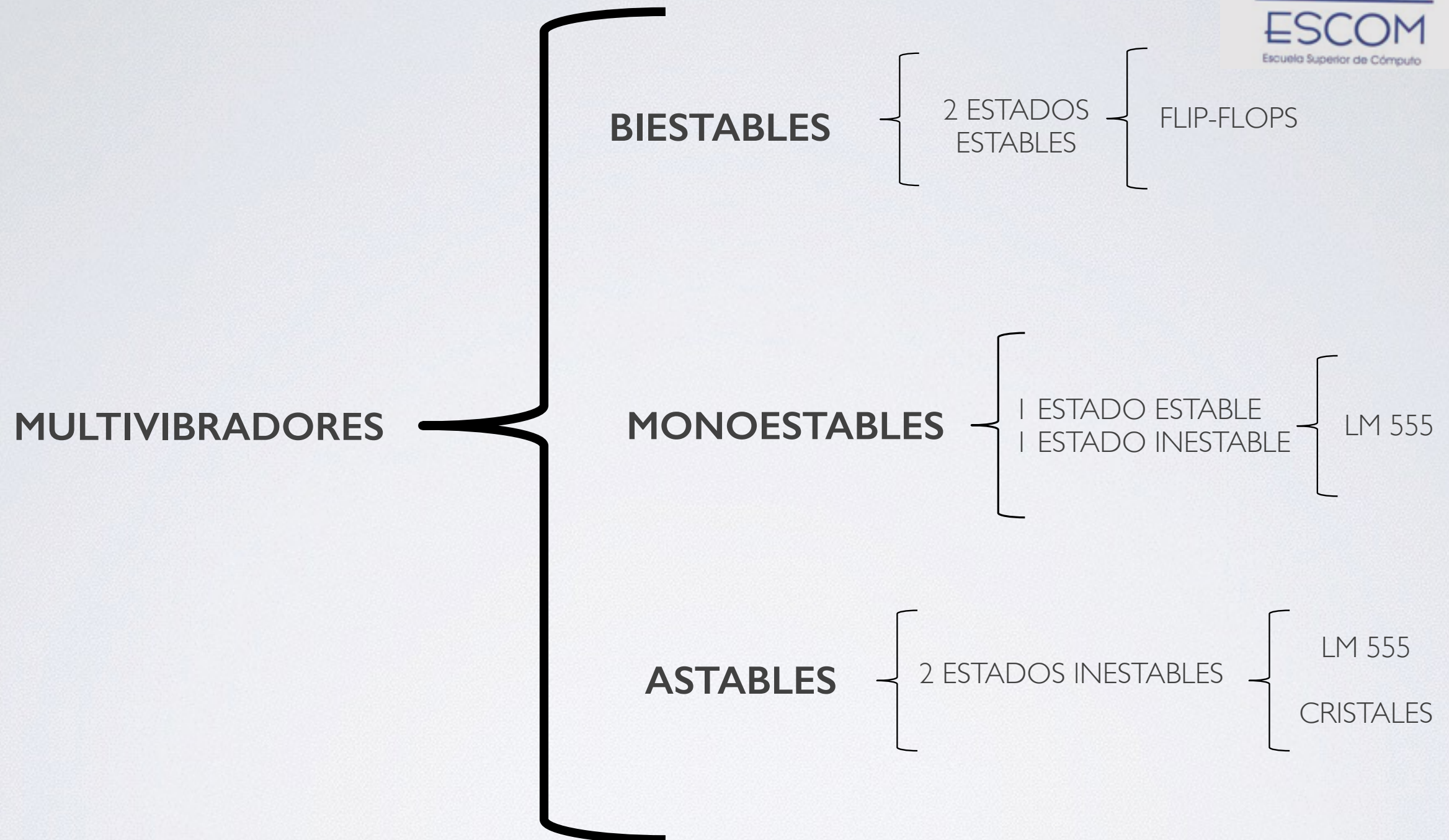


NOTA:

ESTADO: Nivel lógico (0, 1)

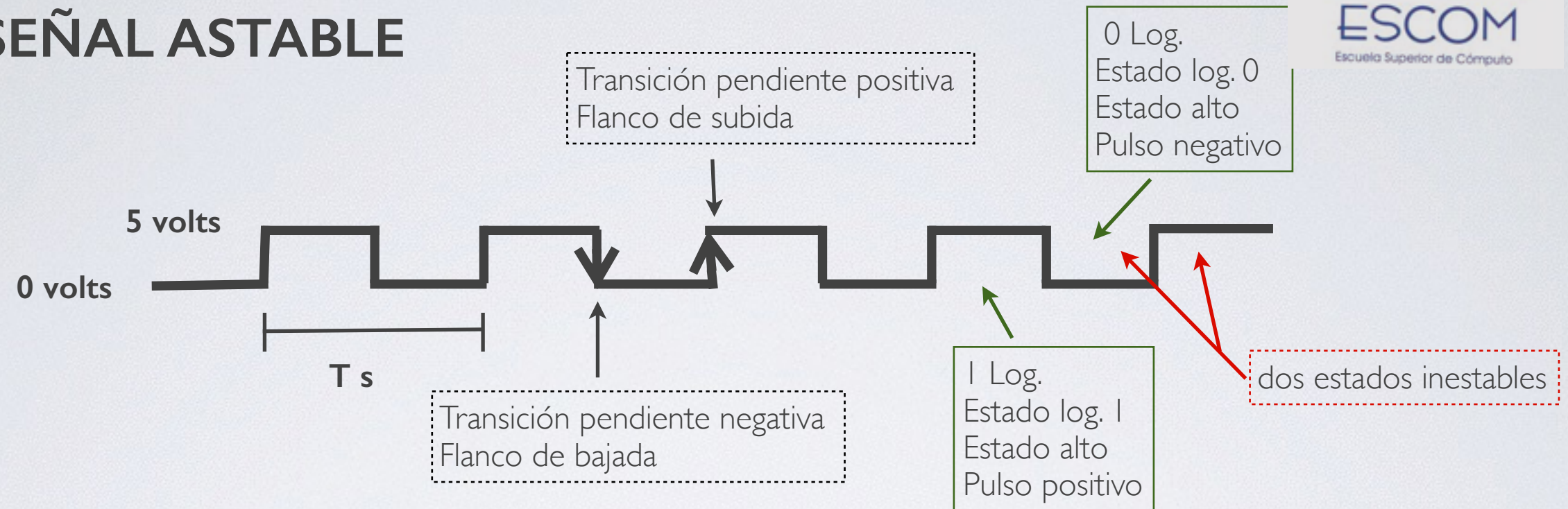
INESTABLE: estado que cambia al cumplirse un tiempo determinado

ESTABLE: estado que no cambia por si sólo

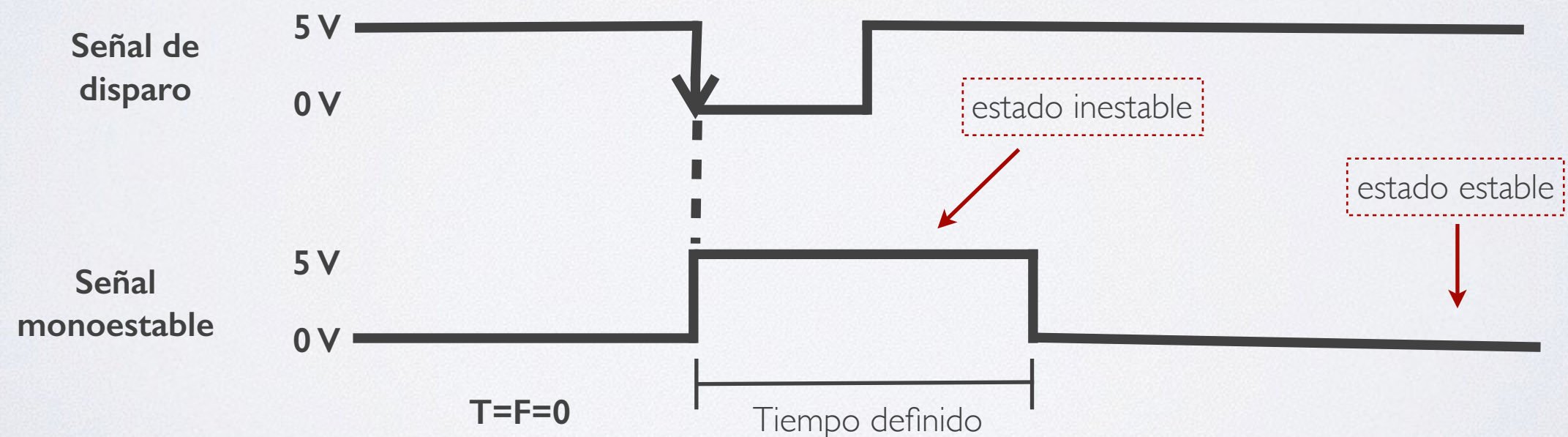


TAREA. REALIZAR UN TRABAJO DE INVESTIGACION SOBRE :
LM 555 EN SU CONFIGURACION MONOESTABLE Y ASTABLE
CRISTALES EN SU CONFIGURACION SERIE Y PARALELO

SEÑAL ASTABLE



SEÑAL MONOESTABLE



MEMORIAS DIGITALES

Circuito compuesto de compuertas lógicas conectadas de tal forma que permiten almacenar un bit.

- celda de memoria
- multivibrador biestable
- registro
- Latch
- **Flip-flops**

Las memorias digitales son en esencia circuitos secuenciales, por lo cual la salida de estos depende de la entrada y de la salida en un tiempo anterior.

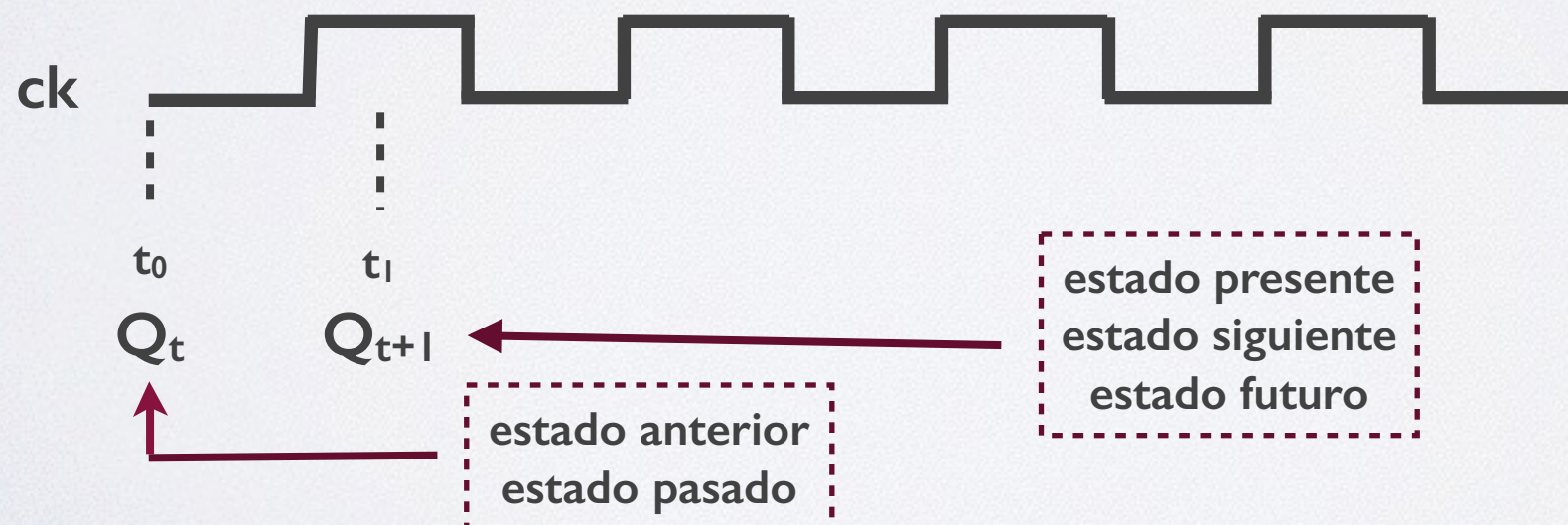


MEMORIAS DIGITALES

Circuito compuesto de compuertas lógicas conectadas de tal forma que permiten almacenar un bit.

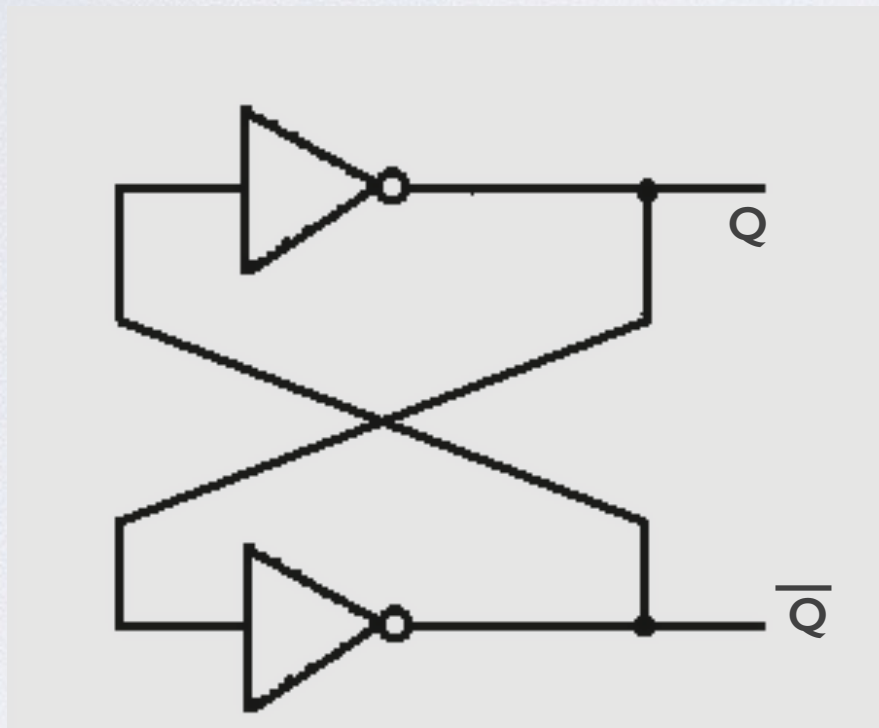
- celda de memoria
- multivibrador biestable
- registro
- Latch
- **Flip-flops**

Las memorias digitales son en esencia circuitos secuenciales, por lo cual la salida de estos depende de la entrada y de la salida en un tiempo anterior.



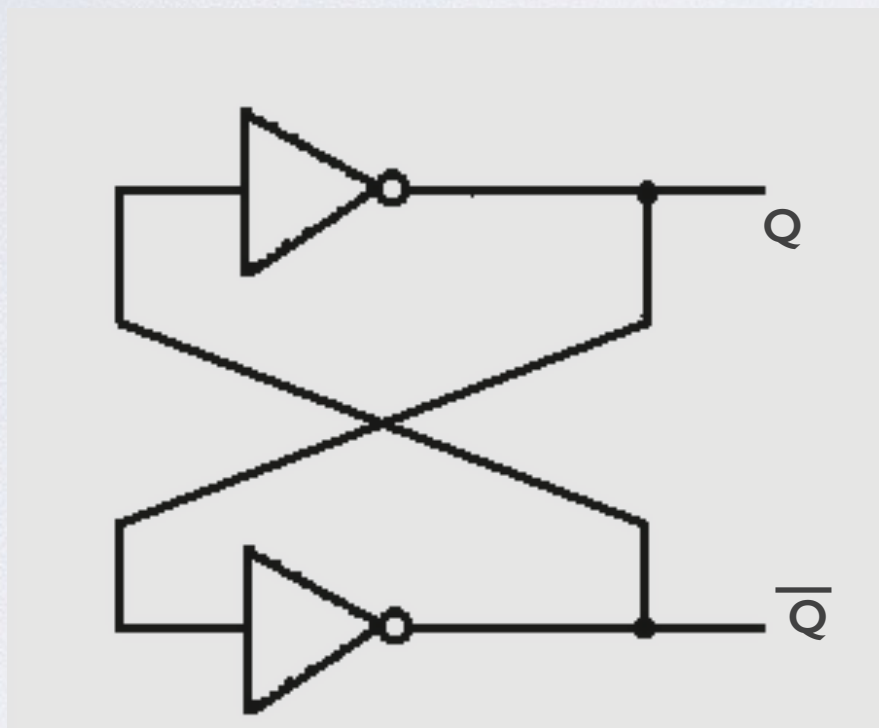
ELEMENTO BASICO DE MEORIA

LATCH (CERROJO)



ELEMENTO BASICO DE MEORIA

LATCH (CERROJO)

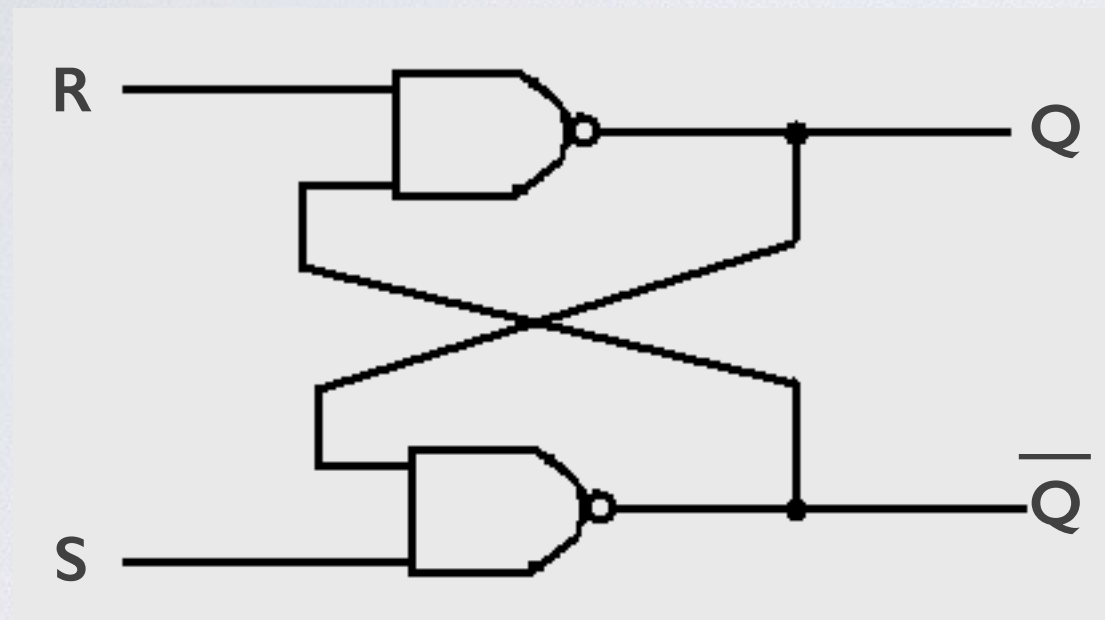


Q_t	Q_{t+1}	$\overline{Q_{t+1}}$
0	0	1
1	1	0

Q	\overline{Q}
0	1
1	0

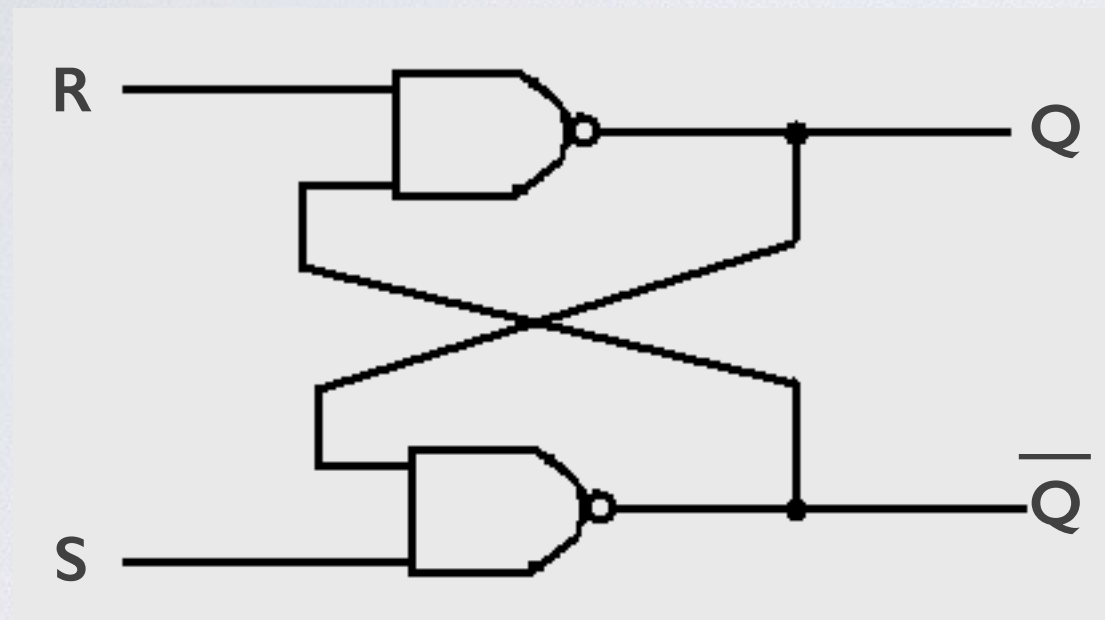
No contiene terminales separadas para lectura y escritura de datos.

LATCH SR



R	S	Q	\bar{Q}
1	0		
0	0		
0	1		
1	1		
1	0		
1	1		
0	1		
0	0		

LATCH SR



R	S	Q	Q
0	0	*	
0	1	1	0
1	0	0	1
1	1		\overline{Q}

Tabla de verdad

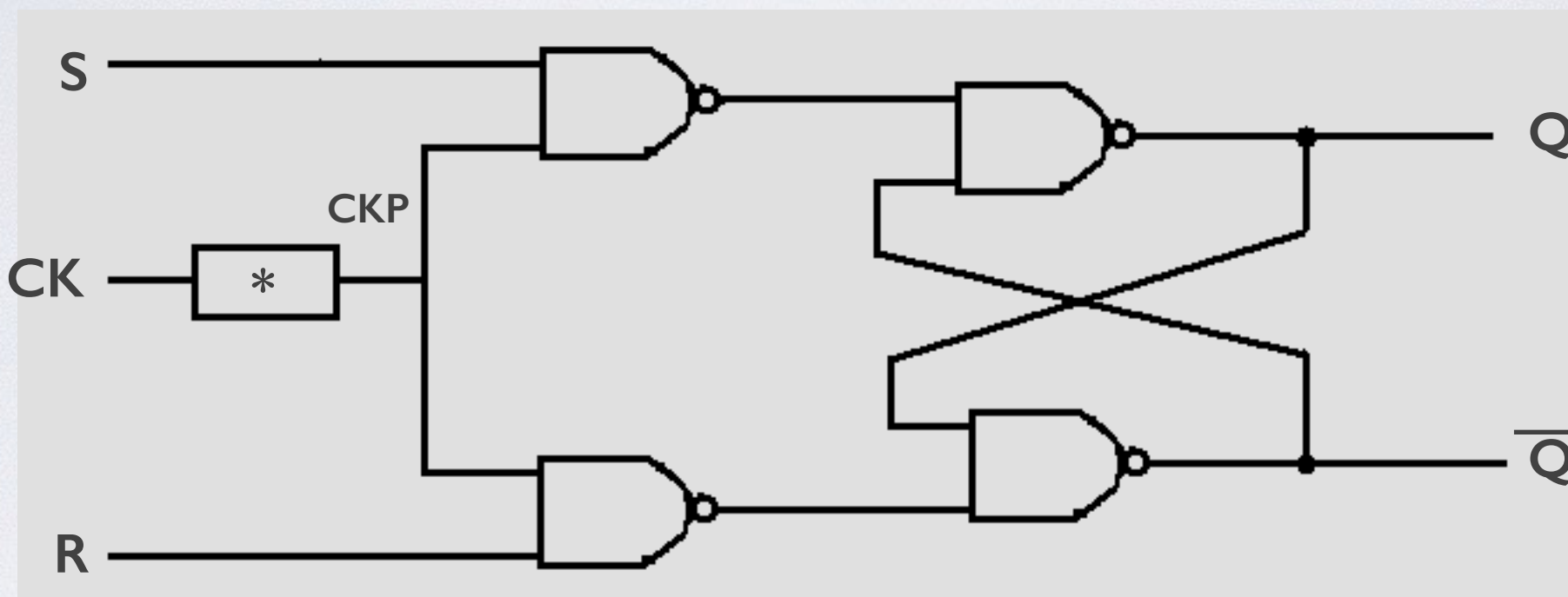
S: SET - 1 log
R: RESET- 0 log

R	S	Q	\overline{Q}
1	0	0	1
0	0	1	1
0	1	1	0
1	1	1	0
1	0	0	1
1	1	0	1
0	1	1	0
0	0	1	1

* estado no permitido

FLIP-FLOP SR

FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK



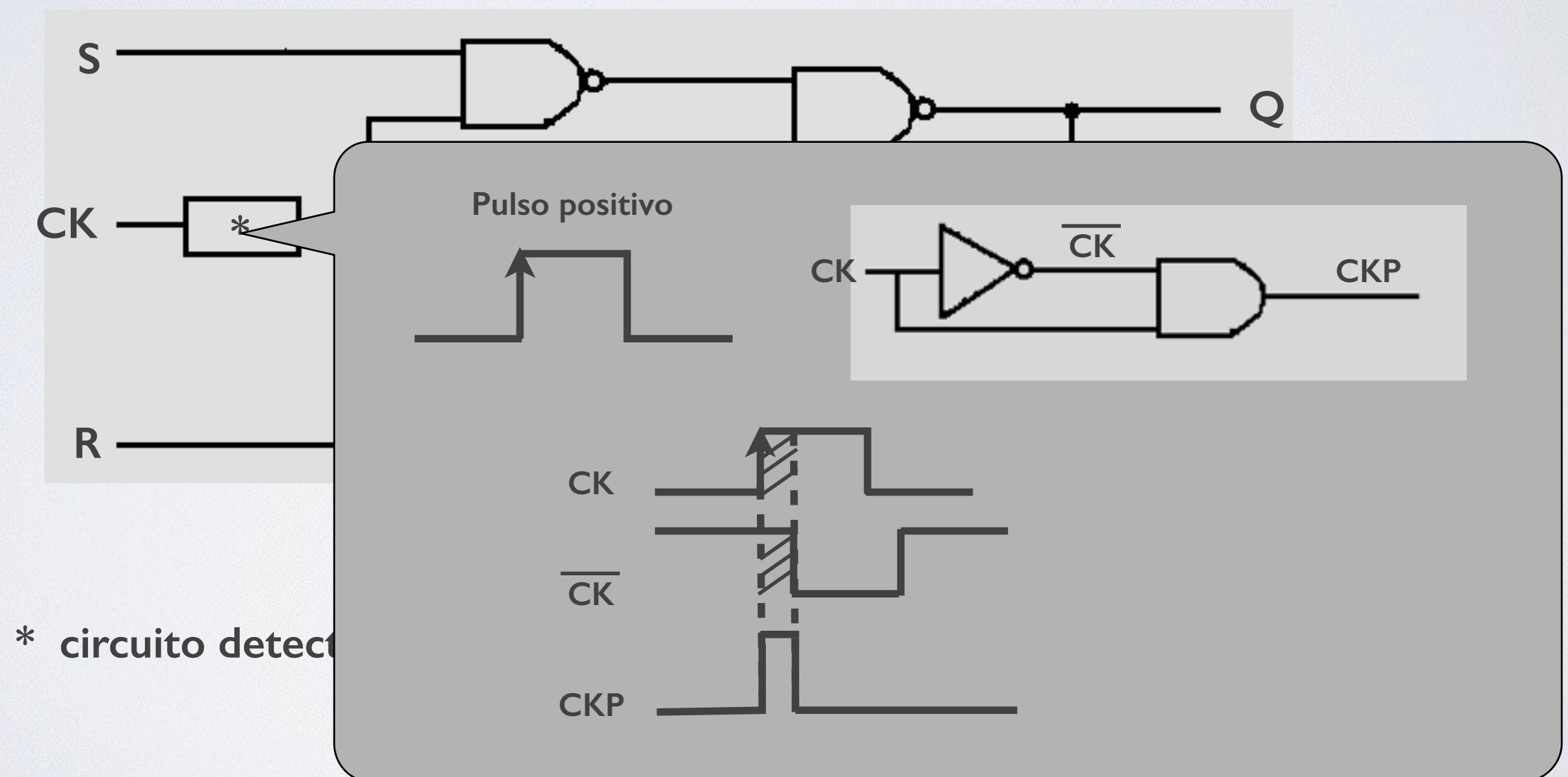
* circuito detector de flanco

flanco positivo
flanco negativo

CKP=1

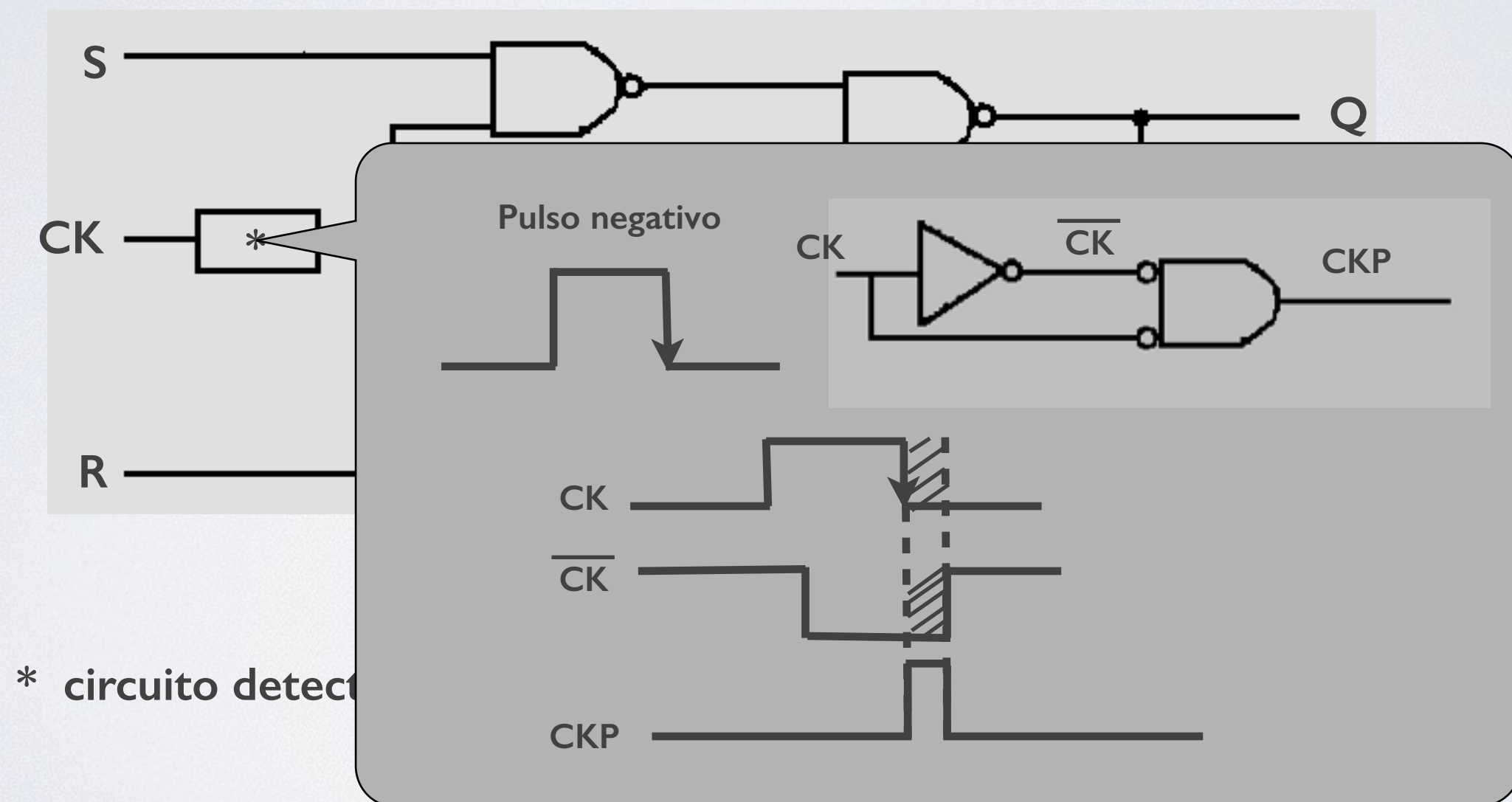
FLIP-FLOP SR

FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK



FLIP-FLOP SR

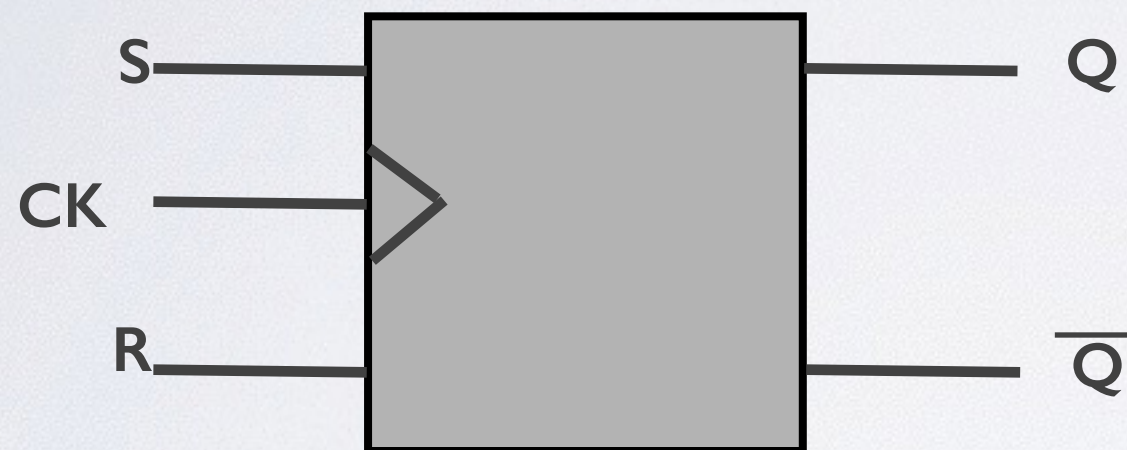
FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK



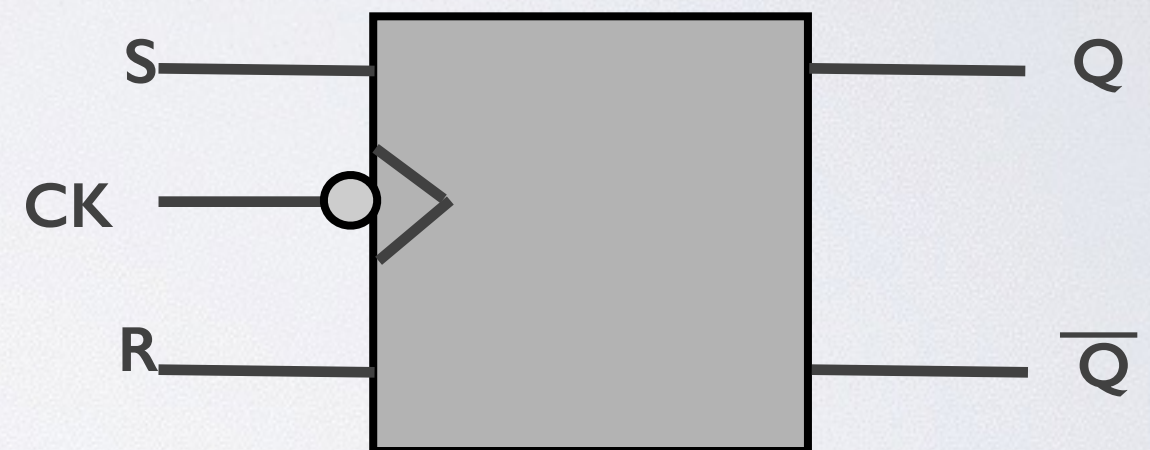
FLIP-FLOP SR

FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK

Simbología



flanco positivo



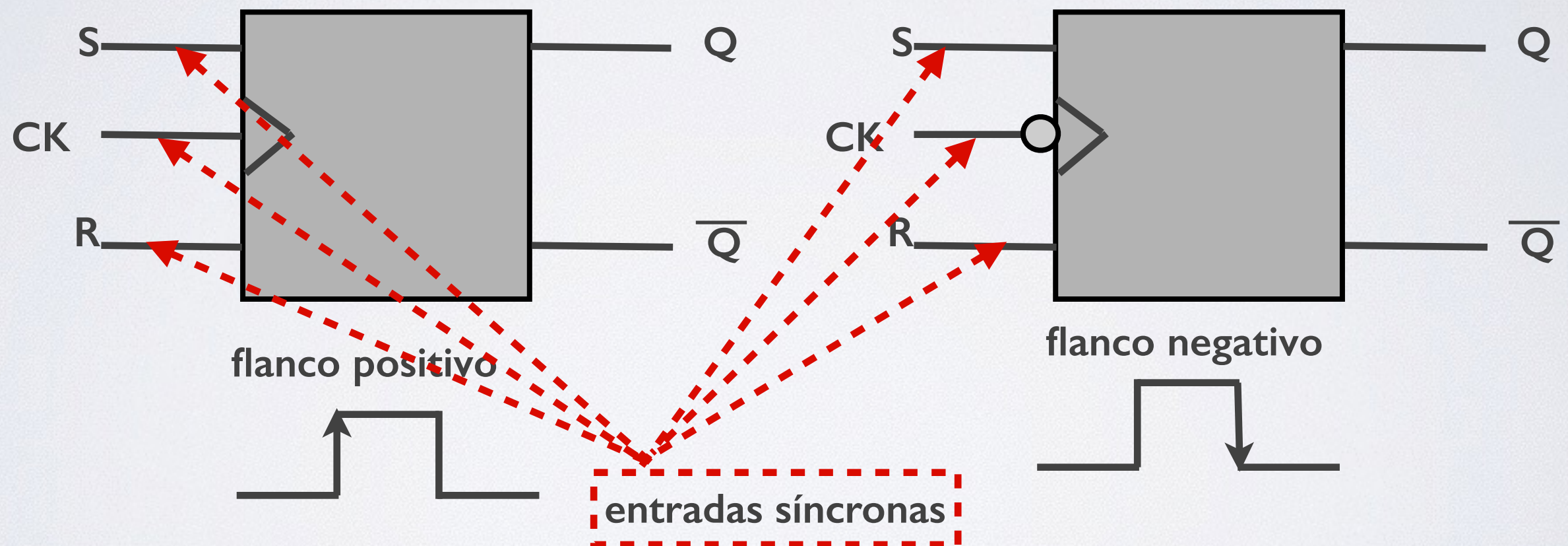
flanco negativo



FLIP-FLOP SR

FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK

Simbología



FLIP-FLOP SR

FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK

Los Flip-Flops se describen a través de:

- 1) Tabla de verdad
- 2) Tabla característica
- 3) Tabla de excitación
- 4) Ecuación característica

FLIP-FLOP SR

FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK

Los Flip-Flops se describen a través de:

- 1) Tabla de verdad
- 2) Tabla característica
- 3) Tabla de excitación
- 4) Ecuación característica

Describe el funcionamiento general del circuito lógico. Esta compuesta de todas las combinaciones de las entradas y la salida para cada combinación

FLIP-FLOP SR

FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK

Los Flip-Flops se describen a través de:

- 1) Tabla de verdad
- 2) Tabla característica
- 3) Tabla de excitación
- 4) Ecuación característica

Describe el funcionamiento completo del circuito lógico considerando el estado anterior. Esta compuesta de todas las combinaciones de las entradas y el estado anterior y la salida para cada combinación de entrada.

FLIP-FLOP SR

FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK

Los Flip-Flops se describen a través de:

- 1) Tabla de verdad
- 2) Tabla característica
- 3) Tabla de excitación
- 4) Ecuación característica

Se deriva de la tabla característica y sirve para el diseño de sistemas secuenciales. Se construye a partir de lo que se necesita en la salida y lo que deben de tener las entradas para obtener dichas salidas.

FLIP-FLOP SR

FLIP-FLOP → Memoria latch sincronizada a través de una señal de CK

Los Flip-Flops se describen a través de:

- 1) Tabla de verdad
- 2) Tabla característica
- 3) Tabla de excitación
- 4) Ecuación característica

Función lógica que describe al Flip-Flop.

FLIP-FLOP SR

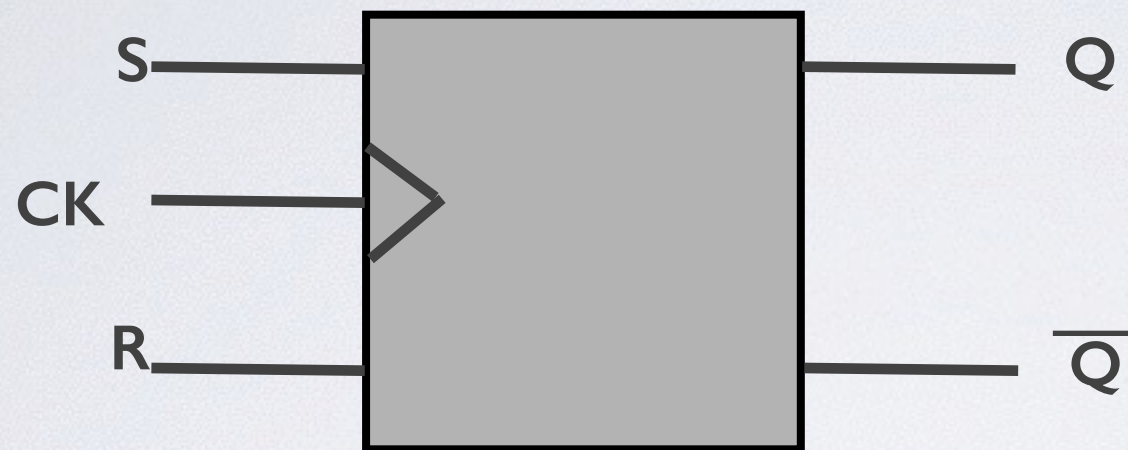


Tabla de verdad

S	R	Q
0	0	Q_t
0	1	0
1	0	1
1	1	*

FLIP-FLOP SR

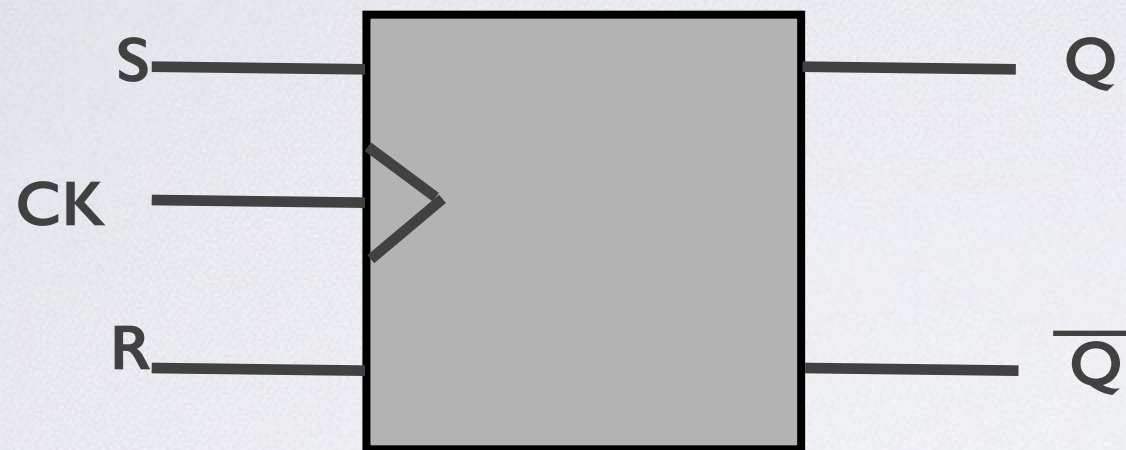


Tabla de verdad

S	R	Q
0	0	Q_t
0	1	0
1	0	1
1	1	*

Tabla característica

S	R	Q_t	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	*
1	1	1	*

ecuación

$$Q(S, R, Q_t) = \sum m(1, 4, 5, 6, 7)$$

* \rightarrow se consideran como estados de no importa

$$Q = S + RQ_t$$

Tabla de excitación

Q_t	Q_{t+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

FLIP-FLOP JK

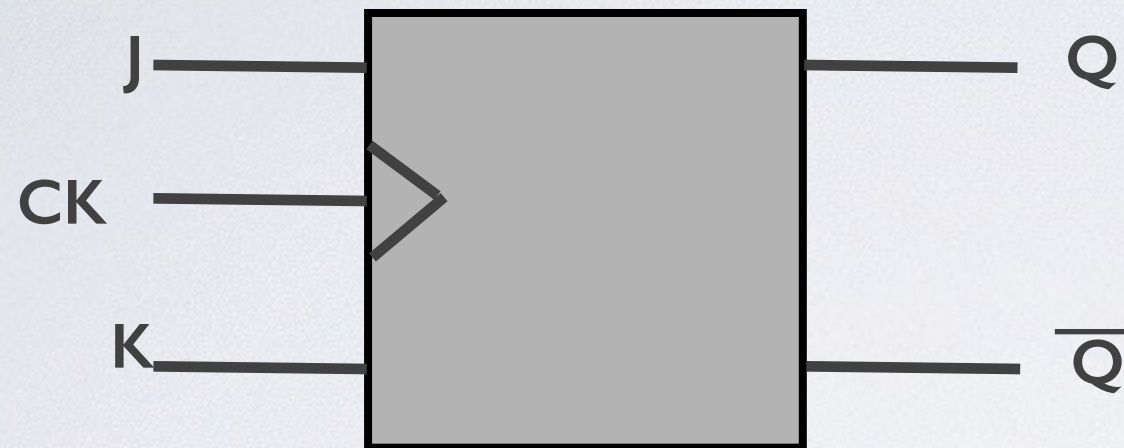


Tabla de verdad

J	K	Q
0	0	Q_t
0	1	0
1	0	1
1	1	$\overline{Q_t}$

Tabla característica

J	K	Q_t	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

ecuación
característica

$$Q(J, K, Q_t) = \sum m(1, 4, 5, 6,)$$

$$Q = \overline{K}Q_t + J\overline{Q_t}$$

Tabla de excitación

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

FLIP-FLOP T

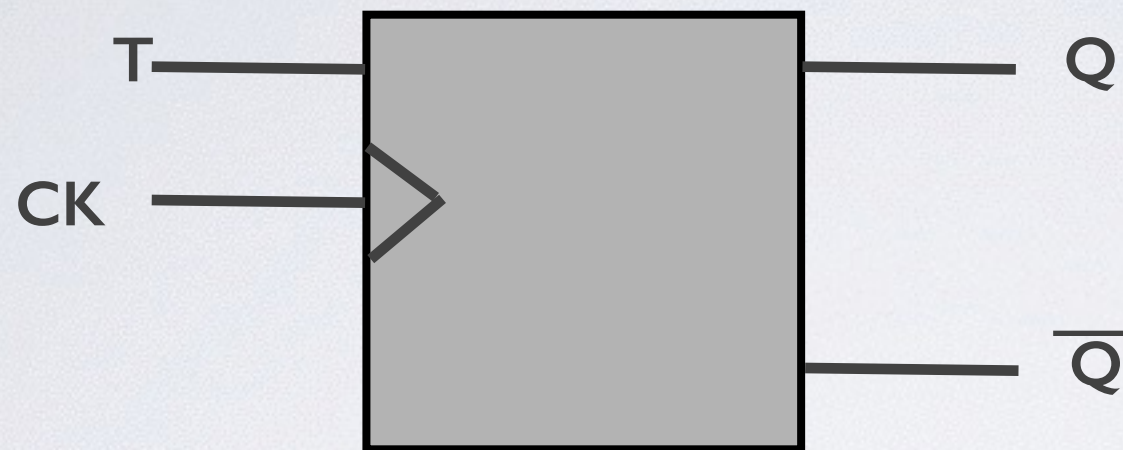


Tabla de verdad

T	Q
0	Q_t
1	$\overline{Q_t}$

Tabla característica

T	Q_t	Q
0	0	0
0	1	1
1	0	1
1	1	0

ecuación
característica

$$Q(T, Q_t) = \sum m(1, 2)$$

$$Q = \bar{T}Q_t + T\bar{Q}_t$$

Tabla de excitación

Q_t	Q_{t+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

FLIP-FLOP D

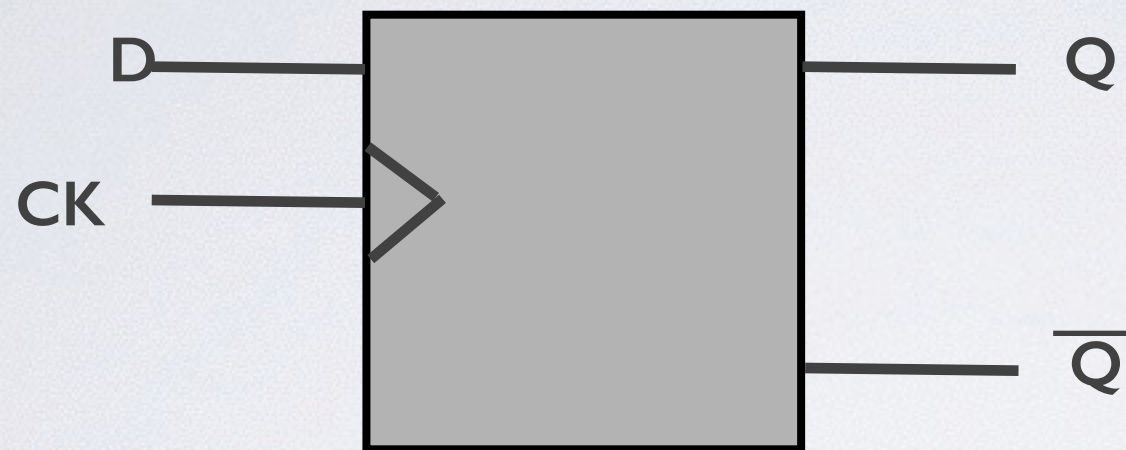


Tabla de verdad

D	Q
0	0
1	1

Tabla característica

D	Q _t	Q
0	0	0
0	1	0
1	0	1
1	1	1

ecuación
característica

$$Q(D, Q_t) = \sum m(2,3)$$

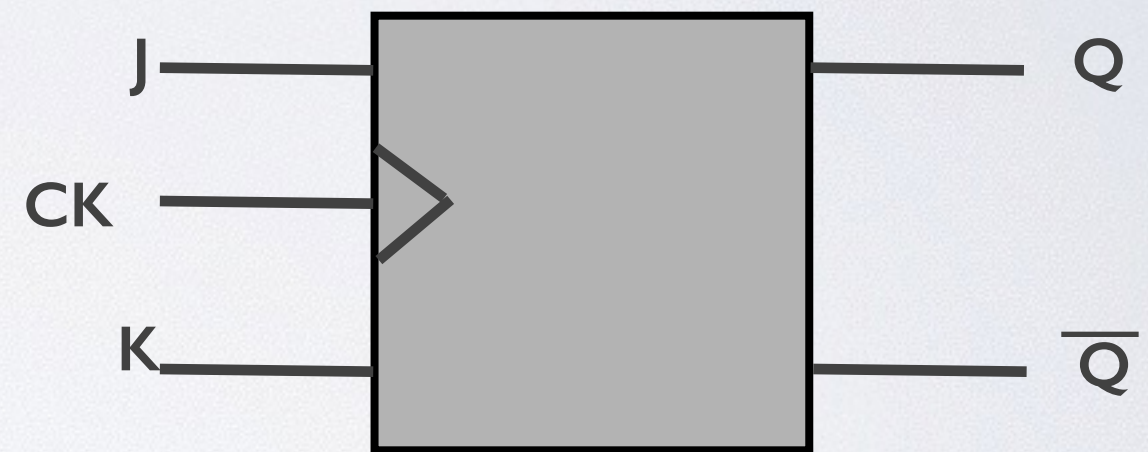
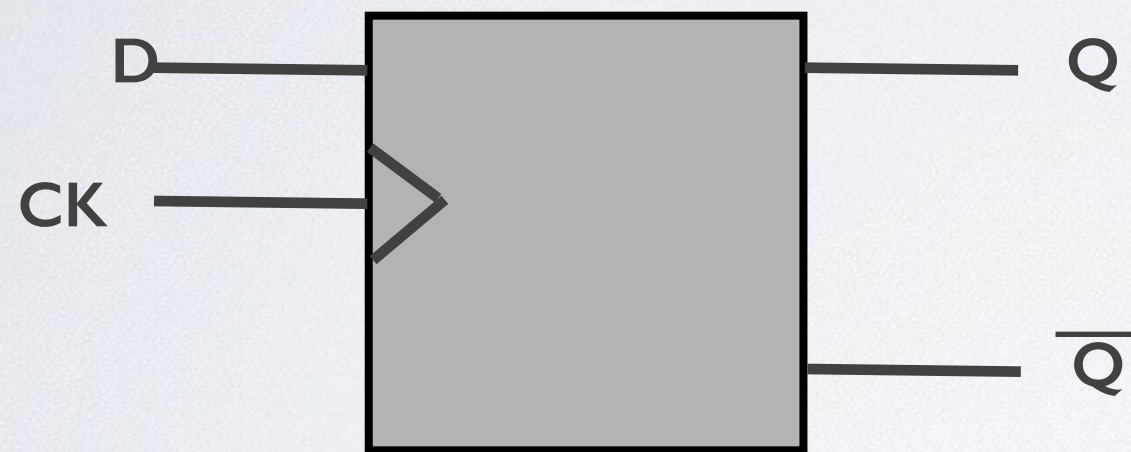
$$Q = D\overline{Q_t} + DQ_t$$

Tabla de excitación

Q _t	Q _{t+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

ENTRADAS ASÍNCRONAS DE LOS FLIP-FLOPs

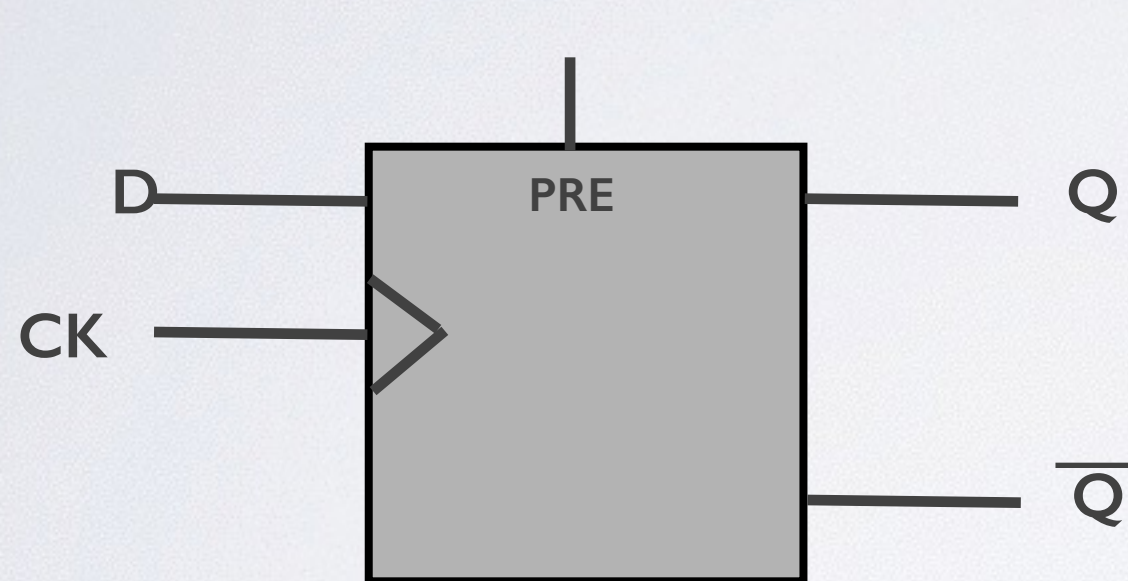
Cualquiera de los cuatro tipos de Flip-Flops tienen dos entradas llamadas asíncronas:



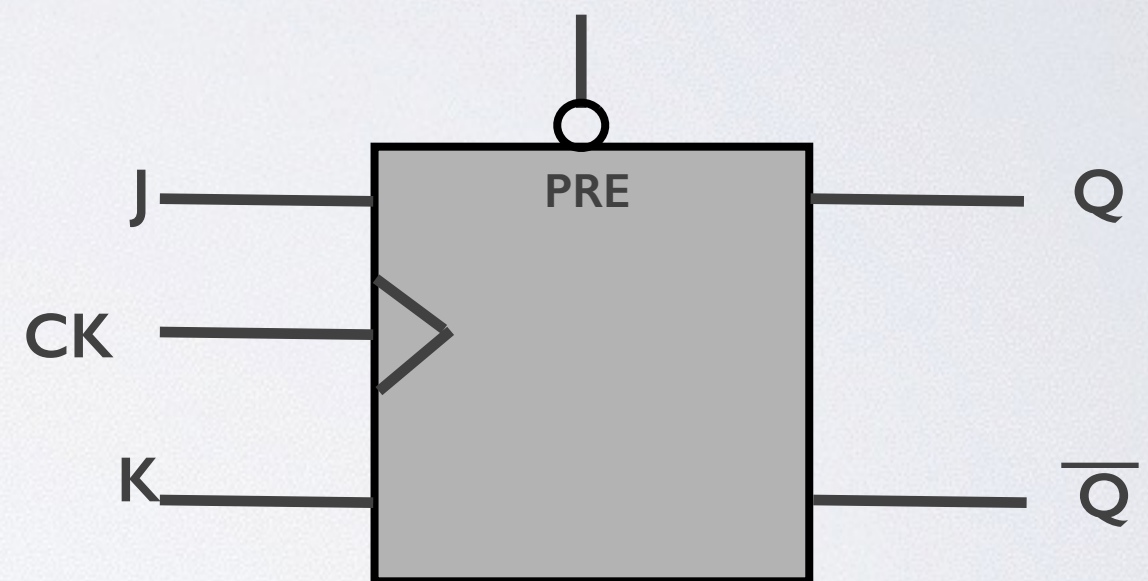
ENTRADAS ASÍNCRONAS DE LOS FLIP-FLOPS

Cualquiera de los cuatro tipos de Flip-Flops tienen dos entradas llamadas asíncronas:

- SET o Preset



Activación en alto



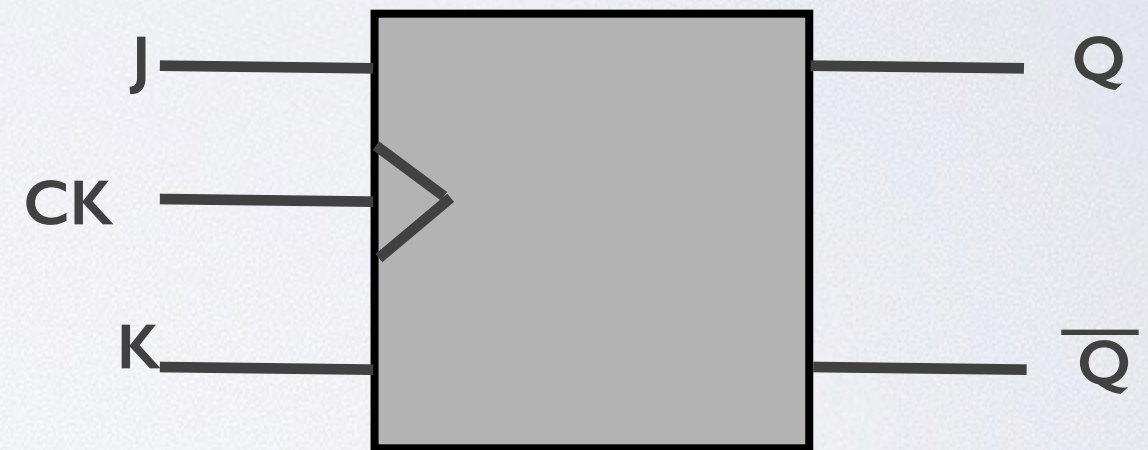
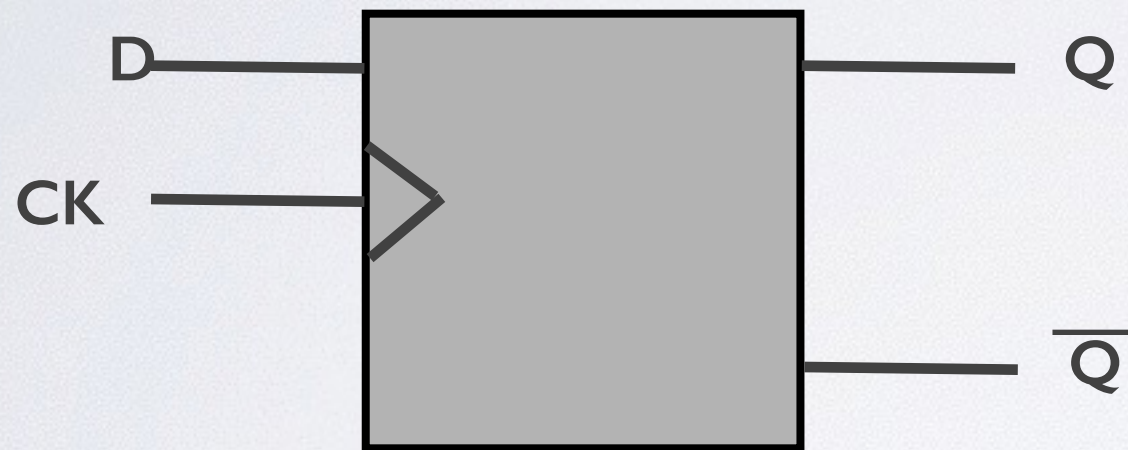
Activación en bajo

Si **PRE** esta activado $Q=1$ y $\overline{Q}=0$
sin importar los valores en las entradas síncronas

ENTRADAS ASÍNCRONAS DE LOS FLIP-FLOPs

Cualquiera de los cuatro tipos de Flip-Flops tienen dos entradas llamadas asíncronas:

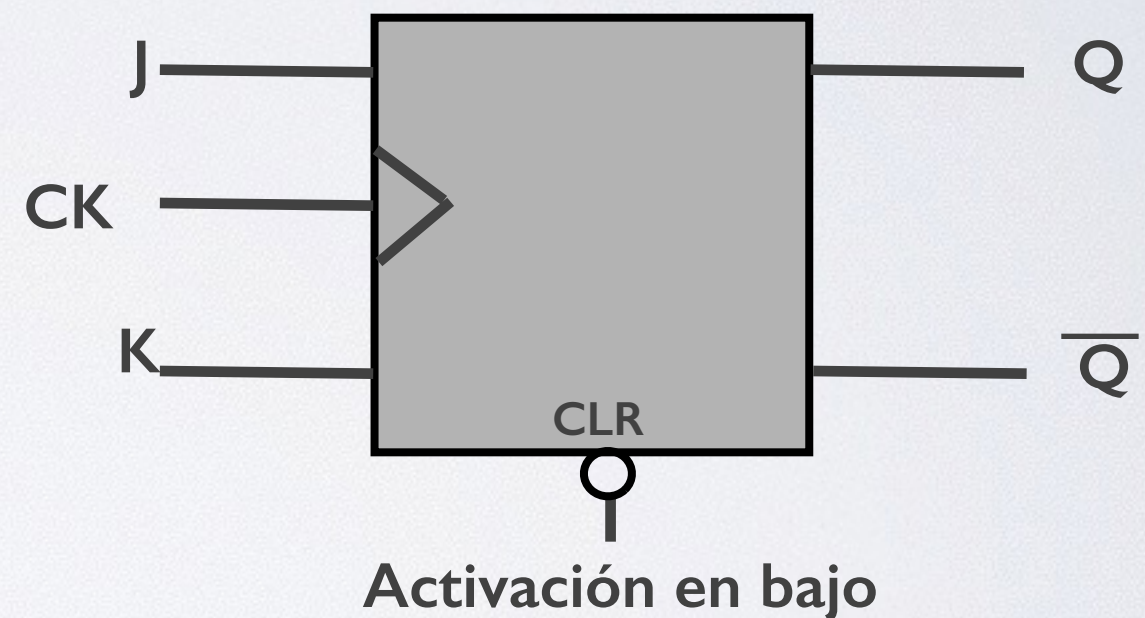
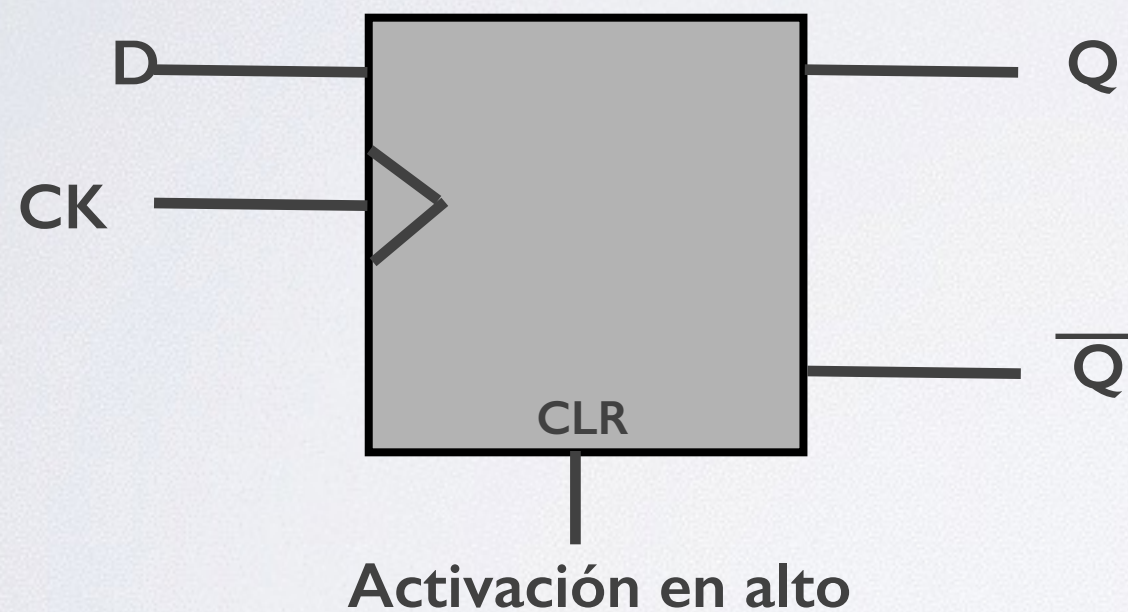
- SET o Preset
- CLEAR o Reset



ENTRADAS ASÍNCRONAS DE LOS FLIP-FLOPS

Cualquiera de los cuatro tipos de Flip-Flops tienen dos entradas llamadas asíncronas:

- SET o Preset
- CLEAR o Reset



Si **CLR** esta activado $Q=0$ y $\overline{Q}=1$
sin importar los valores en las entradas síncronas