

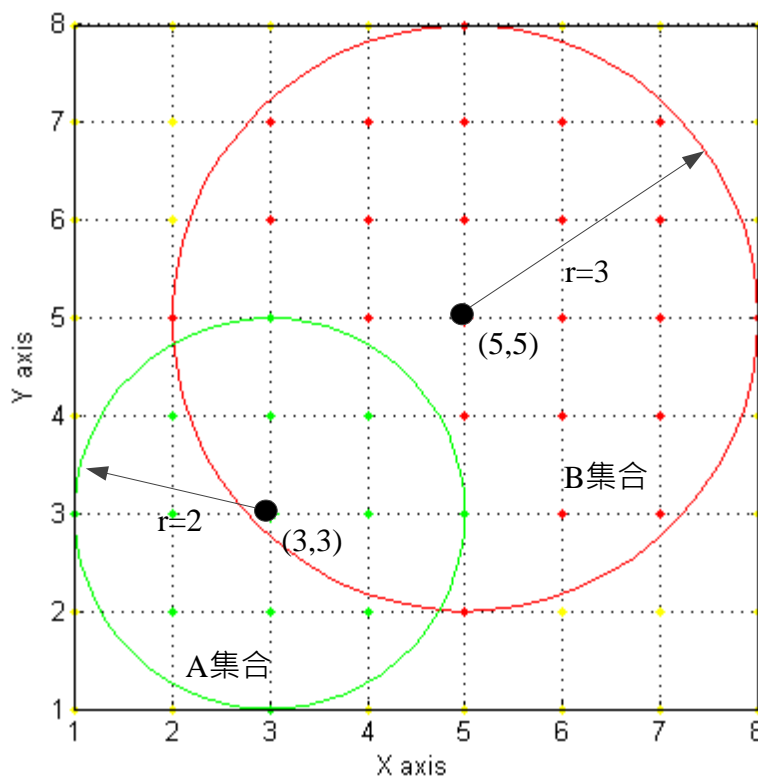
# 2015 IC Design Contest Preliminary

## 研究所類標準元件數位電路設計

### 指定集合內覆蓋之元素個數計數器

#### 1. 問題描述

本題目須完成利用多個圓形之集合運算計算出圖內覆蓋的頂點個數(Counting the number of vertex covers by set-theoretic operations of multiple circle graph)。此系統須將測試模組所提供在二維平面空間 8x8 座標系統。如下圖一所示，在二維平面空間 8x8 座標系統內共有 2 個圓形，其中較小圓形的圓心座標(3,3)與其半徑  $r=2$  所涵蓋(包含圓周內與剛好坐落在圓周上的點)的每一座標點所形成的集合稱為集合 A={...}，|集合 A|則表示集合 A 所涵蓋的元素數量，其中較大圓形的圓心座標(5,5)與其半徑  $r=3$  所涵蓋(包含圓周內與剛好坐落在圓周上的點)的每一座標點所形成的集合稱為集合 B={...}，|集合 B|則表示集合 B 所涵蓋的元素數量，針對集合 A 與集合 B 進行各種集合運算，電路最後輸出指定集合內的元素個數。(其中圓心座標與半徑皆是正整數)



圖一、二維 8x8 座標系統空間

本試題電路中，共有六只訊號輸入(clk、rst、en、central、radius、mode)、三只訊號輸出(busy、valid、candidate)。相關訊號說明，請參考表一。

每個參賽隊伍必須根據下一節所給的設計規格完成設計。參賽隊伍可藉由 CIC 所提供的輸入指令及正確結果檔來檢查設計是否有達到要求，詳情請參考附錄 B。

本次 IC 設計競賽比賽時間為上午 08:30 到下午 08:30。當 IC 設計競賽結束後，CIC 會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 D 中所列的要求，附上評分所需要的檔案。

## 2. 設計規格

請注意：

1. 此次 **top module** 名稱及檔案名稱、大小寫須完全符合附錄 B 規範，若有引入其它模組、檔案請自行寫在設計檔內，測試檔不允許任何修改否則不予計分。
2. 最後評分方式為使用最後上傳檔案版本評分，並以最後上傳檔案版本時間為依據，請參考 3. 評分標準。

### 2.1 系統方塊圖

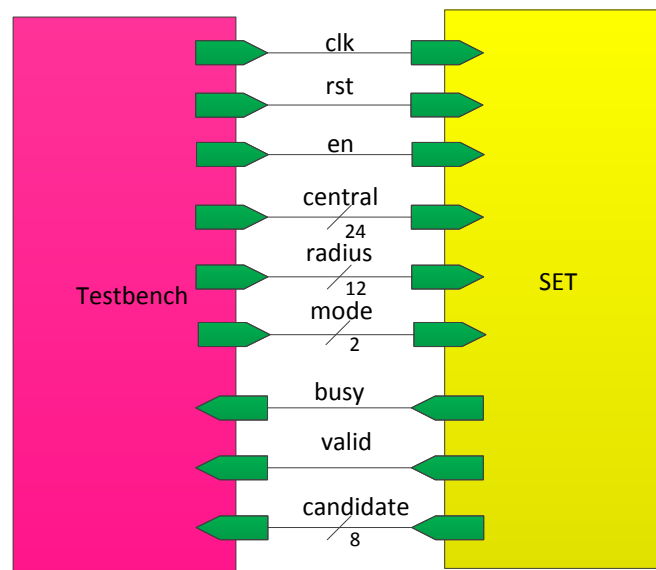


圖 二. 系統方塊圖

### 2.2 輸出入訊號和記憶體描述

表一、輸入/輸出信號

Signal Name	Direction	Width(bit)	Description
rst	input	1	非同步系統重置訊號。當此訊號為 1 時表示系統重置。
clk	input	1	系統時脈訊號。
en	input	1	資料有效信號。當此訊號為 1 時表示輸入資料為有效。
central	input	24	集合座標資料。其組成為{x1,y1,x2,y2,x3,y3}，其中

			central[23:20] : 為集合 A 的 X 軸座標 (x1) central[19:16] : 為集合 A 的 Y 軸座標 (y1) central[15:12] : 為集合 B 的 X 軸座標 (x2) central[11:8] : 為集合 B 的 Y 軸座標 (y2) central[7:4] : 為集合 C 的 X 軸座標 (x3) central[3:0] : 為集合 C 的 Y 軸座標 (y3)
radius	input	12	集合半徑資料。其組成為{r1,r2,r3}，其中 radius[11:8]為集合 A 的半徑值 r1 radius[7:4] 為集合 B 的半徑值 r2 radius[3:0] 為集合 C 的半徑值 r3
mode	input	2	mode 為指示進行運算模式信號。詳細請見：2.3.3 節。
busy	output	1	系統忙碌指示訊號。當此訊號為 1 時表示系統為忙碌中。
valid	output	1	valid 為有效的資料輸出指示信號。當信號 valid 為高位準時，於 candidate 輸出埠所輸出之資料為有效資料。詳細請見：2.3.5 節。
candidate	output	8	輸出題目所指定的元素個數。

## 2.3 系統功能描述

本電路功能如下：

當 reset 結束後。每當測試模組偵測到  $busy = 0$  且經時脈訊號負緣觸發時會立刻送出輸入致能訊號  $en$ 、集合座標資料  $central$ 、集合半徑資料  $radius$  及運算模式指示訊號  $mode$ ；而當  $en = 1$  且經時脈訊號正緣觸發之  $central$ 、 $radius$  及  $mode$  為有效輸入訊號。

系統需在接收到有效輸入訊號後將  $busy$  拉為 1 表示系統忙碌中，並利用運算模式指示訊號  $mode$  所指示之計算出其集合空間裡所涵蓋的元素個數。接著系統須將  $valid$  拉為 1 並同時將前述計算完成之集合座標點數目利用  $candidate$  訊號輸出。接著請再次將  $busy$  設定為 0 表示系統閒置，測試模組將在偵測到  $busy = 0$  且經時脈訊號負緣觸發後輸出下一筆待測訊號。

此三筆資料輸入分別為 A 集合座標( $x1,y1$ )與  $r1$ 、B 集合座標( $x2,y2$ )與  $r2$ 、C 集合座標( $x3,y3$ )與  $r3$ ，一次運算最多為 3 個集合，本系統描述如下（以 A 集合為例）：

$$\left\{ \begin{array}{l} 1 \leq x \leq 8 \\ \forall x, y | (x - x1)^2 + (y - y1)^2 \leq r^2 | x, y, r \in Z \\ 1 \leq y \leq 8 \end{array} \right\}$$

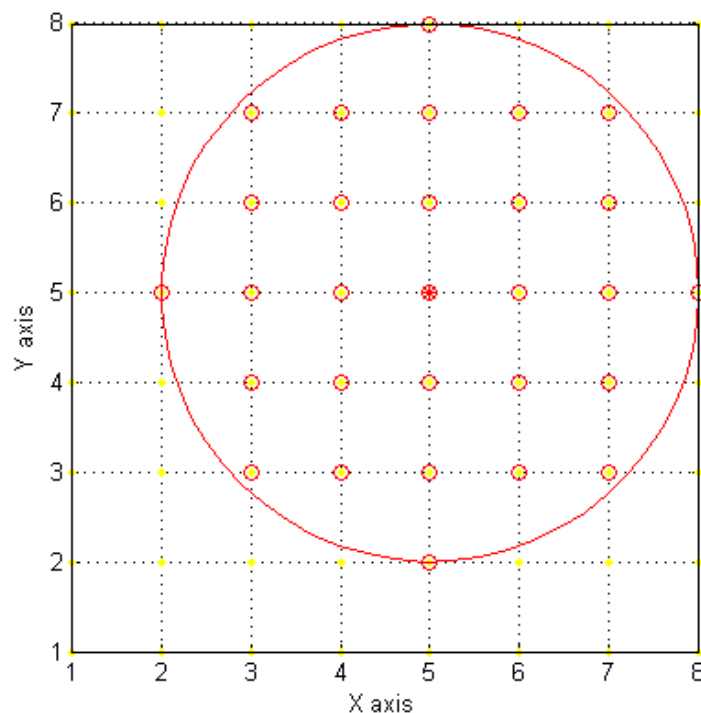
式一

集合運算模式訊號  $mode$  為 2bits，共有四種模式，系統須依訊號指示擷取有效資料進行運算。茲將此四種模式說明如 2.3.1~2.3.4 所示。

### 2.3.1 集合模式指示訊號(mode)訊號為 2'b00

**mode=2' b00**：計算一個 A 集合在二維 8x8 空間裡所涵蓋的座標元素個數，其中 *central* 信號 ( $x1,y1$ )，*radius* 信號  $r1$  為有效資料。

範例：輸入(5,5)， $r=3$ ，在 2 維 8x8 座標空間裡，產生 A 集合，如圖三所示。  
其中所涵蓋的元素如下：



圖三、A 集合

其中 A 集合所涵蓋的元素如下：

(2,5)、(3,3)、(3,4)、(3,5)、(3,6)、(3,7)、(4,3)、(4,4)、(4,5)、(4,6)、(4,7)、(5,2)、(5,3)、(5,4)、(5,5)、(5,6)、(5,7)、(5,8)、(6,3)、(6,4)、(6,5)、(6,6)、(6,7)、(7,3)、(7,4)、(7,5)、(7,6)、(7,7)、(8,5)

A 集合所涵蓋元素個數為 29。

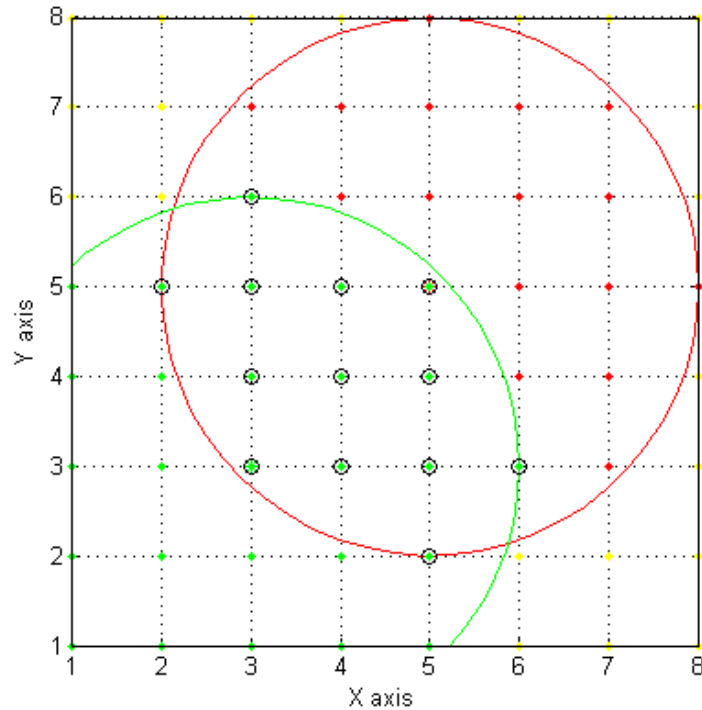
### 2.3.2 集合運算模式指示訊號(mode)訊號為 2' b01

**mode=2' b01**：進行( $A \cap B$ )運算

說明：

計算 A、B 兩個集合，2 維 8x8 座標空間裡，交集所涵蓋的元素座標點個數，其中 *central* 信號( $x1,y1$ )、( $x2,y2$ )及 *radius* 信號  $r1$ 、 $r2$  為有效資料。

範例：輸入(5,5)， $r=3$ ，產生 A 集合，(3,3)， $r=3$  產生 B 集合在 2 維 8x8 座標空間裡，如圖四所示。



圖四、 $(A \cap B)$  運算

其中 $(A \cap B)$ 運算所涵蓋的元素如下：

$(2,5)$ 、 $(3,3)$ 、 $(3,4)$ 、 $(3,5)$ 、 $(3,6)$ 、 $(4,3)$ 、 $(4,4)$ 、 $(4,5)$ 、 $(5,2)$ 、 $(5,3)$ 、 $(5,4)$ 、 $(5,5)$ 、 $(6,3)$

故 $(A \cap B)$  運算結果所涵蓋元素個數為 13。

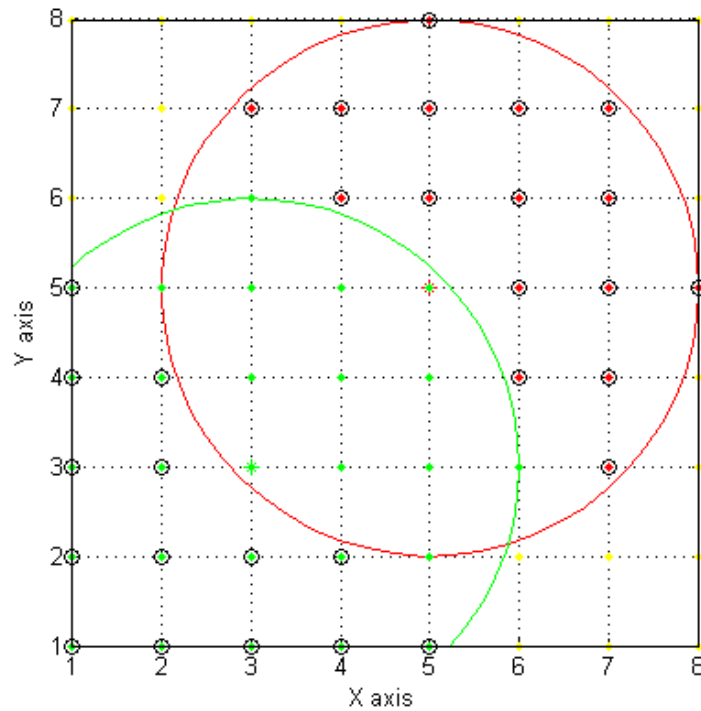
### 2.3.3 集合模式指示訊號(mode)訊號為 2'b10

**mode=2' b10：**進行 $(A \cup B) - (A \cap B)$ 運算

說明：

計算 A、B 兩個集合在 2 維 8x8 座標空間裡，差集所涵蓋的元素座標點個數，其中 *central* 信號  $(x1,y1)$ 、 $(x2,y2)$ 及 radius 信號  $r1$ 、 $r2$  為有效資料。

範例：輸入 $(5,5)$ ， $r=3$ ，產生 A 集合， $(3,3)$ ， $r=3$  產生 B 集合在 2 維 8x8 座標空間裡，如圖五所示。



圖五、 $(A \cup B) - (A \cap B)$  運算

其中所涵蓋的元素如下：

$(3,7)$ 、 $(4,6)$ 、 $(4,7)$ 、 $(5,6)$ 、 $(5,7)$ 、 $(5,8)$ 、 $(6,4)$ 、 $(6,5)$ 、 $(6,6)$ 、 $(6,7)$ 、 $(7,3)$ 、 $(7,4)$ 、 $(7,5)$ 、 $(7,6)$ 、 $(7,7)$ 、 $(8,5)$ 、 $(1,1)$ 、 $(1,2)$ 、 $(1,3)$ 、 $(1,4)$ 、 $(1,5)$ 、 $(2,1)$ 、 $(2,2)$ 、 $(2,3)$ 、 $(2,4)$ 、 $(3,1)$ 、 $(3,2)$ 、 $(4,1)$ 、 $(4,2)$ 、 $(5,1)$   
故  $(A \cup B) - (A \cap B)$  運算結果所涵蓋元素個數為 30。

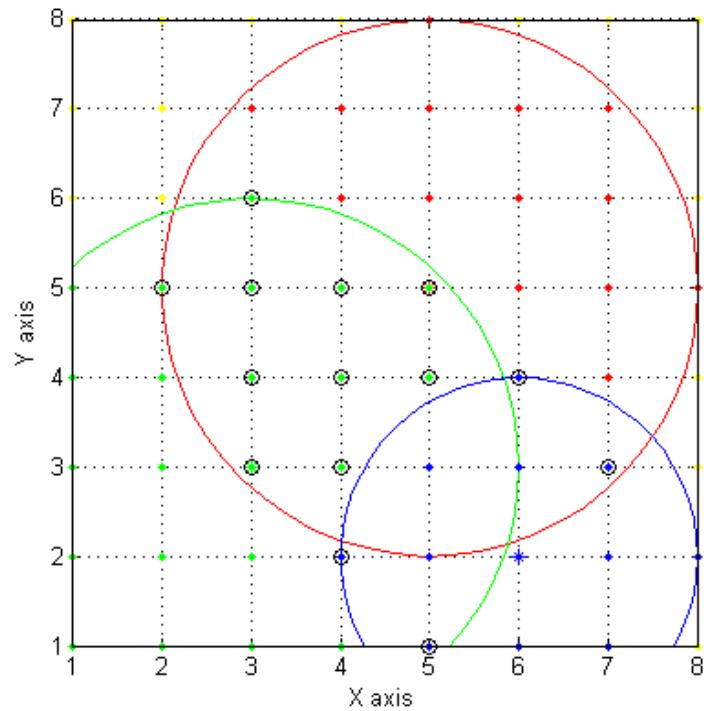
### 2.3.4 集合模式指示訊號(mode)訊號為 2'b11

**mode=2' b11**： $(A \cap B) + (B \cap C) + (A \cap C) - (A \cap B \cap C)$

說明：

計算 A、B、C 三個集合在 2 維 8x8 座標空間裡，每個兩個集合作交集元素座標點個數，並排除三個集合所交集之元素座標點個數，其中 *central* 信號  $(x1,y1)$ 、 $(x2,y2)$ 、 $(x3,y3)$  及 *radius* 信號  $r1$ 、 $r2$ 、 $r3$  為有效資料。

範例：輸入  $(5,5)$ ， $r=3$ ，產生 A 集合， $(3,3)$ ， $r=3$  產生 B 集合， $(6,2)$ ， $r=2$  產生 C 集合在 2 維 8x8 座標空間裡，進行  $(A \cap B) + (B \cap C) + (A \cap C) - (A \cap B \cap C)$  運算，如圖六。



圖六、 $(A \cap B) + (B \cap C) + (A \cap C) - (A \cap B \cap C)$  運算

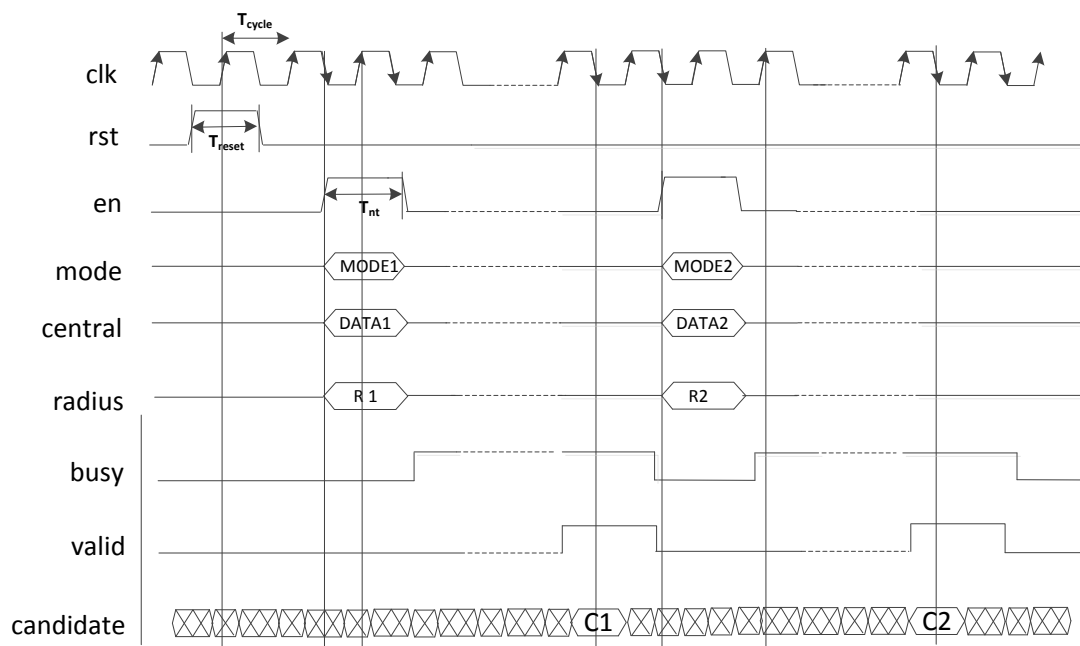
其中所涵蓋的元素如下：

$(3,3)$ 、 $(4,3)$ 、 $(3,4)$ 、 $(2,5)$ 、 $(4,4)$ 、 $(3,5)$ 、 $(5,4)$ 、 $(4,5)$ 、 $(3,6)$ 、 $(5,5)$ 、 $(6,4)$ 、 $(7,3)$ 、 $(4,2)$ 、 $(5,1)$

故 $(A \cap B) + (B \cap C) + (A \cap C) - (A \cap B \cap C)$ 運算結果，所涵蓋元素個數為 14。

## 2.4 時序規格圖

系統輸入/輸出時序規格圖及參數，分別如圖七及表二所示。



圖七、時序規格圖

表二 -時序規格參數

Symbol	Description	Value
$T_{\text{cycle}}$	Clock (clk) period with duty cycle 50%	User defined
$T_{\text{reset}}$	Reset pulse width, active between positive edges of clk.	$= T_{\text{cycle}}$
$T_{\text{nt}}$	New SET parameter pulse width, active between positive edges of clk.	$= T_{\text{cycle}}$



### 3. 評分標準

主辦單位的評分人員將依照參賽者提供之系統時脈進行 RTL simulation 或 gate-level simulation，以驗證設計正確性，並且依據設計檔上傳至 CIC FTP 檔案伺服器(請參閱附錄 D)的時間來進行排名。各參賽隊伍應於參賽者定義的系統時脈下，確保輸出結果無設置與保持時間(setup/hold time)的問題，並完全符合 CIC 所提供的標準設計結果為準。

CIC 將本試題區分為下面四個等級來作為功能完成度之評分，完成度越高者優先錄取；若為同一等級則以檔案上傳時間來評分：

1. A 等級：完成 SET 電路的測試樣本 1~4 之 RTL 與 gate-level simulation(操作時脈週期限定須在 10ns 以下)，並且合成後 Cell Area 小於 **9000**。
2. B 等級：完成 SET 電路的測試樣本 1~4 之 RTL 與 gate-level simulation(操作時脈週期限定須在 100ns 以下)，並且合成後 Cell Area 小於 **18000**。
3. C 等級：完成 SET 電路的測試樣本 1~4 之 RTL simulation。
4. D 等級：完成 SET 電路的測試樣本 1~3 之 RTL simulation。

A 等級之 Cell Area 可利用以下指令產生而得知

QoR Report：STI\_DAC.qor

以 DC 產生 QoR report 的指令：***report\_qor > SET.qor***

以 RC 產生 QoR report 的指令：***report\_qor > SET.qor***

```
Area
-----
Combinational Area:    7286.938256
Noncombinational Area: 1575.187231
Buf/Inv Area:          678.959991
Total Buffer Area:     168.04
Total Inverter Area:   510.92
Macro/Black Box Area:  0.000000
Net Area:              75647.044708
-----
Cell Area:             8862.125487
Design Area:           84589.178195
```

C 等級及 E 等級雖不須進行 synthesis，但 RTL code 須為 synthesizable RTL code。

請注意，我們將以各參賽隊伍的設計結果正確為前提，並以最後上傳檔案的時間為依據。一旦設計經評審驗證後，**完成同一等級者，上傳時間越早，其所得到的分數就越高。建議每完成一個等級就先將設計檔案內容上傳**，主辦單位將根據設計內容的完成度給予記分。審查成績將另擇期通知。

## 附錄

在附錄 A 中說明本次競賽之軟體環境；附錄 B 為主辦單位所提供各參賽者的設計檔說明；附錄 C 為評分用檔案，亦即參賽者必須回傳至 CIC 的檔案資料；附錄 D 則為設計檔上傳步驟說明。

### 附錄 A 軟體環境

競賽所提供的設計軟體與版本如下表四。驗證評分時，係以所列軟體及版本作為驗證依據。

表四、設計軟體版本

Functionality	Corresponding EDA tools
Logic Simulator	nc-verilog 2012.20.012 modelsim v10.2c vcs vG-2011.012-SP1
Logic Synthesizer	design-compiler v2014.09-sp1

## 附錄 B 設計檔案說明

1. 下表五.為主辦單位所提供各參賽者的設計檔案

表五、設計檔

檔名	說明
testfixture.v	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號。
SET.v ( SET.vhd)	參賽者所使用的設計檔，已包含系統輸/出入埠之宣告
./dat/Central_pattern .dat	central 測試樣本檔案
./dat/Radius_pattern.dat	radius 測試樣本檔案
./dat/candidate_result_Length.dat	Mode1 比對樣本檔案
./dat/candidate_united_result_Length .dat	Mode2 比對樣本檔案
./dat/candidate_diff_result_Length .dat	Mode3 比對樣本檔案
./dat/candidate_intersect_result_Length .dat	Mode4 比對樣本檔案
report.000	結果報告範本
SET.sdc	Design Compiler 電路合成規範檔
tsmc13_neg.v	Gate-level simulation 所需要之 cell library file
synopsys_dc.setup	Design Compiler 初始設定範例檔案

2. 請使用 SET.v (.vhd)，進行本題電路之設計。其 Verilog 模組名稱、輸出/入埠宣告如下所示：

```
module SET (clk ,rst, en,central,radius, mode, busy, valid, candidate);  
input clk;  
input rst;  
input en;  
input [23:0] central;  
input [11:0] radius;  
input [1:0]mode;  
output busy;  
output valid;  
output [7:0]candidate;  
  
endmodule
```

3. 比賽共提供四組測試樣本，參賽者可依下面範來進行模擬：

➤ ncverilog 指令範例如下：

**ncverilog testfixture.v SET.v +define+MD1**

- 若使用 modelsim，則是在 compiler verilog 時，使用下面指令：  
**vlog testfixture.v +define+MD1**
- 上述指令中 **+define+MD1** 指的是當 mode 訊號為 2'b00 時的模擬，當使用其它測試樣本請自行修改此參數。
  - i. 以 mode 訊號為 2'b00 時的測試樣本為例：**+define+MD1**
  - ii. 以 mode 訊號為 2'b01 時的測試樣本為例：**+define+MD2**。
  - iii. 以 mode 訊號為 2'b10 時的測試樣本為例：**+define+MD3**
  - iv. 以 mode 訊號為 2'b11 時的測試樣本為例：**+define+MD4**
- 若 RTL 模擬時，要避免時序檢查以減少錯誤訊息，可於模擬指令中加入 **+notimingchecks**

4. dump 波形檔請參考指令如下：

- ncverilog 指令範例如下(請先 source verdi 的環境設定檔)：  
**ncverilog testfixture.v SET.v +define+MD1 +access+r**
- modelsim 使用者，請直接使用內建波形來進行除錯。

## 附錄 C 評分用檔案

評分所需檔案可分為三部份：(1)RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各 module 檔放進來，以免評審進行評分時，無法進行編譯；(2)gate-level design，即由合成軟體所產生的 gate-level netlist，以及對應的 SDF 檔；(3)report file，參賽隊伍必須依照自己的設計內容，撰寫 report.000 檔，以方便主辦單位進行評分，report.000 的格式如圖八所示。(report 檔以後三碼序號表示版本，若繳交檔案更新版本，則新版的 report 檔檔名為 report.001，依此類推)

表六、評分用檔案

<b>RTL category</b>		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
N/A	report.xxx	design report
RTL Simulation	*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
<b>Gate-Level category</b>		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
Pre-layout Gate-level Simulation	*_syn.vg	Verilog gate-level netlist generated by Synopsys Design Compiler
	*_syn.sdf	SDF timing information generated by Synopsys Design Compiler
	*_syn.ddc	design database generated by Synopsys Design Compiler

FTP 帳號(FTP account): 999999

通過 gate-level simulation 之 cell area report : 20000

--- RTL category---

使用之 HDL 模擬器名稱(HDL simulator ): nc-verilog

RTL 檔案名稱(RTL filename): SET.v 以及使用到的子模組檔案...

--- Pre-layout gate-level ---

gate-level 檔案名稱(gate\_level filename): SET\_syn.vg

gate-level sdf filename: SET\_syn.sdf

design compiler 合成資料庫(dc library): SET\_syn.ddc

-----注意事項(annotation)-----

(其餘注意事項依各參賽隊伍的需求填寫)

圖八、report.000 的範本

## 附錄 D 檔案上傳

所有包含於如附錄 C 中表格所示的檔案，均需要提交至 CIC。並且，提交的設計檔案，需要經過壓縮於同一個資料夾下，步驟如下：

1. 建立一個 result\_xxx 資料夾。其中“xxx”表示繳交版本。例如“000”表示為第一次上傳；“001”表示為第二度上傳；002 表示為第三度上傳，以此類推…。
2. 參考附錄 C 評分用檔案，將所有繳交檔案複製到 result\_xxx 資料夾
3. 執行 tar 指令將 result\_xxx 資料夾包裝起來，tar 的指令範例如下：  
tar cvf result\_xxx.tar result\_xxx  
其中 xxx 表示繳交版本  
執行完後應該會得到 result\_xxx.tar 的檔案
4. 使用 ftp 將 result\_xxx.tar 及 report.xxx 一併上傳至 CIC 提供的 ftp server，result\_xxx.tar 與 report.xxx 之“xxx”編號需一致，評審將以**最後上傳的設計檔及報告檔編號進行評分作業**。

**本題限制上傳之設計檔僅可使用 tar 或 zip 壓縮格式，使用 rar 或其他格式者一律不予計分。**

**請注意!!上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21(port:21)。**

ftp 的帳號和密碼在賽前已用 email 寄給各參賽者。若有任何問題，請聯絡 CIC

FTP site1 (台灣大學)：iccftp.ee.ntu.edu.tw (140.112.20.92)

FTP site2 (新竹晶片中心)：iccftp.cic.org.tw (140.126.24.18)

FTP site3 (南區晶片中心)：iccftp2.cic.org.tw(140.110.117.9)

5. 若你需要繳交更新版本，請重覆以上步驟，並記得修改 report 檔及 tar 檔的版本編號，因為你無法修改或刪除或覆蓋之前上傳的資料。