

CMOS 模拟集成电路 设计与仿真

罗广孝 编

华北电力大学

二〇〇七年九月

前 言

随着信息技术及其产业的迅速发展，当今社会进入到了一个崭新的信息化时代，微电子技术正是信息技术的核心技术。自从 TI 公司的科学家基尔比(Claire Kilby) 在 1958 年发明了第一块集成电路以来，集成电路技术已经逐渐成为整个信息社会必不可少的支柱。

1956 年北京大学、南京大学、复旦大学、吉林大学、厦门大学等五校在北大联合创建半导体专业，为我国培养第一批半导体人才，经过几代人的默默耕耘、韬光养晦，终于在自主创新之路上有所成就。目前，国内整个集成电路产业链逐渐完善，但是设计能力仍然相对滞后，希望本讲义的编写能为我校集成电路设计方向学科的建设、集成电路设计人才的培养尽绵薄之力。

内容概要

本书所涉及的实践内容，旨在培养学生对相关课程中所学到的有关知识和技能的综合运用能力以及集成电路设计软件工具的使用，掌握微电子技术人员所需的基本理论和技能，为学生进一步学习后续有关专业课程和日后从事集成电路设计工作打下基础。

基本微电子电路设计与仿真部分：首先简单介绍了电路仿真工具 HSPICE 的使用，通过典型的微电子电路的分析和设计，并用 HSPICE 软件完成了电路的仿真，目的是让学生掌握集成电路性能与电路结构和器件尺寸之间的关系，能够正确分析和设计电路，并学会电路仿真软件（Hspice）的基本使用。

电路的频率响应和稳定性部分：介绍了电路频率响应的零极点分析方法，并对基本的子电路完成了频率响应分析，最后深入细致的讨论了反馈放大器的频率响应和稳定性。

运算放大器设计部分：首先对运算放大器基本参数进行了分析阐述，并对基本的两级运算放大器和折叠共源共栅运算放大器的分析和设计方法进行了讨论，并用简单的模型参数完成了给定指标电路的手动计算设计，并用 HSPICE 进行了仿真验证。最后，针对具体的工程应用，讲述了一个带缓冲级的运算放大器的设计方法。

版图部分：掌握集成电路版图设计规则的含义以及消除或减小寄生效应的措施，能够正确设计集成电路版图，学会版图录入和版图设计规则检查（DRC）软件的使用；学会电路与版图一致性检查（LVS）、版图参数提取（LPE）及版图后仿真软件的使用。

适用范围

本书涉及各种 CMOS 集成电路的分析和设计，并用高精度的电路仿真工具 HSPICE 完成了仿真，具有较强的工程参考价值。本书可作为《集成电路设计基础》、《CMOS 模拟集成电路设计》、《微电子电路与仿真》课程的参考书和培训实验手册。

致谢

作者要首先感谢电气与工程学院领导，给了我到东南大学射频与光电集成电路研究所访问学习的机会，感受了射光所文化的熏陶，让我始终执着于集成电路设计的殿堂。同时感谢电子系和电子学教研室领导的呵护，当然还要感谢我深爱的妻子，是她无私的爱激励了我对工作的追求！谨以此书献给所有关心我和我的所有学生，祝你们健康快乐！

罗广孝

2007 年 8 月于河北保定

主要参考书：

1. 集成电路设计[M]，王志功 朱恩 陈莹梅 编著，电子工业出版社，2006.11。
2. 集成电路设计技术与工具[M]，王志功 景为平 孙玲 编著，东南大学出版社，2007.7。
3. CMOS 模拟电路设计（第二版）[M]，[美] Phillip E. Allen, Douglas R. Holberg 著，冯军 李智群译，王志功审校，电子工业出版社，2005。

其它参考书：

4. 模拟集成电路设计[M]，[加]David A. Johns Ken Martin 著，曾朝阳等译. 机械工业出版社，2005。
5. CMOS 电路设计、布局与仿真[M]，[美]R. Jacob Baker Harry W. Li David E. Boyce 著，陈中建主译. 机械工业出版社，2006。
6. 模拟 CMOS 集成电路设计[M]，[美]毕查德. 拉扎维 著，陈贵灿 程军 张瑞智 等译，西安交通大学出版社，2003。
7. 模拟集成电路的分析与设计[M]，[美]Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer 著，张晓林等译，高等教育出版社，2005。
8. 模拟电路版图的艺术（第二版）（英文版）[M]，[美]Alan Hastings 著，电子工业出版社，2006.8。
9. 半导体器件基础[M]，[美]Robert F. Pierret 著，黄如 等译，韩汝琦审校，电子工业出版社，2007.8。
10. Zeni User Guide, huada, China。
11. Synopsys, HSPICE™Simulation and Analysis User Guide。

目 录

第一部分 基本微电子电路设计与仿真.....	1
第 1 章 HSPICE 仿真环境简介	1
1.1 HSPICE 基础知识	1
1.2 输入网表文件	1
1.3 电路元器件及模型描述	2
1.4 电路的分析类型描述语句	4
1.5 输出格式描述语句	5
1.6 控制语句和option语句	6
1.7 仿真控制和收敛	7
1.8 输入语句	8
1.9 统计分析仿真	8
1.10 HSPICE 仿真示例	9
1.11 SPICE 做电路仿真时容易出现的错误	13
第 2 章 CMOS 工艺SPICE模型测试	15
1.1 SPICE 模型简介	15
2.2 CMOS 工艺MOS管模型参数	21
2.3 用HSPICE仿真MOS输出特性	22
2.4 练习	23
第 3 章 恒流源电路分析与设计	25
3.1 恒流源电路	25
3.2 高输出阻抗的恒流源电路	26
3.3 HSPICE 仿真分析基本恒流源电路	28
3.4 HSPICE 仿真分析高输出阻抗恒流源电路 (MOS管参数同上)	29
3.5 基本恒流源电路的敏感度分析	29
3.6 基本恒流源电路的温度特性	29
3.7 其它类型的电流源/沉	30
第 4 章 共源放大电路分析与设计	31
4.1 有源负载共源放大器	31
4.2 电流源负载共源放大器	32
4.3 推挽共源放大器	33
4.4 HSPICE 仿真分析电流源负载共源放大电路	34
第 5 章 共源共栅放大电路分析与设计	37

5.1 共源共栅放大器原理及分析	37
5.2 共源共栅放大器的设计流程	39
5.3 设计实例及HSPICE仿真分析	40
第6章 源级跟随电路分析与设计	43
6.1 源极跟随缓冲级	43
6.2 小信号分析	45
6.3 HSPICE仿真实例	47
第7章 电流镜负载差分放大电路分析与设计	49
7.1 基本结构及分析	49
7.2 电流镜负载的CMOS差分放大器设计	51
7.3 设计实例和HSPICE仿真	54
第二部分 电路的频率响应和稳定性	57
第8章 电路零极点分析方法	57
8.1 单极点传输函数——RC低通电路	57
8.2 单极点单零点系统——CR高通电路	58
8.3 两阶RC系统	59
第9章 基本微电子电路频率响应分析	62
9.1 考虑电容的MOS管小信号模型	62
9.2 共源放大器	69
9.3 源极跟随器放大器	73
9.4 共栅放大器	83
9.5 高输出阻抗镜像电路	83
9.6 共源共栅增益级	83
第10章 反馈放大器的频率响应和稳定性	91
10.1 反馈放大器的稳定	91
10.2 两级电流源负载共源放大器及其补偿	100
第三部分 运算放大器设计	107
第11章 CMOS运算放大器简介	107
11.1 指标参数	107
11.2 CMOS运算放大器的设计	111
第12章 基本两级运算放大器分析与设计	115
12.1 电路的设计目标和结构	115
12.2 具体的设计过程	117
12.3 电路的性能仿真	123
第13章 共源共栅运算放大器分析与设计	129

13.1 折叠共源共栅运放的电路结构.....	129
13.2 折叠共源共栅运算放大器的小信号模型.....	130
13.3 折叠共源共栅运算放大器的设计方法.....	131
13.4 折叠共源共栅运算放大器的仿真.....	135
第 14 章 运算放大器工程设计	140
14.1 设计指标.....	140
14.2 放大器结构的确定	140
14.3 选择工艺参数	141
14.4 各级放大器参数的初步考虑.....	141
14.5 实例：一个带缓冲级运算放大器.....	142
第四部分 集成电路版图设计.....	146
第 15 章 九天版图设计工具简介	146
15.1 引言	146
15.2 版图设计的基本步骤.....	147
15.3 版图设计的注意事项.....	147
15.4 九天版图设计工具简介	148
15.5 频繁使用的UNIX命令	152
第 16 章 反相器电路原理图设计与仿真.....	154
16.1 启动实验环境	154
16.2 开始一个新的设计	154
16.3 设计反相器的电路原理图	155
16.4 在电路原理图编辑器（Zeni Schematic Editor）中完成仿真.....	163
第 17 章 反相器版图编辑.....	171
17.1 运行软件环境	171
17.2 设计反相器版图	171
第 18 章 反相器版图验证与参数提取.....	195
18.1 Layout DRC版图设计规则检查	195
18.2 Layout LVS版图原理图对照	201
附录	209

第一部分 基本微电子电路设计与仿真

第 1 章 HSPICE 仿真环境简介

1.1 HSPICE 基础知识

Hspice（现在属于 Synopsys 公司）是 IC 设计中最常使用的工业级电路仿真工具，用以对电子电路的稳态、瞬态及频域的仿真和分析，可以精确的仿真、分析、优化从直流到高于 100GHz 频率的微波电路。目前，一般书籍都采用 Level 2 的 MOS Model 进行计算和估算，与 Foundry 经常提供的 Level 49 和 Mos 9、EKV 等 Library 不同，而以上 Model 要比 Level 2 的 Model 复杂的多，因此 Designer 除利用 Level 2 的 Model 进行电路的估算以外，还一定要使用电路仿真软件 Hspice、Spectre 等进行仿真，以便得到精确的结果。

本节将从最基本的设计和使用开始，逐步带领读者熟悉 Hspice 的使用，并对仿真结果加以讨论，配以实例，以便建立 IC 设计的基本概念。在最后还将对 Hspice 的收敛性做深入的细致的讨论。

Hspice 输入网表文件为 .sp 文件，模型和库文件为 .inc 和 .lib，Hspice 输出文件有运行状态文件 .st0、输出列表文件 .lis、瞬态分析文件 .tr#、直流分析文件 .sw#、交流分析文件 .ac#、测量输出文件 .m*# 等。其中，所有的分析数据文件均可作为 AvanWaves 的输入文件用来显示波形。

表 1.1 Hspice 所使用的单位

单位缩写	含义
F (f)	1e-15
P (p)	1e-12
N (n)	1e-09
U (u)	1e-06
M (m)	1e-03
K (k)	1e+03
Meg (meg)	1e+06
G (g)	1e+09
T (t)	1e+12
DB (db)	20log10

注：Hspice 单位不区分大小写

1.2 输入网表文件

输入网表（Netlist）文件主要由以下几部分组成：

TITLE

. INCLUDE

. LIB MACRO

元件描述

信号源描述

分析命令

测量命令

. ALTER

. END

1.3 电路元器件及模型描述

(1) 电路元器件

Hspice 要求电路元器件名称必须以规定的字母开头, 其后可以是任意数字或字母。除了名称之外, 还应指定该元器件所接节点编号和元件值。有源器件包括二极管 (D)、MOS管 (M)、BJT管 (Q)、JFET和MESFET (J)、子电路 (X) 和宏、Behavioral 器件 (E, G)、传输线 (T, U, W) 等。这里值得注意的是MOS、JFET和MESFET的L和W的scale是m, 而不是um。

①电阻, 电容, 电感等无源元件描述方式如下:

R1 1 2 10k (表示节点 1 与 2 间有电阻R1, 阻值为 10k 欧)

C1 1 2 1pf (表示节点 1 与 2 间有电容C1, 电容值为 1pf)

L1 1 2 1mh (表示节点 1 与 2 间有电感L1, 电感值为 1mh)

半导体器件包括二极管、双极性晶体管、结型场效应晶体管、MOS 场效应晶体管等, 这些半导体器件的特性方程通常是非线性的, 故也成为非线性有源元件。在电路CAD工具进行电路仿真时, 需要用等效的数学模型来描述这些器件。

②二极管描述语句如下:

DXXXX N+ N- MNAME <AREA> <OFF> <IC=VD>

D 为元件名称, N+和N-分别为二极管的正负节点, MNAME 是模型名, 后面为可选项: AREA 是面积因子, OFF是直流分析所加的初始条件, IC=VD 是瞬态分析的初始条件。

③双极型晶体管

QXXXX NC NB NE <NS> MNAME <AREA> <OFF> <IC=VBE, VCE>

Q 为元件名称, NC NB NE <NS>分别是集电极、基极、发射极和衬底的节点。缺省时, NS 结地。后面可选项与二极管的意义相同。

④结型场效应晶体管

JXXXX ND NG NS MNAME <AREA> <OFF> <IC=VDS, VGS>

J为元件名称, ND NG NS为漏、栅、源的节点, MNAME 是模型名, 后面为可选项与二极管的意义相同。

⑤MOS 场效应晶体管

MXXXX ND NG NS NB MNAME <L=VAL> <W=VAL>

M为元件名称, ND, NG, NS, NB 分别是漏、栅、源和衬底节点。MNAME 是模型名, L 沟道长, M为沟道宽。

(2) 元器件模型

许多元器件都需用模型语句来定义其参数值。模型语句不同于元器件描述语句, 它是以“.”开头的点语句, 由关键字.MODEL模型名称, 模型类型和一组参数组成。电阻、电容、

二极管、MOS 管、双极管都可设置模型语句。这里我们仅介绍MOS 管的模型语句，其他的可参考Hspice帮助手册。

MOS 场效应晶体管是集成电路中常用的器件，在Hspice 有 20 余种模型，模型参数有 40—60 个，大多是工艺参数。例如一种MOS 模型如下：

```
.MODEL NSS NMOS LEVEL=3 RSH=0 TOX=275E-10 LD=.1E-6 XJ=.14E-6
+ CJ=1.6E-4 CJSW=1.8E-10 UO=550 VTO=1.022 CGSO=1.3E-10
+ CGDO=1.3E-10 NSUB=4E15 NFS=1E10
+ VMAX=12E4 PB=.7 MJ=.5 MJSW=.3 THETA=.06 KAPPA=.4 ETA=.14
.MODEL PSS PMOS LEVEL=3 RSH=0 TOX=275E-10 LD=.3E-6 XJ=.42E-6
+ CJ=7.7E-4 CJSW=5.4E-10 UO=180 VTO=-1.046 CGSO=4E-10
+ CGDO=4E-10 TPG=-1 NSUB=7E15 NFS=1E10
+ VMAX=12E4 PB=.7 MJ=.5 MJSW=.3 ETA=.06 THETA=.03 KAPPA=.4
```

上面：.MODEL为模型定义关键字.NSS 为模型名，NMOS为模型类型，LEVEL=3 表示半经验短沟道模型，后面RSH=0 等等为工艺参数。

(3) 电路的输入激励和源

Hspice中的激励源分为独立源和受控源两种，这里我们仅简单介绍独立源。独立源有独立电压源和独立电流源两种，分别用V 和I 表示。他们又分为直流源，交流小信号源和瞬态源，可以组合在一起使用。

①直流源

VXXXX N+ N- DC VALUE

IXXXX N+ N- DC VALUE

例如：VCC 1 0 DC 5v （表示节点 1，0 间加电压 5v）

②交流小信号源

VXXXX N+ N- AC <ACMAG <ACPHASE>>

IXXXX N+ N- AC <ACMAG <ACPHASE>>

其中，ACMAG 和ACPHASE 分别表示交流小信号源的幅度和相位。

例如：V1 1 0 AC 1v （表示节点 1，0 间加交流电压幅值 1v，相位 0）

③ 瞬态源

瞬态源有几种，以下我们均只以电压源为例，电流源类似：

* 脉冲源（又叫周期源）

VXXXX N+ N- PULSE (V1 V2 TD TR TF PW PER)

V1 初始值，V2 脉动值，TD 延时，TR 上升时间，TF下降时间，PW脉冲宽度，PER 周期

例如：V1 5 0 PULSE (0 1 2NS 4Ns 4Ns 20NS 50NS)

* 正弦源

VXXXX N+ N- SIN(V0 VA FREQ TD THETA PHASE)

V0:偏置，VA:幅度，FREQ: 频率，TD :延迟，THETA: 阻尼因子，PHASE:相位

* 指数源

VXXXX N+ N- EXP(V1 V2 TD1 TAU1 TD2 TAU2)

V1 初始值, V2 中止值, TD1 上升延时, TAU1 上升时间常数, TD2 下降延时, TAU2 下降时间常数

例如: V1 3 0 EXP(0 2 2ns 30ns 60ns 40ns)

* 分段线性源

VXXXX N+ N- PWL(T1 V1 <T2 V2 T3 V3 ... >)

其中每对值 (T1, V1) 确定了时间 $t=T1$ 是分段线性源的值 V1。

例如: Vpwl 3 0 PWL (0 1, 10ns 1.5)

(4) 子电路

①. 采用 .GLOBAL 设置全局节点:

.GLOBAL node1 node2 node3...

②. * 子电路语句

.SUBCKT SUBNAM N1< N2 ... >

子电路的定义由 .SUBCKT 语句开始。SUBNAM 是子电路名, N1< N2 ... > 是外部节点号

* 终止语句

.ENDS (表示结束子电路定义)

* 子电路调用语句

XXXXY N1< N2 ... > SUBNAM

在Spice中调用子电路的方法是设定以字母X 开头的伪元件名,其后是用来连接到子电路上的节点号,在后面是子电路名。

例如: .SUBCKT OPAMP 1 2 3 4

具体运放电路描述

.ENDS

Xop 1 2 3 4 OPAMP (调用该运放子电路)

1.4 电路的分析类型描述语句

分析类型描述语句由定义电路分析类型的描述语句和一些控制语句组成,如直流分析(.OP),瞬态分析(.TRAN)等分析语句,以及初始状态设置(.IC),选择项设置(.OPTIONS)等控制语句。它的位置可在标题语句和结束语句之间的任何地方。

(1) 直流分析:

对DC、AC和TRAN分析将自动进行直流操作点(DC OP)的计算,但.TRAN UIC将直接设置初始条件,不进行DC OP的计算。

直流分析包含以下五种语句:

.DC: 直流扫描分析;

.OP: 直流操作点分析;

.PZ: Pole/Zero分析;

.SENS: 直流小信号敏感度分析;

.TF: 直流小信号传输函数分析。

.DC(直流扫描语句): 在指定的范围内, 某一个独立源或其他电路元器件参数步进变化时, 计算电路滞留输出变量的相应变化曲线。

.DC var1 start1 stop1 incl sweep var2 type np start2 stop2

例如: .DC VIN 0.25 5.0 0.25 (表示电压源VIN 的值从 0.25V扫描到 5V, 每次增量 0.25V)

(2) 交流分析:

交流分析是指输出变量作为频率的函数。 交流分析包括以下四种语句:

.NOISE: 噪声分析;

.DISTO: 失真分析;

.NET: 网络分析;

.SAMPLE: 采样噪声分析。

.AC(交流分析语句): 在规定的频率范围内完成电路的交流小信号分析

.AC DEC ND FSTART FSTOP (数量级变化)

其中, DEC 为 10 倍频, ND 为该范围内点的数目, FSTART初始频率, FSTOP 中止频率。

例如: .AC DEC 10 1 10K (指从 1 到 10KHZ范围, 每个数量级取 10 点, 交流小信号分析)

(3) 瞬态分析:

瞬态分析是指计算的电路结果作为时间的函数。

一般形式: .TRAN TSTEP TSTOP <TSTART <TMAX>> <UIC>

TSTEP 为时间增量, TSTOP 为终止时间, TSTART 为初始时间 (若不设定, 则隐含值为 0)

例如: .TRAN 1NS 10000NS 500NS (瞬态分析 500—10000NS, 步长为 1NS)具体电路的分析类型描述语句可查阅Hspice在线帮助。

1.5 输出格式描述语句

(1) 输出命令包括:

.PRINT、.PLOT、GRAPH、.PROBE和.MEASURE。

.PLOT antype ov1 ov2... plo1, phhi1...plo32, phi32

.PROBE ov1 ov2... ov32

.PRINT antype ov1 ov2... ov32

有五种输出变量形式:

①直流和瞬态分析:

用于显示单个节点电压, 支路电流和器件功耗。

.print TYPE V(node) 或 .plot I(node), 也可用.graph、.probe。

TYPE 为指定的输出分析类型, 如 (DC); V(node)表示节点电压, I(node)表示节点电流, p(rload)表示在负载rload上的分析点的功耗。

②交流分析:

用于显示节点电压和支路电流的实部、虚部和相位。

vi(node)表示节点电压的虚部, ip(node)表示节点电流的相位, vp(4, 6)表示节点 4、6 间的相位角。

③器件模版:

用于显示制定的器件节点的电压、支路电流和器件参数。

lv16(m3)表示MOS管m3 的漏电流, 其他表示方式见手册。

④MEASURE语句:

用于显示用户自定义的变量。

可以采用的句法包括: raise, fall, delay, average, RMS, min, max, p-p等。

⑤参数语句:

用于显示用户自定义的节点电压等表达式。

语法格式: .print tran out_var_name=PAR('expression')

(2) 还可以采用 AvanWave 进行波形输出

电路的波形可以在AvanWave中TOP层下双击添加子电路层后选择显示。

1.6 控制语句和 option 语句

(1) .OPTION(可选项语句):

.options语句格式: .options opt1 opt2 opt3... opt=x

ACCT(打印出计算和运行时间统计)

LIST (打印出输入数据总清单)

NODE (打印出结点表)

NOMOD(抑制模型参数的打印输出)

一般在每个仿真文件中设置options为.options acct list post, 也可以设置为.options node opts, 其中.option list表示将器件网表、节点连接方式等输入到列表文件, 用于debug与电路拓扑结构有关的问题, .option node表示将输出节点连接表到列表文件, 用于debug与由于电路拓扑结构引起的不收敛问题, .option acct表示在列表文件中输出运行时间统计和仿真效率, .option opts在列表文件中报告所有的.option设置, .option nomod表示不输出MODEL参数, 以便减小列表文件的大小, .option brief=1表示不输出网表信息, 直到设置.option brief=0, .protect/.unprotect用于屏蔽网表文件中要保护的信息, .option bypass=1 不计算latent器件, .option autostop表示当所有.measure语句完成时, 终止仿真, .option accurate=1 表示设置为最精确的仿真算法和容差, tstep表示仿真步长值, delmax表示最大允许时间步长, 其中delmax=tstep*max,

.option dvdt=4 用于数字CMOS电路仿真(默认设置), .option dcca=1 在直流扫描时强行计算随电压变化的电容, .option captab对二极管、BJT管、MOS、JFET、无源电容器, 打印出信号的节点电容值, .option dcstep=val将直流模型和器件转换为电导, 主要应用于“No DC Path to Ground”或有直流通路, 但不符合Hspice定义的情况。

(2) MODEL OPTION 语句:

SCALE影响器件参数, 如: L、W、area, SCALM影响model参数, 如: tox、vto、tnom。

(3) 注释语句

注释语句以”*”为首字符，位置是任意的，它为非执行语句。

1.7 仿真控制和收敛

Hspice仿真过程采用Newton-Raphson算法通过迭代解矩阵方程，使节点电压和支路电流满足Kirchoff定律。迭代算法计算不成功的节点，主要是因为计算时超过了Hspice限制的每种仿真迭代的总次数从而超过了迭代的限制，或是时间步长值小于Hspice允许的最小值。

(1)造成 Hspice 仿真不收敛主要有 “No Convergence in DC Solution” 和 “Timestep too Small”，其可能的原因是：

①电路的拓扑结构：

电路拓扑结构造成仿真不收敛主要有：电路连线错误，scale、scaln和param语句错误，其他错误可以通过查找列表文件中的warning和errors发现。

解决的方法是：将电路分成不同的小模块，分别进行仿真；简化输入源；调整二极管的寄生电阻；调整错误容差，重新设置RELV, ABSV, RELI, ABSI, RELMOS, ABMOS等。

②仿真模型：

由于所有的半导体器件模型都可能包含电感为零的区域，因此可能引起迭代的不收敛。

解决的方法是：在PN结或MOS的漏与源之间跨接一个小电阻；将.option中默认的GMINDC、GMIN增大。

③仿真器的options设置：

仿真错误容差决定了仿真的精度和速度，要了解你所能接受的容差是多少。

解决的方法是：调整错误容差，重新设置RELV, ABSV, RELI, ABSI, RELMOS, ABMOS等。

(2) 针对仿真分析中可能出现的不收敛情况进行分析：

①直流工作点分析：

每种分析方式都以直流操作点分析开始，由于Hspice有很少的关于偏置点的信息，所以进行DC OP分析是很困难的，分析结果将输出到.ic文件中。

对DC OP分析不收敛的情况，解决方法是：删除.option语句中除acct, list, node, post之外的所有设置，采用默认设置，查找.lis文件中关于不收敛的原因；使用.nodeset和.ic语句自行设置部分工作点的偏置；DC OP不收敛还有可能是由于model引起的，如在亚阈值区模型出现电导为负的情况。

②直流扫描分析：

在开始直流扫描分析之前，Hspice先做DC OP计算，引起直流扫描分析不收敛的原因可能是快速的电压或电流变化，模型的不连续。

解决的方法是：对于电压或电流变化太快，通过增加ITL2 来保证收敛，.option ITL2是在直流扫描分析中在每一步允许迭代的次数，通过增加迭代次数，可以在电压或电流变化很快的点收敛。对于模型的不收敛，主要是由于MOS管线性区和饱和区之间的不连续，Newton-Raphson算法再不连续点处进行迭点计算产生震荡，可以通过增减仿真步长值或改变仿真初始值来保证收敛，如：.dc vin 0v 5v 0.1v的直流分析不收敛，可以改为.dc vin

0v 5v 0.2v增大步长值, .dc vin 0.01v 5.01v 0.1v改变仿真的范围。

③AC频率分析:

由于AC扫描是进行频率分析,一旦有了DC OP, AC分析一般都会收敛,造成不收敛的原因主要是DC OP分析不收敛,解决的方法可以参看前面关于DC OP的分析。

④瞬态分析:

瞬态分析先进行直流工作点的计算,将计算结果作为瞬态分析在T0时刻的初始值,再通过Newton-Raphson算法进行迭代计算,在迭代计算过程中时间步长值是动态变化的,.tran tstep中的步长值并不是仿真的步长值,只是打印输出仿真结果的时间间隔的值,可以通过调整.options lvtim imax imin来调整步长值。

瞬态分析不收敛主要是由于快速的电压变化和模型的不连续,对于快速的电压变化可以通过改变分析的步长值来保证收敛。对模型的不连续,可以通过设置CAPOP和ACM电容,对于给定的直流模型一般选择CAPOP=4, ACM=3,对于level 49, ACM=0。对瞬态分析,默认采用Trapezoidal算法,精度比较高,但容易产生寄生振荡,采用GEAR算法作为滤波器可以滤去由于算法产生的振荡,具有更高的稳定性。

1.8 输入语句

对于.param语句,.param PARHIER=GLOBAL是默认的,使得参数可以按照Top-Down变化.param PARHIER=LOCAL,可以是参数只在局部有效。

对于.measure语句,可以采用的模式有rise, fall, delay, average, rms, min, peak-to-peak, Find-When, 微分和积分等。对Find-When语句,.measure <dc|tran|ac> result find val when out_val=val <optimization options>,对微分和积分语句,.measure <dc|tran|ac> result <deriv|integ> val <options>。

对于.ALTER语句,可以通过改变.ALTER来改变使用不同的库,其中.ALTER语句可以包含element语句、.data、.lib、.dellib、.include、.model、.nodeset、.ic、.op、

.options、.param、.temp、.tf、.dc、.ac语句,不能包含.print、.plot、.graph或其他I/O语句,同时应该避免在.ALTER中增加分析语句。

1.9 统计分析仿真

主要是对器件和模型进行Monte Carlo分析,随机数的产生主要依赖Gaussian、Uniform、Limit分析,通过.param设置分布类型,将dc、ac、tran设置为Monte Carlo分析,用.measure输出分析结果,如:

```
.param tox=agauss(200, 10, 1)
.tran 20p 1n sweep MONTE=20
.model ... tox=tox ...
```

其中,对Gaussian分析.param ver=gauss(nom_val, rel_variation, sigma, mult),
.param ver=agauss(nom_val, abs_variation, sigma, mult),
对Uniform分析,.param ver=unif(nom_val, rel_variation, mult),
.param ver=aunif(nom_val, abs_variation, mult),

对Limit分析, .param ver=limit(nom_val, abs_variation), 如果你拼错Gauss或Uniform、Limit, 不会产生警告, 但不将产生分布。

1.10 HSPICE 仿真示例

Hspice 可以执行各种模拟电路仿真, 它的精度很高。通过点击桌面快捷方式Hspice, 启动Hspice。

Hspice模拟步骤如下:

①由电路图提取网表或手工编写网表, 注意网表文件以.sp结尾。例如, 电路网表文件为eyediag.sp; 标题为: *Eye Diagrams;输出报告文件: eyediag.lis。

②运行模拟, 完成后检查输出报告文件后缀.lis文件察看模拟结果。

③ 运行AvanWave查看输出波形。

以下我们通过几个例子了解Hspice的网表文件格式, 以及如何进行仿真。

(1) 简单 RC 网络电路 AC 分析

如图所示为一个有DC和AC源的简单的RC网络。电路包含两个电阻, R1 和R2, 电容C1和电源V1。节点 1 接在电源正端和R1 之间。节点 2 处R1、R2 和C1 连在一起。Hspice 接地端总是节点 0。

它的网表文件如下, 文件名为quickAC.sp

```
A SIMPLE AC RUN
.OPTIONS LIST NODE POST
.OP
.AC DEC 10 1K 1MEG
.PRINT AC V(1) V(2) I(R2) I(C1)
V1 1 0 10 AC 1
R1 1 2 1K
R2 2 0 1K
C1 2 0 .001U
.END
```

注释:

第一行A SIMPLE AC RUN 为标题行;

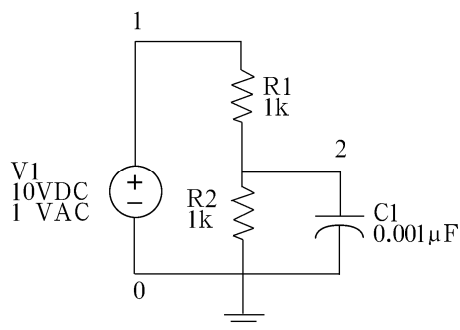
第二行.OPTIONS LIST NODE POST 为可选项设置, LIST 打印出元件总结列表; NODE 打印出元件节点表 (element node table); POST 表示用何种格式储存模拟后的数据, 以便与其它工具接口。

第三行.OP 计算直流工作点。

第四行.AC DEC 10 1K 1MEG (指从 1K到 1MEGHZ范围, 每个数量级取 10 点, 交流小信号分析)

第五行.PRINT AC V(1) V(2) I(R2) I(C1) 打印交流分析类型的节点 1, 2 的电压, 以及R2, C1 的电流

第六行V1 1 0 10 AC 1 表示节点 1 与 0 间, 加直流电压 10v 和幅值为 1v 的交流电



压。

第七至九行为电路描述语句。

第十行为结束语句。

接下去的程序是执行此RC网络电路的AC分析，如下的新文件出现在你的运行目录下：

quickAC.ac0

quickAC.ic

quickAC.lis

quickAC.st0.

使用一个编辑器去看.lis和.st0文件以检查仿真的结果和状态。

运行AvantWaves并且打开.sp文件。从结果浏览器窗口中选择quickAC.ac0文件以观察波形。显示节点2的电压，在x轴使用一个对数刻度。图1-3：显示了2节点输入频率自1KHz至1MHz变化时扫描响应所产生的波形。

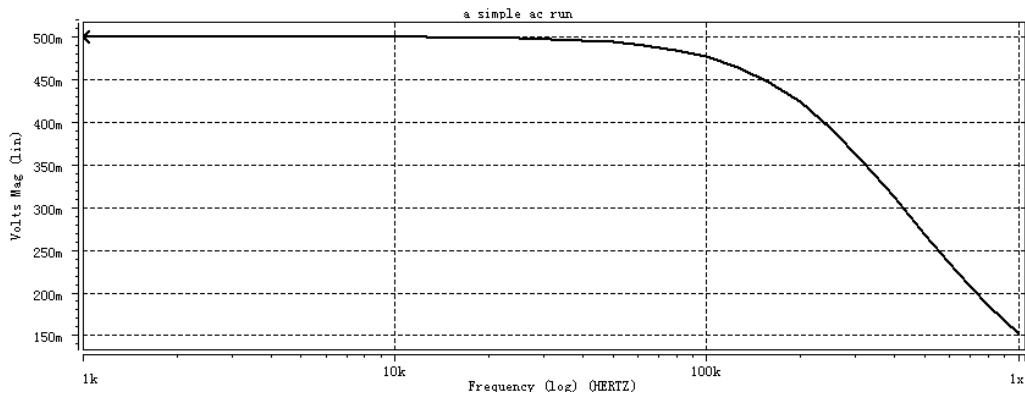


图 1-3 RC 网络节点 2 的频率响应

quickAC.lis显示了输入网表，详细组成和拓扑图，工作点(operating point)信息和当输入至1KHz至1MHz变动时的请求表。quickAC.ic和quickAC.st0分别包含一些直流工作点信息和Star-Hspice的运行状态信息。工作点情况可以用作后面的使用.LOAD语句的仿真运行。

RC 网络的瞬态分析

使用同一个RC网络运行瞬态分析，但是增加了一个脉冲源到DC和AC源。

①输入如下相当的网表到一个名叫quickTRAN.sp的文件中。

```
A SIMPLE TRANSIENT RUN
```

```
.OPTIONS LIST NODE POST
```

```
.OP
```

```
.TRAN 10N 2U
```

```
.PRINT TRAN V(1) V(2) I(R2) I(C1)
```

```
V1 1 0 10 AC 1 PULSE 0 5 10N 20N 20N 500N 2U
```

```
R1 1 2 1K
```

```
R2 2 0 1K
```



```
C1 2 0 .001U
```

```
.END
```

注释：

V1 源规范增加了一个脉冲源。

②运行Star-Hspice。

③使用编辑器去看 .lis 文件和 st0 文件以检查仿真的结果和状态。

④运行AvantWaves并且打开 .sp 文件。从结果浏览器窗口中选择quickTRAN. tr0 文件以观察波形。在x轴显示节点 1 和 2 的电压。

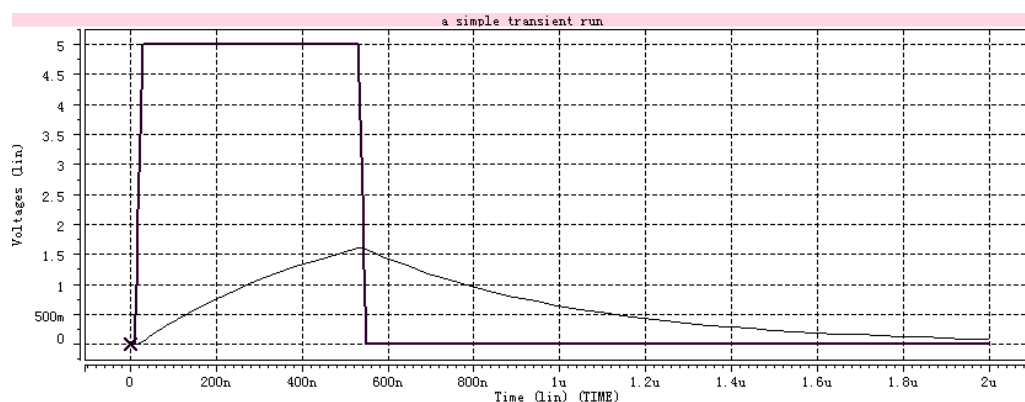


图 1-4: RC 网络节点 1 和节点 2 电压

(2) 反相器电路

它的网表文件如下，文件名为inv.sp

Inverter Circuit

```
.OPTIONS LIST NODE POST
```

```
.TRAN 200P 20N
```

```
.PRINT TRAN V(IN) V(OUT)
```

```
M1 OUT IN VCC VCC PCH L=1U W=20U
```

```
M2 OUT IN 0 0 NCH L=1U W=20U
```

```
VCC VCC 0 5
```

```
VIN IN 0 0 PULSE .2 4.8 2N 1N 1N 5N 20N
```

```
CLOAD OUT 0 .75P
```

```
.MODEL PCH PMOS LEVEL=1
```

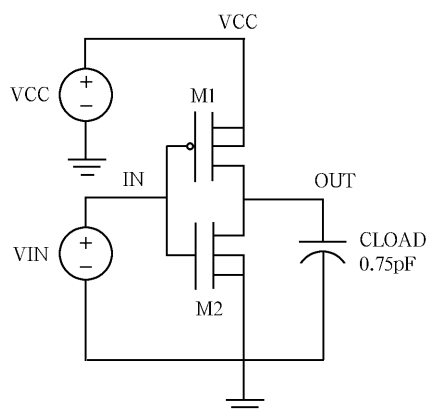
```
.MODEL NCH NMOS LEVEL=1
```

```
.END
```

注释：第三行 .TRAN 200P 20N 表示瞬态分析步长为 200ps，时间为 20ns

第四行 .PRINT TRAN V(IN) V(OUT) 表示打印节点 in, out 电压瞬态分析值

第五，六，九行为电路连接关系描述语句。

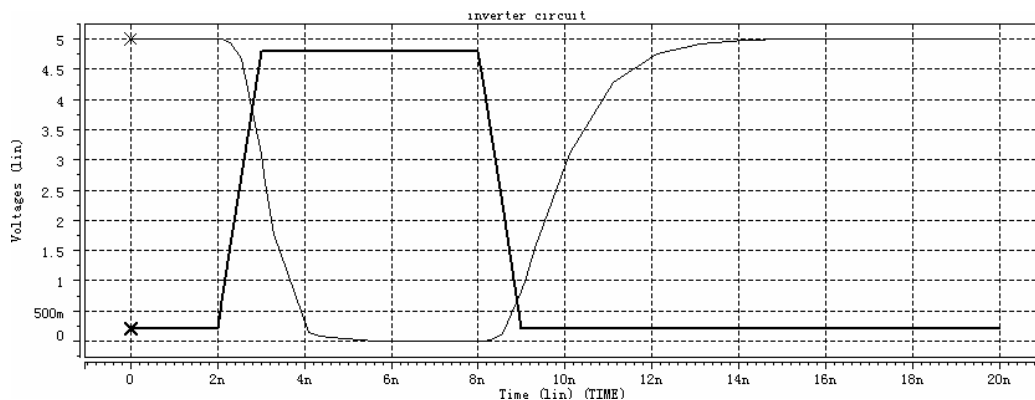


第七行VCC VCC 0 5 表示在节点VCC, 0 之间加 5v直流电压。

第八行VIN IN 0 0 PULSE .2 4.8 2N 1N 1N 5N 20N表示在节点IN, 0 之间加一个脉冲源, 低电平 0.2v, 高电平 4.8v, 延时 2ns, 上升沿 1ns, 下降沿 1ns, 脉冲宽度 5ns, 周期 20ns

第九, 十行为模型语句, 表示模型名PCH, 管子类型为PMOS, 使用的是一级模型。

对倒相器电路仿真的步骤类似于前面, 这里仅列出输出波形供参考:



(3) D 触发器电路

网表文件如下, 文件名为dff.sp (无模型支持, 仅做参考):

```
* Project DFF
.OPTIONS LIST NODE POST
.include "e:\model\35model.txt"
* Definition for project INVERTER
.SUBCKT INVERTER IN OUT
M2 OUT IN 0 0 NSS L=0.35U W=1.2U
M1 VDD IN OUT VDD PSS L=0.35U W=2.4U
* CROSS-REFERENCE 1
* GND = 0
.ENDS
* Definition for project TRANSFER
.SUBCKT TRANSFER IN OUT CLKF CLK
M1 OUT CLKF IN VDD PSS L=0.35U W=1.2U
M2 IN CLK OUT 0 NSS L=0.35U W=1.2U
* CROSS-REFERENCE 1
* GND = 0
.ENDS
X1I1 N1N19 N1N21 INVERTER
X1I2 N1N21 N1N16 CLK N1N10 TRANSFER
X1I3 N1N16 N1N19 INVERTER
```

```

X1I4 CLK N1N10 INVERTER
X1I5 Q N1N29 INVERTER
X1I6 QF Q INVERTER
X1I7 N1N29 QF N1N10 CLK TRANSFER
X1I8 D N1N16 N1N10 CLK TRANSFER
X1I9 N1N19 QF CLK N1N10 TRANSFER
* DICTIONARY 1
* GND = 0
.GLOBAL VDD
vin D 0 PULSE .2 2.8v 2N 1N 1N 20N 50N
vdd VDD 0 3v
Vclk clk 0 0 PULSE .2 2.8v 2N 1N 1N 5N 20N
.tran 1ns 200n
.END

```

注释：

①. OPTIONS LIST NODE POST 为可选项设置

②. include "e:\model\35model.txt"表示加入 0.35um工艺库文件，注意一定要指定工艺库文件，否则Hspice无法仿真。另外，库路径一定要指定正确，否则会找不到库文件。

③ vin D 0 PULSE .2 2.8v 2N 1N 1N 20N 50N

vdd VDD 0 3v

Vclk clk 0 0 PULSE .2 2.8v 2N 1N 1N 5N 20N

上述为加入的输入激励和电压源语句。

④ .tran 1ns 200n

指定瞬态分析 200ns，分析步长 1ns

运行Hspice仿真。

1.11 SPICE 做电路仿真时容易出现的错误

①SPICE网表中第一行必须是注释行，在网表文件中的第一行会被SPICE忽略。

②1兆欧一定要写成1MEG，而不是1M、1m或者是1MEG（数字和MEG之间不要有空格）。

③1法拉应写成1，而不是1f或者1F。1F表示 10^{-15} 法拉。

④MOSFET源区和漏区的面积在大多数情况下写成 μm^2 的形式。宽长分别为6 μm 和8 μm 的区域面积应写为48 μm^2 或者4E-12。

⑤电压源的名字以字母V打头，电流源的名字以字母I打头。

⑥瞬态分析结果是以时间为轴，即X轴为时间。如果本来是正弦波，看着却像三角波，或者曲线看着不平滑。这是因为没有设置好打印数据点的数目，或者给出的打印步长太大了。例如：想在SPICE中得到一个1kHz的正弦波形，最大打印步长应该设为10 μ （10微秒）

⑦当显示AC仿真结果时，X轴是频率，指针显示的是电压（或电流）的幅值或相位。例如：指针显示“voltage drop at a node”时，它会把此节点电压的实部和虚部加起来，

显示一个毫无意义的结果。不同仿真软件的指针的作用也不同。有些仿真软件的功能很强大，可以在完成AC仿真后进入幅度模式。

⑧MOSFET的长和宽应使用字母“u”来代表微米。常见的错误是忘记写这个字母。例如：一种工艺允许的MOSFET最小尺寸为 $L=2\mu$ ， $W=3\mu$ ，而不是 $L=2$ ， $W=3$ 。或者意味着一个2米长、3米宽的MOSFET。

⑨通常PMOS管的“体”接到VDD，NMOS管的“体”接到VSS。例如：N阱工艺，所有的NMOS管的“体”必须接到VSS。这个错误在SPICE网表中很容易查出。

⑩DC扫描中的收敛问题可以通过改变电压的边界值来解决。比如：电路从0到5V进行扫描可能不收敛，但是从0.1V到4.9V进行扫描就可能会收敛。

第2章 CMOS 工艺 SPICE 模型测试

1.1 SPICE 模型简介

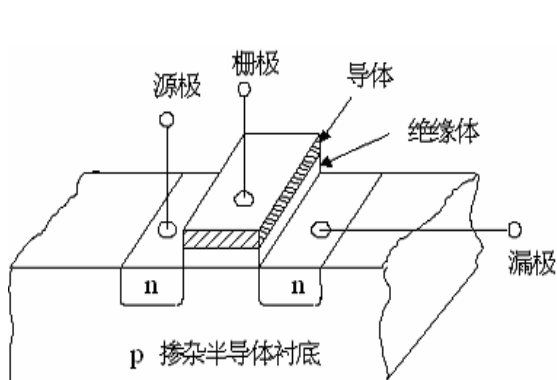


图 2-1 传统 NMOS 剖面图

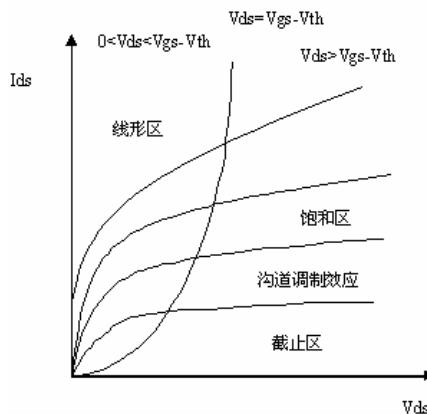


图 2-2 NMOS 管的 I-V 曲线

(1) CMOS 管的强反型区

当 MOS 器件的栅-源电压大于阈值电压时，称之为强反型状态。当 $V_{DS} > V_{GS} - V_T$ 时，器件进入饱和区，这里 V_{DS} 和 V_T 分别指 MOS 管漏源电压和阈值电压， V_{GS} 指 MOS 管的栅-源电压。事实上，在 MOS 运算放大器设计中，大部分的 MOS 器件都是工作在饱和状态，因为对于给定的漏级电流和器件尺寸来说，工作在饱和区可以提供稳定的电流和比较大的电压增益。在饱和区，MOS 器件的漏级电流 I_D 和栅-源电压 V_{GS} 的关系由下式决定：

$$I_{DS} = \frac{\mu_n C_{ox} W (V_{GS} - V_{TH})^2}{2L} \quad (2-1)$$

式中 μ_n 为 NMOS 沟道中电子迁移率， C_{ox} 为栅极氧化层单位面积电容量， W 为沟道宽度， L 为沟道长度。

在模拟电路中，MOSFET 的跨导 g_m 是一个非常重要的参数。根据上式可求得 MOSFET 在饱和区静态工作点处的小信号跨导：

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) = \frac{2I_D}{V_{GS} - V_{TH}} \quad (2-2)$$

或者:

$$g_m = 2\sqrt{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} I_D} \quad (2-3)$$

可见MOSFET的饱和区跨导 g_m 不仅和它的工作电流而且可以通过选择器件尺寸W/L加以改变。正因为如此，模拟集成电路的设计更加灵活。

当 $V_{DS} < V_{GS} - V_{TH}$ 时，器件处于线性状态，器件的漏级电流 I_d 和栅-源电压 V_{GS} ，的关系为

$$I_{DS} = \frac{\mu_n C_{ox} W [(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2]}{L} \quad (2-4)$$

在 V_{DS} 很小时， $\frac{V_{DS}^2}{2}$ 项可忽略，上式变为 $I_D \approx \beta_n (V_{GS} - V_T) V_{DS}$

(2) CMOS 管的弱反型区

当我们在分析MOS器件时，比如图 2-1 那样，我们就一直假设:当MOS器件的栅-源电压低于开启电压时，器件会突然关断. 事实上，当 $V_{GS} < V_{TH}$ 时，一个“弱”的反型层仍然存在，并有一些源-漏电流。甚至当 $V_{GS} < V_{TH}$ ， I_D 也并非是无小，而是与 V_{GS} 呈现指数关系. 这种效应称为弱反型区或称为亚阈值区。 $I_D - V_{GS}$ 曲线由平方关系转变为指数关系，如图 2-3 所示，处于弱反型的CMOS漏电流主要是由扩散电流组成，假设漂移电流为零，即：

$$I_D = I_{drift} + I_{diffusion} = I_{diffusion} = \frac{W}{L} V_{TH} \int_{Q_{inv-source}}^{Q_{inv-drain}} u dQ_{inv} \quad (2-5)$$

其中

$$Q_{inv-source} = -2nC_{ox} V_{TH}^2 e^{\frac{V_{GS} - V_{TH} - V_S}{nV_{TH}}} \quad (2-6)$$

$$Q_{inv-drain} = -2nC_{ox}V_{TH}^2 e^{\frac{V_G - V_{TH} - V_D}{nV_{TH}}} \quad (2-7)$$

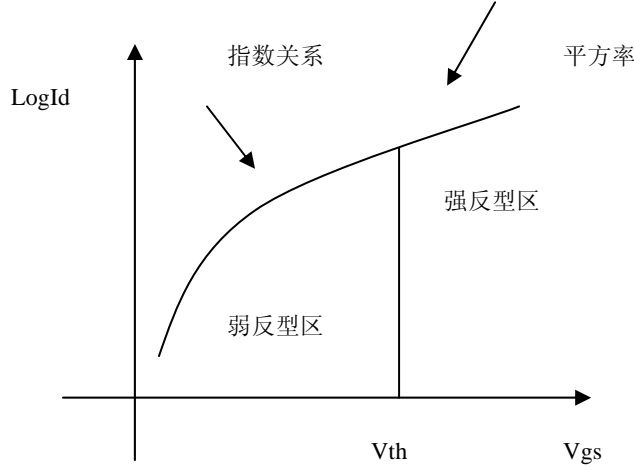


图 2-3 亚阈值区的 $I_d - V_{GS}$ 曲线图

利用上面的式子我们可以得到:

$$I_D = I_s e^{\frac{V_{GS} - V_{TH}}{nV_{TH}}} \quad (2-8)$$

I_D 的典型值在 2nA 到 200nA 之间。公式 (2-8) 中, $n > 1$, 是一个非理想因子,

$V_T = KT/q$ 。从公式 (2-8) 可以看到只有参数 I_s 和 n 跟工艺有关。传统上, 这两个参数根

据 Spice 参数计算得出。但是用此方法计算出的 I_s 和 n 所得出的 I_D 与仿真结果却不一致,

为了更准确获得这些参数, 变换式 (2-8), 两边取对数后求得得到:

$$\frac{\partial(\ln I_D)}{\partial V_{GS}} = \frac{1}{nV_{TH}} \quad (2-9)$$

即从 $\ln(I_D) - V_{GS}$ 曲线的斜率就可以得到 n , 因此运用单 NMOS 管放大电路, 使用仿真工

具 Spice 画出 NMOS 管的 $\ln(I_D) - V_{GS}$ 曲线。如图 2-4 所示

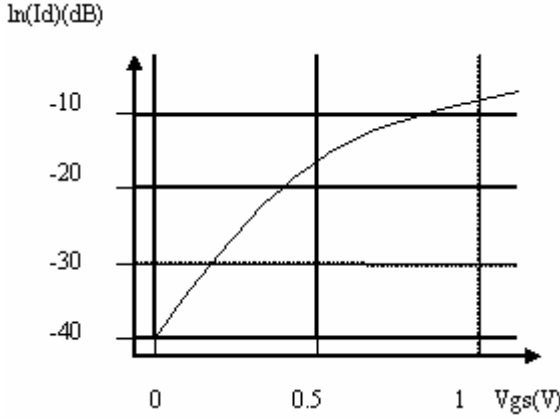


图 2-4 $\ln(I_D) - V_{GS}$ 曲线

$$I_D = (26.56 \text{ fA}) \frac{W}{L} e^{\frac{V_{GS}}{(1.79)V_{TH}}} \quad (2-11)$$

从图 2-3 中可以看到，当 V_{GS} 下降到低于 V_{TH} 时，漏电流以有限的速度下降。对于 n 的典型值，在室温时，要使 I_D 下降一个数量级， V_{GS} 必须下降约 80mV，这样会导致较大的功率。从 (2-1) 式来看，如果保持 I_D 不变时增大 W ，则 V_{GS} 趋近于 V_{TH} ，器件进入亚阈值区，因此由式 (2-8) 计算出的跨导是：

$$g_m = \frac{I_D}{nkT/q} \quad (2-12)$$

与双极型晶体管的跨导：

$$g_m = \frac{qI_C}{kT} = \frac{I_C}{V_T} \quad (2-13)$$

相比较，跨导特性比双极型晶体管差。

因此，工作在亚阈值区的器件可以获得较大的增益，但是由于只有当器件宽度 W 大或漏电流小才能满足这一条件，如果器件的漏极电流太大，管子就会进入到强反型区。尽管可以通过增大器件的宽长比来使得器件工作在弱反型区，但增大宽长比也是有限度的，因为增加器件尺寸的同时也会增加它的寄生电容。因而亚阈值电路的速度是非常有限的。

(3) CMOS 管的中反型区

以上的讨论假设强反型到弱反型的转变是突变的。事实上，有个平滑的过渡区存在，称之为中反型区。近似而言，中反型的电流范围。

如下式：

从图 2-4 中可以求出 n 约为 1.36， I_s 约为 274 fA。这样，就得出我们手工计算时使用的公式

$$I_D = (274 \text{ fA}) \frac{W}{L} e^{\frac{V_{GS}}{(1.36)V_{TH}}} \quad (2-10)$$

同理，PMOS 有：

$$\frac{1}{8}I_s < I_d < I_l \quad (2-14)$$

在中反型区，很难用表达式来描述，只能用计算机来模拟。

(4) CMOS 管的二级效应

前面讨论的CMOS管模型是最简单的情况，在许多模拟电路中是不成立的，至少还应该考虑不可缺少的两个二级效应：体效应，沟道长度调制。

在前面的分析中，假设晶体管的衬底和源极是等电势的，随着 V_g 的下降， V_{TH} 会增加。这称为“体效应”或“背栅效应”。

$$V_T = V_{T0} + \gamma \left[\left(2\Phi_f + V_{SB} \right)^{\frac{1}{2}} - \left(2\Phi_f \right)^{\frac{1}{2}} \right] \quad (V_{SB} > 0) \quad (2-15)$$

当栅-漏之间的电压增大时，实际的反型沟道长度逐渐减小。而沟道区的电压 $V_{GS} - V_{TH}$ 基本不变，因而 I_D 将随 V_{DS} 增加而增加。这就叫做“沟道长度调制”。考虑到这个因素后饱和区漏电流表达式(2-1)可改为：

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2-16)$$

式中 λ 是沟道长度调制系数。它使得 I_D/V_{DS} 特性曲线出现非零斜率。

例 简单大信号模型的应用

已知管子的宽长比为 $W/L=5\mu m/1\mu m$ ，大信号模型参数值如表 2-1 所示，n沟道管的漏极、栅极、源极和体电压分别为 3V、2V、0V和 0V，试求漏极电流。如果管子换成P沟道管，漏极、栅极、源极和体电压分别为-3V、-2V、0V和 0V，再一次求漏极电流。

解：首先必须确定MOS管的工作区。 $v_{DS}(\text{饱和}) = 2V - 0.7V = 1.3V$ ，因为 v_{DS} 为 3V，则n沟道管工作在饱和区，可得：

$$\begin{aligned} i_D &= \frac{K_N' W}{2L} (v_{GS} - V_{TN})^2 (1 + \lambda_N v_{DS}) \\ &= \frac{110 \times 10^{-6} (5\mu m)}{2(1\mu m)} (2 - 0.7)^2 (1 + 0.04 \times 3) = 520\mu A \end{aligned}$$

对于p沟道管，计算得：

$$v_{SD}(\text{饱和}) = v_{SG} - |V_{TP}| = 2V - 0.7V = 1.3V$$

因为 $V_{SD} = 3V$ ，则p沟道管也工作在饱和区，漏极电流为：

$$\begin{aligned} i_D &= \frac{K_P' W}{2L} (v_{SG} - |V_{TP}|)^2 (1 + \lambda_N v_{SD}) \\ &= \frac{50 \times 10^{-6} (5\mu m)}{2(1\mu m)} (2 - 0.7)^2 (1 + 0.05 \times 3) = 243\mu A \end{aligned}$$

(5) MOSFET 交流小信号模型

在电路计算中，由MOS管的大信号模型算出电路的静态工作点后，就必须由小信号等效模型来分析设计电路。小信号模型是能简化计算工作的线性模型，它是在一定的电压电流下有效。小信号模型的各项参数依赖于大信号模型参数和直流变量。两种模型间的关系如下：

小信号模型参数可以看作大信号模型参数发生微小变化时微小变量之间的比率，或者看作某项大信号模型参数对另一项大信号模型参数的偏微分。

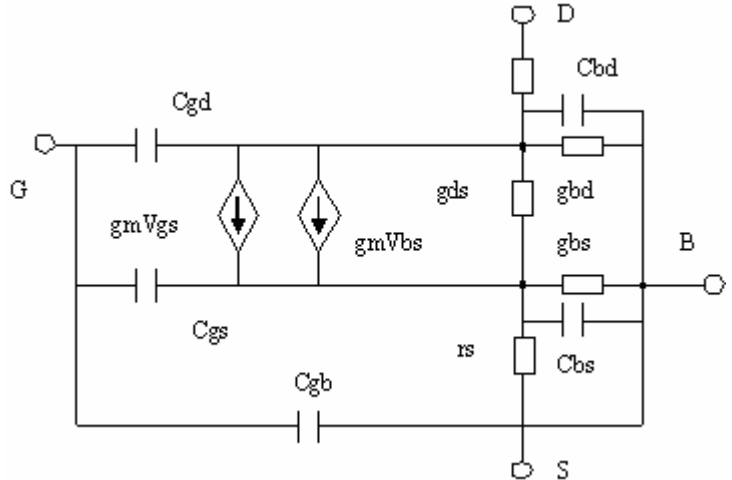
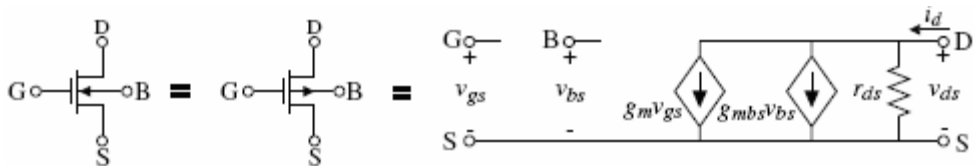


图 2-5 MOSFET 交流小信号等效模型

NMOS的小信号等效模型电路如图 2-5 所示，图中各参数定义为：受控电流源 $g_m V_{gs}$ 和 $g_{mb} V_{bs}$ 分别表示栅极电压 V_{GS} 和衬偏电压 V_{bs} ，控制产生的漏极电流 I_d 的分量。跨导 g_m 背栅跨导 g_{mb} 根据公式计算得到。 C_{gs} 、 C_{gd} 为栅-源，栅-漏之间的电容。 C_{bg} 、 C_{bs} 、 C_{bd} 分别为衬底与栅极、源极、漏极间的电容。

简化为：



$$g_m = \frac{di_D}{dv_{GSQ}} = \beta(V_{GS} - V_T) = \sqrt{2\beta I_D}$$

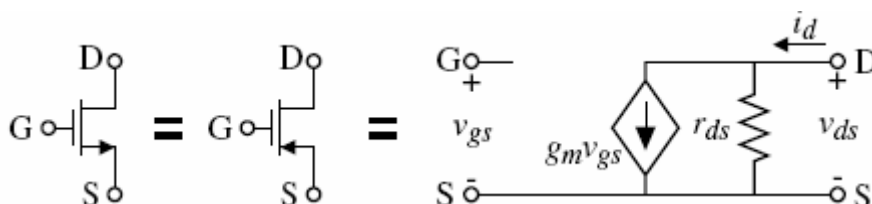
$$g_{ds} = \frac{di_D}{dv_{DS_Q}} = \frac{\lambda i_D}{1 + \lambda v_{DS}} \approx \lambda i_D$$

$$g_{mbs} = \frac{\partial i_D}{\partial v_{BS_Q}} = \left(\frac{\partial i_D}{\partial v_{GS}} \right) \left(\frac{\partial v_{GS}}{\partial v_{BS}} \right)_Q = \left(-\frac{\partial i_D}{\partial v_T} \right) \left(\frac{\partial v_T}{\partial v_{BS}} \right)_Q = \frac{g_m \gamma}{2\sqrt{2}|\phi_F| - V_{BS}} = \eta g_m$$

重要假设:

$$g_m \approx 10 g_{mbs} \approx 100 g_{ds}$$

那么



例 小信号模型参数的典型值

已知管子的宽长比为 $W/L=1\mu\text{m}/1\mu\text{m}$ 的n沟道管和P沟道管，模型参数值如表 2—1 所示，假设漏极电流的直流量为 $50\mu\text{A}$ ，源—体直流电压绝对值为 2V 。试利用大信号模型参数分别求两管的 g_m 、 g_{mbs} 和 g_{ds} 的值。

解：利用公式求出：n沟道管的 $g_m=105\mu\text{A/V}$ 、 $g_{mbs}=12.8\mu\text{A/V}$ 和 $g_{ds}=2.0\mu\text{A/V}$ ；p沟道管的 $g_m=70.7\mu\text{A/V}$ 、 $g_{mbs}=12.0\mu\text{A/V}$ 和 $g_{ds}=2.5\mu\text{A/V}$ ；

2.2 CMOS 工艺 MOS 管模型参数

(1) $0.8\mu\text{m}$ N 阱简单的 MOS 大信号模型 (spice level 1)

表 2-1 MOSFET 模型参数

Model Parameters for a Typical CMOS Bulk Process ($0.8\mu\text{m}$ CMOS n-well):

Parameter Symbol	Parameter Description	Typical Parameter Value		Units
		N-Channel	P-Channel	
V_{T0}	Threshold Voltage ($V_{BS} = 0$)	0.7 ± 0.15	-0.7 ± 0.15	V
K'	Transconductance Parameter (in saturation)	$110.0 \pm 10\%$	$50.0 \pm 10\%$	$\mu\text{A/V}^2$
γ	Bulk threshold parameter	0.4	0.57	(V) ^{1/2}
λ	Channel length modulation parameter	0.04 ($L=1\mu\text{m}$) 0.01 ($L=2\mu\text{m}$)	0.05 ($L=1\mu\text{m}$) 0.01 ($L=2\mu\text{m}$)	(V) ⁻¹
$2 \phi_F $	Surface potential at strong inversion	0.7	0.8	V

.MODEL NMOS1 NMOS LEVEL=1 VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7

.MODEL PMOS1 PMOS LEVEL=1 VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8

(2) 0.8 μ m N 阱完整的大信号模型 (spice level 1)

```
.MODEL NMOS1 NMOS LEVEL=1 VTO=0.70 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
+MJ=0.5 MJSW=0.38 CGB0=700P CGS0=220P CGD0=220P CJ=770U CJSW=380P
+LD=0.016U TOX=14N
.MODEL PMOS1 PMOS LEVEL=1 VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
+MJ=0.5 MJSW=0.35 CGB0=700P CGS0=220P CGD0=220P CJ=560U CJSW=350P
+LD=0.014U TOX=14N
```

(3) BSIM SPICE 模型

前面列举的MOS管大信号模型简单并且便于手工计算,不过忽略了很多重要的二阶效应。大部分的二阶效应是由于窄或者短的沟道尺寸(小于3 μ m)引起的。SPICE Level 3 半经验模型对于大于0.8 μ m的沟道长度的MOS工艺较为有效。BSIM1 SPICE (Level 4, HSPICE为Level 13, 60个直流参数)模型对沟道长度小到1 μ m的MOSFET都能建模;沟道长度更短的MOSFET则需要使用BSIM2 (99个直流参数)、BSIM3 (Level 8, HSPICE为Level 49, 40个直流参数)或者BSIM4来建模;BSIM3V3对深亚微米器件有效,已经成为工业界标准的MOS管模型。(NMOS和PMOS的SPICE模型有很多种,BSIM模型是其中的一种,一般是通过自动化的参数提取和模型生成软件来完成。目前绝大多数芯片加工厂商都采用BSIM模型来描述他们加工的器件的性能)

目前,产业界的很多芯片加工厂商并不提供Level 1、Level 2 或者Level 3 的SPICE模型(MOSIS除提供BSIM模型外还提供Level 2 和Level 3 模型),学生需要掌握利用BSIM参数来提取阈值电压、跨导等参数,以用于手工计算。

注意:如无特别说明,后章所有计算均以0.8 μ m模型参数为基础;高级的0.6 μ m双阱和0.25 μ m N阱CMOS工艺模型参数见附录;**Berkely**提供的SPICE2 和SPICE3 以及BSIM1 模型,都不具备对噪声和温度建模的能力。

2.3 用 HSPICE 仿真 MOS 输出特性

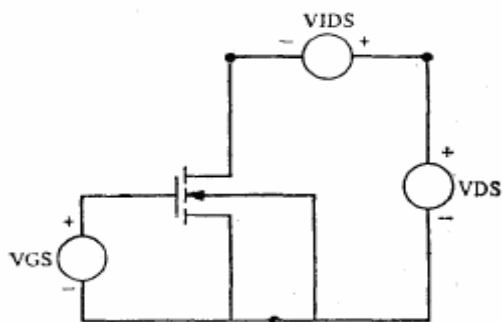


图 2-6 MOS 管输出特性测试

在图 2-6 中,N沟道管采用LEVEL 1 模型和表 2-1 中给出的参数值,试采用HSPICE 仿真得到晶体管的输出特性。仿真中假设体电压为 0,绘制漏-源电压从 0V到 5V变化、栅-源电压分别为 1V、2V、3V、4V和 5V时的输出特性曲线族。

(1) SPICE 输入文件

```
EX2.1 use spice to simulation MOS output
.option post=2 numdgt=7 tnom=27
*.OPTIONS LIST NODE POST
M1 2 1 0 0 MOS1 W=5U L=1U
```

```

VDS 2 0 5
VGS 1 0 1
.MODEL MOS1 NMOS VTO=1 KP=110U GAMMA=0.4 LAMBDA=0.01 PHI=0.7
.DC VDS 0 5 0.2 VGS 0 5 1
*.PRINT DC V(2) I(VDS)
.PRINT DC i(m1) vth=lv9(m1)
.END

```

(2) 仿真结果

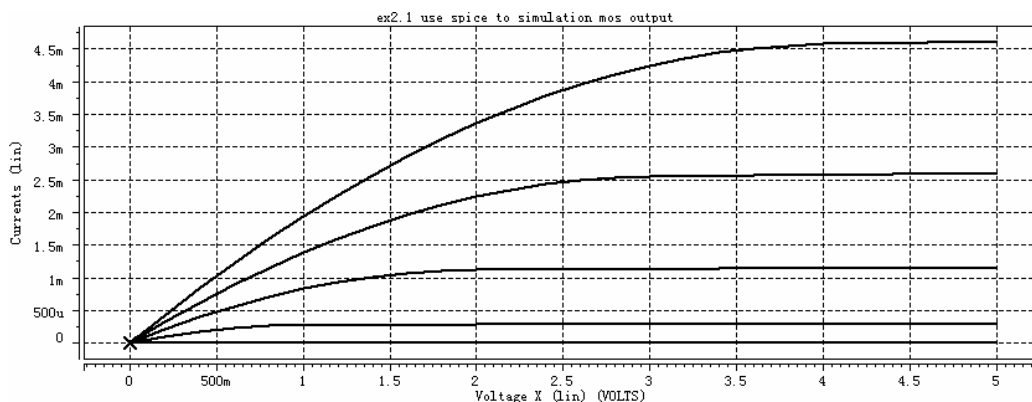


图 2-7 MOS 管输出特性测试仿真曲线

2.4 练习

- (1) 改变W、L的值，测试MOS管的输出特性，和前面的结果比较，说明引起差别的原因。
- (2) 请用 0.6um N阱CMOS工艺模型仿真MOS N沟道管输出特性，并对仿真结果进行阐述。
- (3) 请用 0.6um N阱CMOS工艺模型仿真MOS P沟道管输出特性，并阐述仿真结果。
- (4) 用HSPICE仿真分析MOS体效应：VSB从 0V变化到 5V、VDS固定为 5V的情况下，画出MOSFET的漏电流与栅源电压之间的关系图。

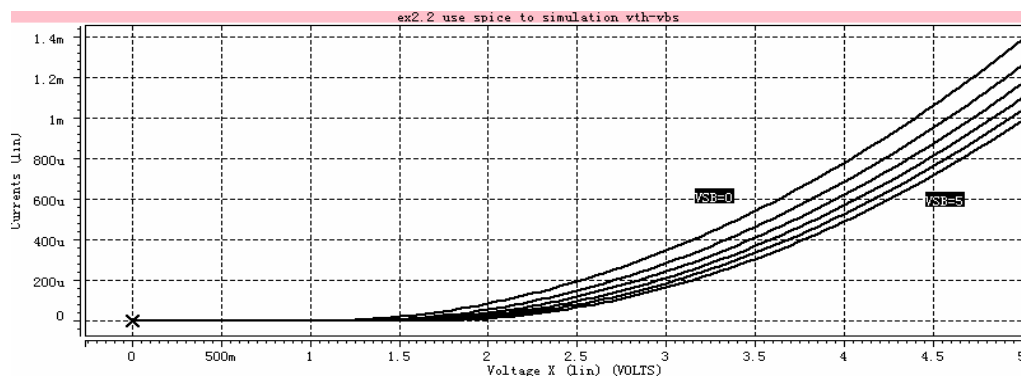


图 2-8 MOS 管体效应测试仿真曲线

当衬底电压变得更“负”的时候，阈值电压会相应增加（这就是体效应）。另外，随着VSB的增大，阈值电压的变化量越来越小；在设计模拟电路时，利用这个特性可以提高阈值电压的匹配度。

(5) 用HSPICE仿真分析亚阈值电流：对于 0.8 μm 工艺加工的W=L=5 μm 的NMOS管，当VGS从 0.65V变化到 0.75V时，用HSPICE画出对应不同的VGS的IDS—VDS曲线并分析。

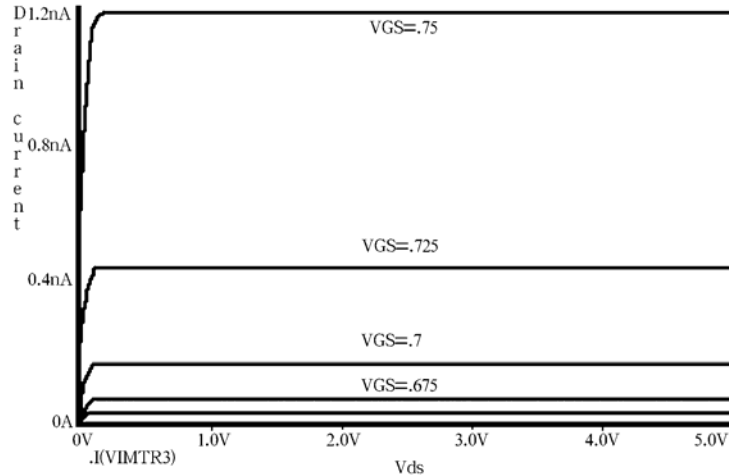


图 2-9 MOS 管亚阈值效应测试仿真曲线

(6) 用HSPICE仿真阈值电压随温度的变化。

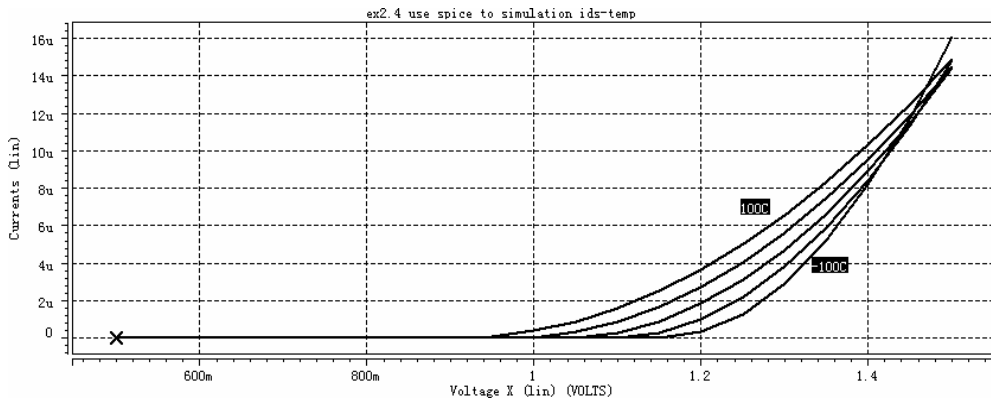


图 2-10 MOS 管阈值电压随温度的变化仿真曲线

第3章 恒流源电路分析与设计

3.1 恒流源电路

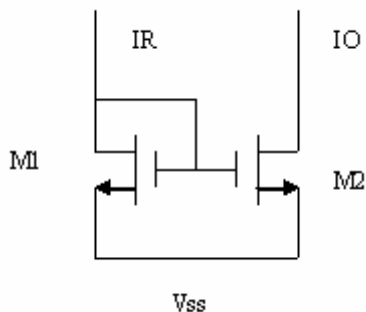


图 3-1 恒流源电路

恒流源电路如图 3-1 所示，图中 I_R 为参考电流， I_O 为输出电流，MOS管工作在饱和区，当MOS管M2 的 $V_{DS} \geq V_{GS} - V_T$ ，则M2 工作在饱和区。根据饱和区的电流方程可求得 I_O 与 I_R 的关系式为

$$\frac{I_O}{I_R} = \frac{S_2 (1 + \lambda V_{DS2})}{S_1 (1 + \lambda V_{DS1})} = \frac{S_2}{S_1} \quad (3-1)$$

$$I_O = \frac{S_2 (1 + \lambda V_{DS2})}{S_1 (1 + \lambda V_{DS1})} I_R \quad (3-2)$$

式中 S_1 为M1 的宽长比， S_2 为M2 的宽长比， λ 为沟道调制系数，并假定两管的工艺参数相同。由式 (3-2) 可知，只要改变M1 和M2 的宽长比，就可以设计出所需要的 I_O 。若 $V_{DS2} = V_{DS1}$ ， $S_1 = S_2$ ，则 $I_O = I_R$ 。

因为 $V_{DS1} = V_{GS1}$ ， $V_{DS2} = V_O$ ， V_O 是输出电压，但是一般情况下 V_O 是一变量，且 $V_O > V_{DS1}$ ，由于沟道长度调制效应的存在， I_O 随输出电压 V_O 的变化而变化，因此，只有在 $\lambda = 0$ 时才能使 I_O 为恒定值。为了使其恒流特性有所改善，可增大M2 的沟道长度 L 。 L 增大，使 λ 减小，输出阻抗 r_O 增大，恒流特性得到改善。

例：镜像电流源电路中， $I_{in} = 100\mu A$ ，每个晶体管 $W/L = 100\mu m/1.6\mu m$ 。假设 $\mu_n C_{ox} = 92\mu A/V^2$ ， $V_{tn} = 0.8V$ ， $r_{ds} = [8000L(\mu m)]/[I_D(mA)]$ ，求镜像电流源的 r_{out} 和 g_{m1} 的值，并推算输出电压变化 $0.5V$ 时 I_{out} 的变化情况。

解：因为M1 和M2 的 W/L 比相同，所以 I_{out} 的额定值等于 I_{in} 的额定值为 $100\mu A$ 。这样，

我们得到

$$R_{out}=r_{ds2}=8000*1.6/0.1=128k\Omega$$

gm1 的值由下式得出。

$$gm1=[2\mu nCox(W/L)ID1]^{1/2}=1.07mA/V$$

得到 $r_{s1}=1/gm1=935\Omega$ 。这个 r_{s1} 值远小于 r_{ds1} ，在这个例子中 r_{ds1} 等于 r_{ds2} 。

输出电流的变化可以利用 r_{out} 推算为

$$\Delta I_{out}=\Delta V/r_{out}=0.5/128k\Omega=3.9\mu A$$

换句话说，如果原来 I_{out} 测量为 $101\mu A$ (由于不匹配和一个更大的VDS电压)，输出电压增加 $0.5V$ 将产生一个大约 $105\mu A$ 的新的输出电流。注意：这个估算并没有说明诸如 r_{ds} 实际上随着输出电流改变这样的二级效应。

有三种因素会使电流镜与式(3-1)描述的理想情况不同。这些因素是：(1) 沟道长度调制。好的电流镜或电流放大器应当有相同的漏—源电压和高的输出电阻。(2) 两个管子之间的阈值偏差。对于适宜的硅栅CMOS工艺，相同且靠得很近得两只管子阈值电压的典型失调值小于 $10mV$ 。(3) 非理想的几何图形匹配。指两个器件的宽长比的误差，由于存在掩膜、光刻、刻蚀以及外扩散的差异，即使是两个管子并排放在一起也会有所不同。

3.2 高输出阻抗的恒流源电路

为了抑制沟道长度调制作用的影响，得到更好的电路性能，就要对上述基本电流镜进行改进。如图 3-2 所示，它与基本电流镜相比增加了M3、M4。由于增加了这两个MOS管，使该电流镜具有很好的恒流特性以及高的输出阻抗。由图 3-2 可知M3 和M4 使M1的 V_{DS1} 和M2的 V_{DS2} 相同或近似相同。其中 I_0 和 I_R 的关系可写为：

$$\frac{I_O}{I_R} = \frac{S_2(1 + \lambda V_{DS2})}{S_1(1 + \lambda V_{DS1})} = \frac{S_2}{S_1} \quad (3-3)$$

S为各器件的宽长比，上式表明，输出电流 I_0 与 λ 无关，即输出电流不跟随输出电压的变化而变化，从而具有很好的恒流特性和较高的输出阻抗。电路的输出阻抗 r_0 可由交流小信号等效电路图 3-3 所得：

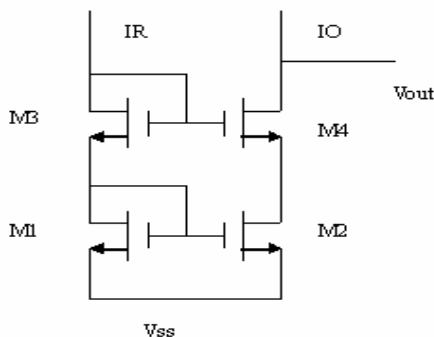


图 3-2 标准共源共栅的恒流源电路

$$\begin{aligned}
 V_0 &= i_0 [r_{ds2} + r_{ds4} + r_{ds2} r_{ds4} (g_{m4} + g_{mb4})] \\
 &= i_0 [r_{ds2} + r_{ds4} + r_{ds2} r_{ds4} g_{m4} (1 + \eta_4)]
 \end{aligned} \tag{3-4}$$

其中：

$$\eta_4 = \frac{g_{mb4}}{g_{m4}} \tag{3-5}$$

因此输出阻抗 r_0 可以表示为：

$$r_0 = r_{ds2} r_{ds4} g_{m4} \tag{3-6}$$

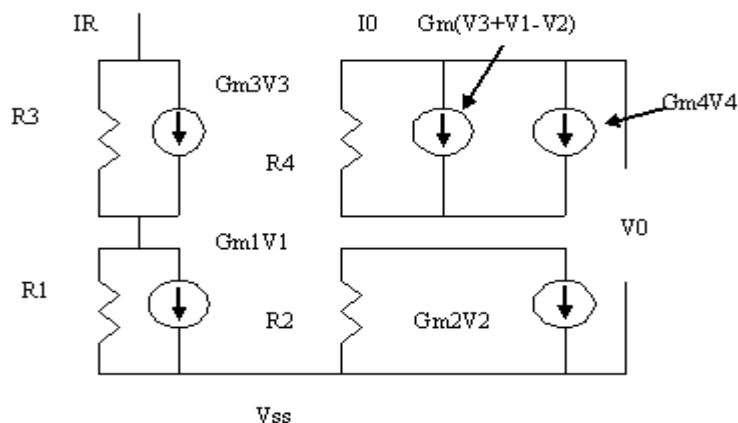


图 3-3 交流小信号等效电路

上式可以表明，该恒流源的输出阻抗比图3-1所示的恒流源电路的输出阻抗大 $r_{ds4}g_{m4}$ 倍。

例：共源共基镜像电流源电路中， $I_{in}=100\mu A$ ，每个晶体管 $W/L=100\mu m/1.6\mu m$ 。假设 $unCox=92\mu A/V^2$ ，

$V_{tn}=0.8V$ ， $r_{ds}=[8000L(\mu m)]/[ID(mA)]$ ，求镜像电流源的 r_{out} （体效应约为 $0.2g_m$ ）。还求使得输出晶体管保持在工作区的 V_{out} 的最小输出电压。

解：通常， $I_{out}=I_{in}$ ，这样我们可以求出这个镜像电流源的小信号参数为

$$g_{m4}=[2unCox(W/L)I_{out}]^{1/2}=1.07mA/V$$

还有

$$r_{ds2}=r_{ds4}=8000*1.6/0.1=128k\Omega$$

输出阻抗为

$$R_{out}=128k[128(1.07+0.2*1.07)]=21M\Omega$$

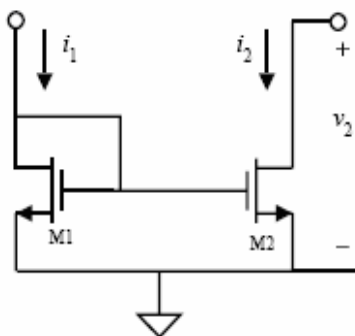
要求出最小输出电压，我们首先需要确定 V_{eff} :

$$V_{eff} = [2I_{out} / (\mu_n C_{ox} W / L)]^{1/2} = 0.19V$$

这样，最小输出电压求得为 $2 \times 0.19 + 0.8 = 1.18V$

3.3 HSPICE 仿真分析基本恒流源电路

(1) 仿真电路



(2) 网表

```
EXP 3.1 Simple MOS Current Mirror
.option post=2 numdgt=7 tnom=27
M1 1 1 0 0 nch l = 1u w = 5u
M2 2 1 0 0 nch l = 1u w = 5u
I1 0 1 DC 10u
V1 3 0 DC 0
V_I2 3 2 DC 0
```

图 3-4 基本恒流源电路

```
.MODEL nch NMOS VTO=0.7 KP=110U LAMBDA=0.04 GAMMA = 0.4 PHI = 0.7
*.dc V1 0 5 .1 I1 10u 80u 10u
.dc V1 0 5 .1
.END
```

(3) 仿真结果

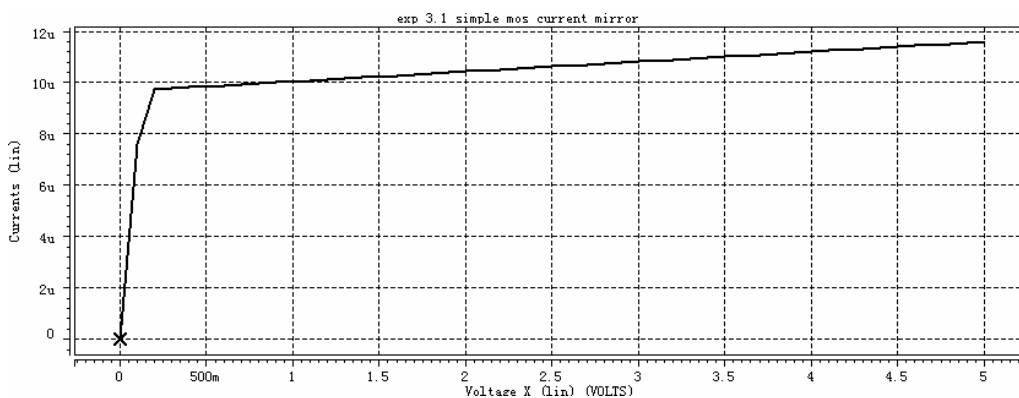


图 3-5 基本恒流源电路仿真输出结果

3.4 HSPICE 仿真分析高输出阻抗恒流源电路（MOS 管参数同上）

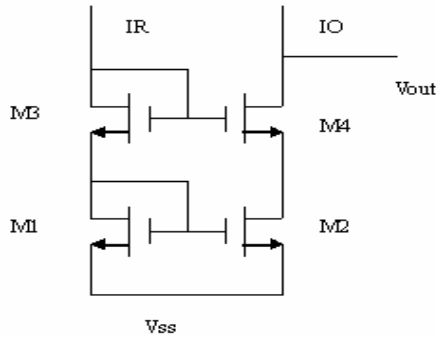


图 3-6 高输出阻抗的恒流源电路

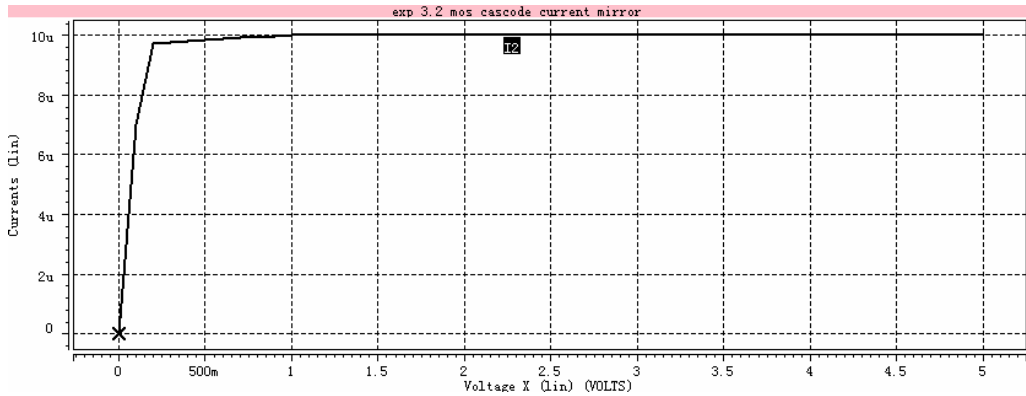


图 3-7 高输出阻抗恒流源电路仿真输出结果

通过与前面的仿真结果比较，可看出共源共栅电流沉的输出电阻较大（斜率的倒数为输出电阻）。另外，体效应会使M3管和M4管的阈值电压变大，导致电流值低于我们的期望值。

3.5 基本恒流源电路的敏感度分析

跨过电流沉的电压（即M2管的漏端电压）对输出电流有很大影响，敏感度很高。通过敏感度分析，可知道哪个元件对输出变量有最大影响。通过计算机仿真得到输出变量对元件参数的敏感度，这在大电路设计中几乎是必须要做的一步。

```
.sense I(vdrain2)
.dc vdrain -2.5 2.5 0.01
```

3.6 基本恒流源电路的温度特性

$$I_o(T) = I_o(T_0)(1 + TC(I_o)(T - T_0)) = I(T_0)[1 - 0.0015(T - 27)]$$

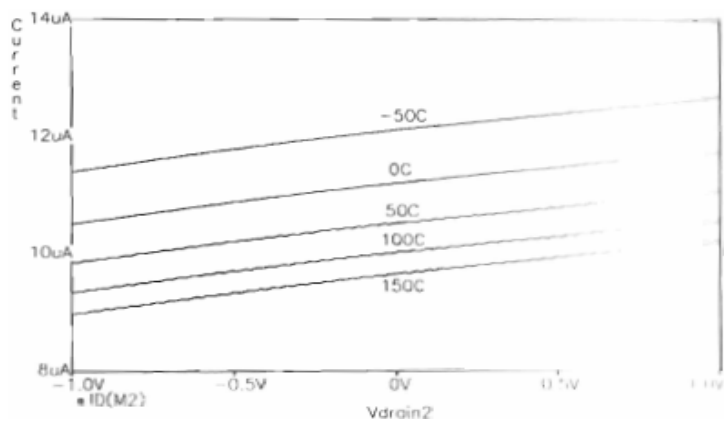


图 3-8 基本恒流源电路温度特性仿真输出结果

3.7 其它类型的电流源/沉

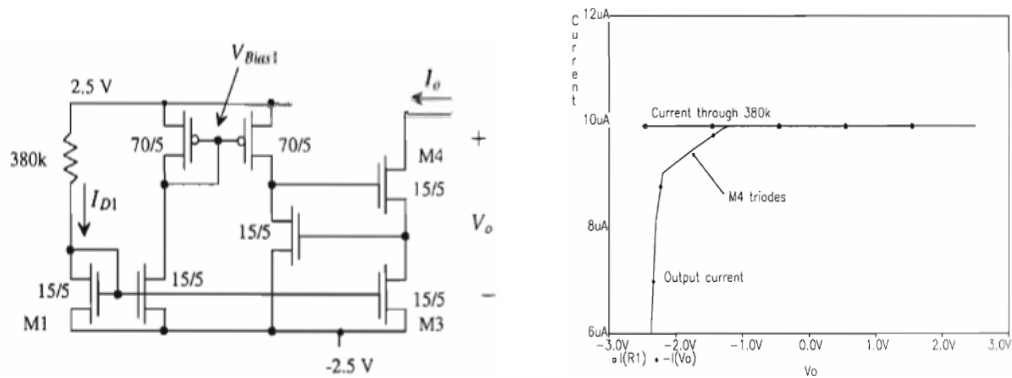


图 3-9 恒流源电路仿真输出结果

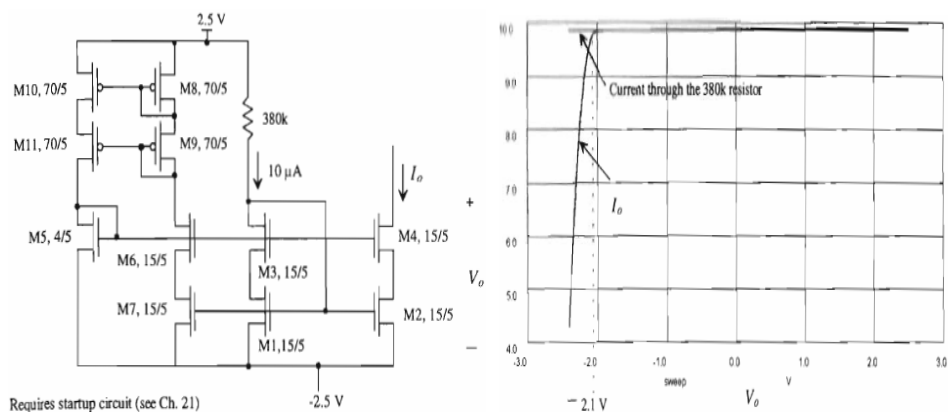


图 3-10 恒流源电路仿真输出结果

第4章 共源放大电路分析与设计

共源放大器是CMOS电路中的基本增益级。它是典型的反相放大器，负载可以是有源负载或者电流源。共源放大器多种实现方式如图4-1所示有源负载放大器，电流源负载放大器和推挽放大器，在其他条件相同的情况下，图中电路的小信号增益由左至右依次增大。

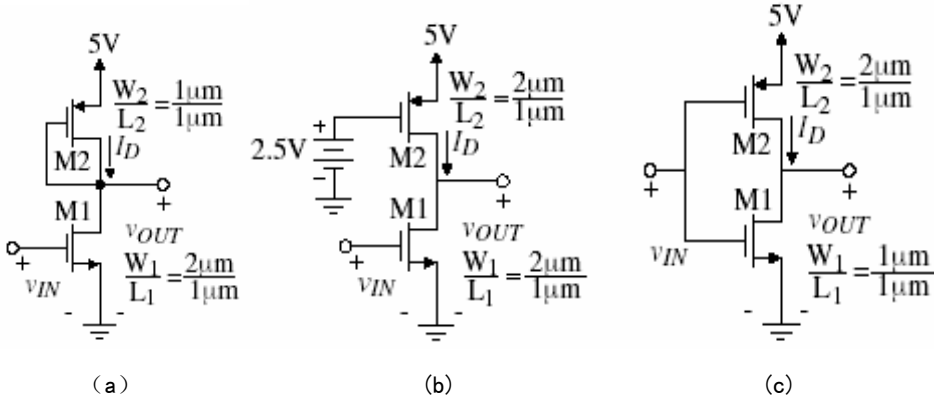


图4-1 (a) 有源负载共源放大器 (b) 电流源负载共源放大器 (c) 推挽共源放大器

4.1 有源负载共源放大器

在许多应用场合需要用到可高度预见其小信号和大信号特性的底增益反相器。满足此要求的一种结构如图4-1(a)所示，这就是PMOS有源负载共源放大器。

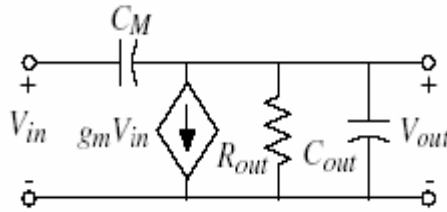


图4-2 图4-1(a)的小信号图

我们利用它的小信号图4-2，可以计算出它的增益。对输出端的电流求和可得：

$$g_{m1}v_{in} + g_{ds1}v_{out} + g_{m2}v_{out} + g_{ds2}v_{out} = 0 \quad (4-1)$$

求解电压增益 v_{out}/v_{in} ，得到：

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1}}{g_{ds1} + g_{ds2} + g_{m2}} \cong -\frac{g_{m1}}{g_{m2}} = -\left(\frac{K'_N W_1 L_2}{K'_P L_1 W_2}\right)^{1/2} \quad (4-2)$$

小信号的输出电阻从图4-2也可以得出

$$R_{out} = \frac{1}{g_{ds1} + g_{ds2} + g_{m2}} \cong \frac{1}{g_{m2}} \quad (4-3)$$

有源电阻负载共源放大器的输出阻抗较低，因为按二极管方式连接的M2管具有低阻抗的缘故。在要求反相增益级具有大带宽时，低输出阻抗是非常有用的。

4.2 电流源负载共源放大器

通常，共源放大器需要得到比有源负载共源放大器更大的增益。第二种有较高增益的共源放大器结构是图 4-1 (b) 所示的电流源负载共源放大器。这种结构采用电流源负载代替PMOS二极管连接的负载。电流源是共栅结构，采用栅极加直流电压偏置VGG2的P沟道管实现。

小信号性能可由图 4-2 模型中用 $gm2v_{out}=0$ （考虑M2的栅极交流接地）来求得。小信号电压增益为：

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1}}{g_{ds1} + g_{ds2}} = \left(\frac{2K'_N W_1}{L_1 I_D} \right)^{1/2} \left(\frac{-1}{\lambda_1 + \lambda_2} \right) \propto \frac{1}{\sqrt{I_D}} \quad (4-4)$$

取决于器件尺寸、电流和使用的技术，这个电路的典型增益在 $-10 \sim -100$ 的范围内。为了用电阻性负载得到类似的增益，必须使用远远高于5V的电源电压。电阻性负载方法还会大大提高功率损耗。但是，这里应该提到的是：对于低增益、高频率级，（如果不需要大量硅面积）用电阻负载会更理想，因为它们一般都有较小的寄生电容。它们通常还比有源负载噪声小。

这是个有意义的结果：随着直流电流的减小，增益上升。这是因为输出电导正比于偏置电流，而跨导正比于偏置电流的平方根。增益随 I_D 减小而增加可一直保持到电流接近亚阈值工作区，即弱反型层出现，此时跨导变为正比于偏置电流且小信号电压增益成为偏置电流函数的常数。如果我们假设亚阈区发生在电流近似为 $1 \mu A$ 的时候，又如果 $(W/L)_1 = (W/L)_2 = 10$ ，使用 $0.8 \mu m$ 模型的参数值可给出图 4-1 (b) 所示的电流负载CMOS共源放大器的最大增益近似为 $-521V/V$ 。图 4-3 示出了电流源负载作为直流偏置电流的函数的典型关系（假设亚区效应发生在近似等于 $1 \mu A$ 的时候）。

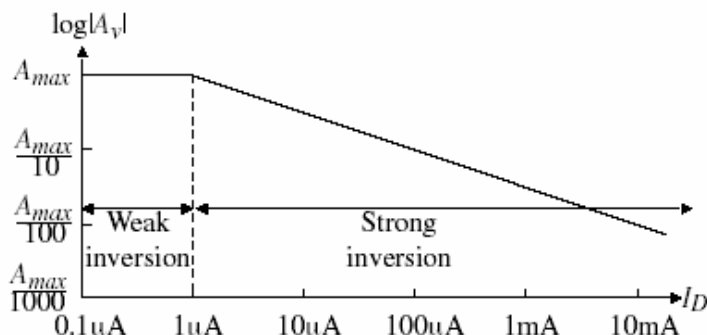


图 4-3 漏极电流对电流源共源放大器的小信号电压增益的影响

电流源负载CMOS共源放大器的小信号输出电阻抗可从图 4-2 ($g_{m2}v_{out}=0$) 求得:

$$R_{out} = \frac{1}{g_{ds1} + g_{ds2}} = \frac{1}{I_D(\lambda_1 + \lambda_2)} \quad (4-5)$$

如果 $I_D = 200 \mu A$ ，沟道长度为 $1 \mu m$ ，采用 $0.8 \mu m$ 的模型参数值，电流源CMOS共源放大器的输出阻抗近似为 $56k \Omega$ ，与有源负载CMOS共源放大器相比此输出阻抗较高。然而，此结果导致带宽降低。

例：在上面电路中，晶体管 $W/L = 100\mu m / 1.6\mu m$ 。假设 $\mu_n C_{ox} = 90\mu A/V^2$ ， $\mu_p C_{ox} = 30\mu A/V^2$ ， $I_{bias} = 100\mu A$ ， $r_{ds-n} = [8000L(\mu m)]/[ID(mA)]$ ， $r_{ds-p} = [12000L(\mu m)]/[ID(mA)]$ ，这一级的增益是多少？

解： g_{m1} 的值由下式得出

$$g_{m1} = [2\mu_n C_{ox} (W/L) I_{D1}]^{1/2} = 1.06 mA/V$$

同时

$$R_{ds1} = 8000 * 1.6 / 0.1 = 128k \Omega$$

$$R_{ds2} = 12000 * 1.6 / 0.1 = 192k \Omega$$

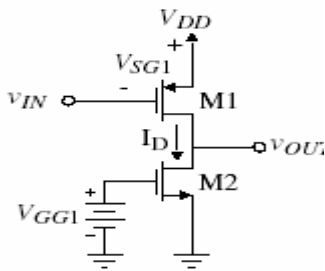


图 4-4 电流漏

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1}}{g_{ds1} + g_{ds2}} = -1.06(128 || 192) = -81.4$$

与电流源负载CMOS共源放大器对应的是电流漏共源放大器，如图 4-4 所示结构。

它的特性和电流源负载相似

4.3 推挽共源放大器

如图 4-1 (a) 和图 4-1 (b) 中 M2 的栅极接到 M1 的栅极，即为图 4-1 (c) 所示的推挽 COMS 共源放大器。比较电流源和推挽共源放大器，可以得出，采用同样的晶体管，推挽共源放大器具有更高的增益。这是由于两个晶体管都由 v_{IN} 驱动的缘故。推挽共源放大器的另一个优点是它的输出可以端到端的满摆幅工作。

推挽共源放大器的小信号能取决与它的工作区。如果假设 M1, M2 都处于饱和区，就能得到最大电压增益。我们可以借助图 4-5 来分析小信号性能。

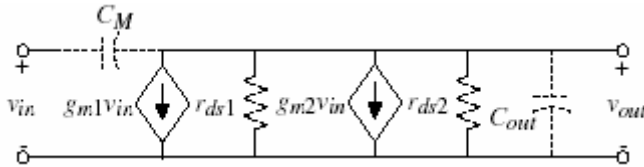


图 4-5 图 4-1 (c) 小信号模型

小信号电压增益是：

$$\frac{v_{out}}{v_{in}} = \frac{-(g_{m1} + g_{m2})}{g_{ds1} + g_{ds2}} = -\sqrt{\left(\frac{2}{I_D}\right)} \left[\frac{\sqrt{K'_N \left(\frac{W_1}{L_1}\right)} + \sqrt{K'_P \left(\frac{W_2}{L_2}\right)}}{\lambda_1 + \lambda_2} \right] \quad (4-6)$$

我们注意到与电流源/漏共源放大器一样，电压增益同样受直流电流的影响。

4.4 HSPICE 仿真分析电流源负载共源放大电路

(1) 电路结构

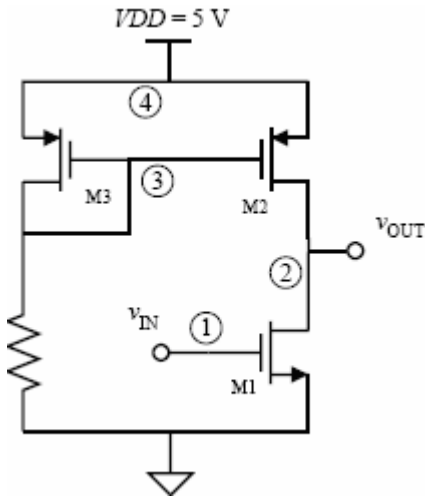


图 4-6 电流源负载共源放大器结构

(2) 直流分析

电路如图 4-6 所示，试用HSPICE仿真器得到 Vout作为Vin函数关系的曲线。确定Vout=0V时 Vin的直流值。

```
EX 4.1 common source amp
.option post=2 numdgt=7 tnom=27
M1 2 1 0 0 nch W=5u L=1u
M2 2 3 4 4 pch w=5u L=1u
M3 3 3 4 4 pch w=5u L=1u
R1 3 0 100k
Vin 1 0 dc 5
Vdd 4 0 dc 5
```

```
.MODEL nch NMOS VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
.MODEL pch PMOS VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
.dc vin 0 5 0.1
.print dc v(2)
.end
```

分析结果：

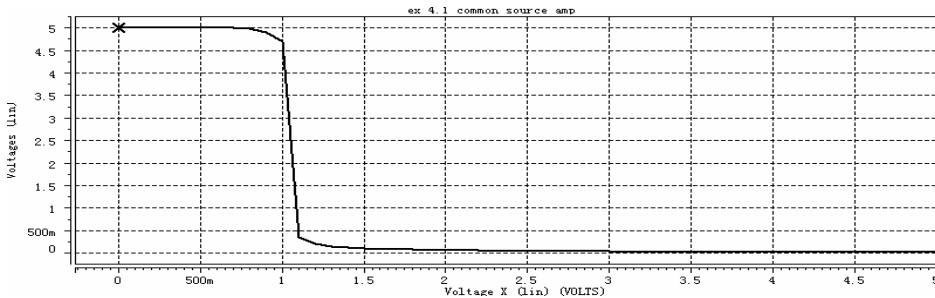


图 4-7 电流源负载共源放大器直流特性仿真

(3) 交流分析

假设输出端接 5PF 的电容，当放大器被偏置在过渡区时，试用HSPICE获得 $V_{out}(\omega)/V_{in}(\omega)$ 的小信号频率响应，给出从 100Hz 到 100MHz 范围内的幅度和相位响应。

EX 4.2 common source amp AC analysis

.option post=2 numdgt=7 tnom=27

M1 2 1 0 0 nch W=5u L=1u

M2 2 3 4 4 pch w=5u L=1u

M3 3 3 4 4 pch w=5u L=1u

CL 2 0 5P

R1 3 0 100k

Vin 1 0 dc 1.07 AC 1

Vdd 4 0 dc 5

.MODEL nch NMOS VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7

.MODEL pch PMOS VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8

.ac dec 20 100 100MEG

.op

.print ac vm(2) vdb(2) vp(2)

.end

分析结果：

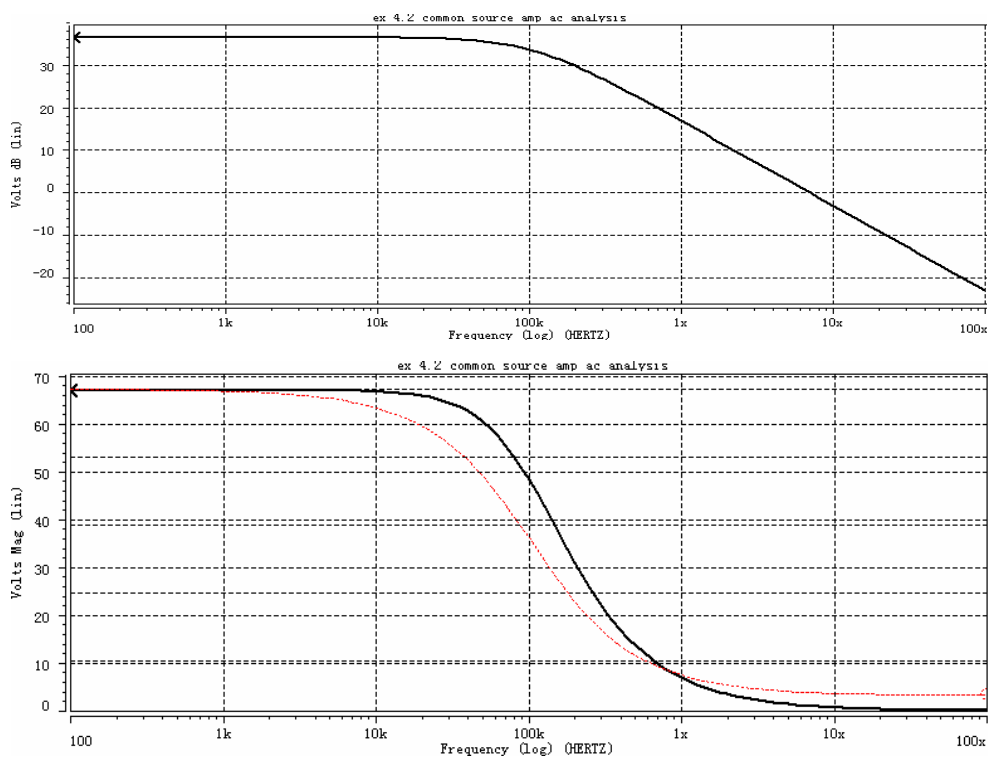


图 4-8 电流源负载共源放大器交流特性仿真

(4) 瞬态分析

当电路输入脉冲信号时的瞬态响应，仿真时间从 0 到 4us。

EX 4.3 common source amp TRansient analysis

```
.option post=2 numdgt=7 tnom=27
```

```
M1 2 1 0 0 nch W=5u L=1u
```

```
M2 2 3 4 4 pch w=5u L=1u
```

```
M3 3 3 4 4 pch w=5u L=1u
```

```
CL 2 0 5P
```

```
R1 3 0 100k
```

```
Vin 1 0 PWL(0 0v 1u 0v 1.05u 3v 3u 3v 3.05u 0v 6u 0v)
```

```
Vdd 4 0 dc 5
```

```
.MODEL nch NMOS VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
```

```
.MODEL pch PMOS VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
```

```
.tran 0.01u 4u
```

```
.print tran v(2) v(1)
```

```
.end
```

分析结果：

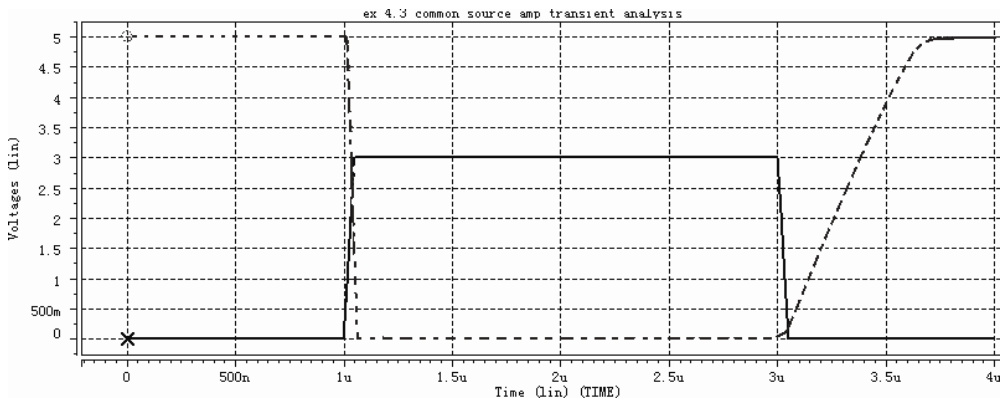


图 4-9 电流源负载共源放大器瞬态响应仿真

第 5 章 共源共栅放大电路分析与设计

5.1 共源共栅放大器原理及分析

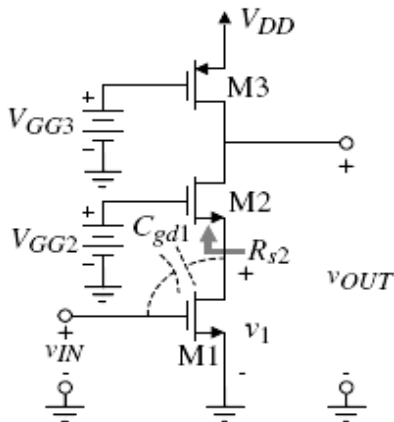


图 5-1 简单共源共栅放大器

与反相放大器相比，共源共栅放大器有两个显著的优点：首先，它提供更高的输出阻抗，类似于共源共栅电流漏和共源共栅电流镜。其次，它减小了放大器输入端的米勒电容效应，这一点在设计运算放大器的频率性能时是很重要的。图 5-1 示出由晶体管 M1、M2 和 M3 构成的简单共源共栅放大器。除 M2 之外，共源共栅放大器与电流源 CMOS 反相器一样。M2 的主要功能是使 M1 漏极的小信号阻抗变小。从 M2 的漏极看

进去的小信号电阻近似为 $r_{ds1}g_{m2}r_{ds2}$ ，比从 M3

的漏极看进去的小信号阻抗 r_{ds3} 大的多。共源共栅放大器的小信号增益大约是共源反相器的两倍，因为 R_{OUT} 为原来的两倍。

(1) 共源共栅的小信号特性

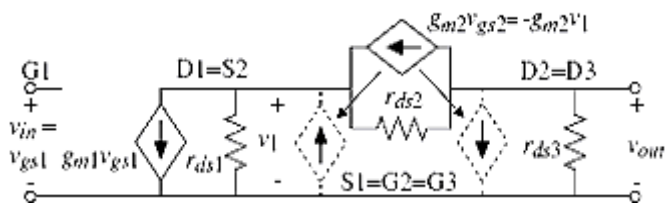


图 5-2 (a) 忽略 M2 体效应后的共源共栅放大器的小信号模型

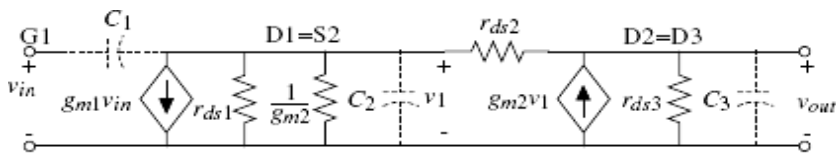


图 5-2 (b) 共源共栅放大器的简化等效模型

图 5-1 所示的简单共源共栅放大器的小信号性能可以用图 5-2(a) 的小信号模型来分析，此模型简化后如图 5-2(b) 所示。为简化起见，我们忽略了 M2 的体效应。这里的简化采用了电流源拆分和置换原理。采用节点分析为：

$$(g_{ds1} + g_{ds2} + g_{m2})v_1 - g_{ds2}v_{OUT} = -g_{m1}v_{in} \quad (5-1)$$

$$-(g_{ds2} + g_{m2})v_1 + (g_{ds2} + g_{ds3})v_{OUT} = 0 \quad (5-2)$$

求解得出 v_{out}/v_{in} 为：

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1}(g_{ds2} + g_{m2})}{g_{ds1}g_{dds2} + g_{ds1}g_{ds3} + g_{ds2}g_{ds3} + g_{ds2}g_{m2}} \cong \frac{-g_{m1}}{g_{ds3}} = -\left(\frac{2K'W_1}{L_1I_D\lambda_3^2}\right)^{\frac{1}{2}} \quad (5-3)$$

我们可以用图 5-1 所示共源共栅电流漏（M1 和M2）的小信号输出阻抗与 r_{ds3} 并联来求输出电阻。因此，共源共栅放大器的小信号输出电阻为：

$$r_{out} = [r_{ds1} + r_{ds2} + g_{m2}r_{ds1}r_{ds2}] \parallel r_{ds3} \cong r_{ds3} \quad (5-4)$$

我们将看到如何利用共源共栅放大器在满足增益的条件下增加电势的优点。

我们进一步主要到小信号增益对偏置电流同样有依赖性。由式(5-1)和式(5-2)得出：

$$\begin{aligned} \frac{v_1}{v_{in}} &= \frac{-g_{m1}(g_{ds2} + g_{m2})}{g_{ds1}g_{dds2} + g_{ds1}g_{ds3} + g_{ds2}g_{ds3} + g_{ds2}g_{m2}} \\ &\approx \left(\frac{g_{ds2} + g_{ds3}}{g_{ds3}}\right)\left(\frac{-g_{m1}}{g_{m2}}\right) \cong \frac{-2g_{m1}}{g_{m3}} = -2\left(\frac{W_1L_2}{L_1W_2}\right)^{\frac{1}{2}} \end{aligned} \quad (5-5)$$

可以看出，如果M1 和M2 的宽长比相同且 $g_{ds2} = g_{ds3}$ ，那么， v_1/v_{in} 近似为-2。

增益为-2 的原因不明显，通常我们希望从M2 的源极看进去的电阻是 $1/g_{m2}$ 。然而，这里显然不是这种情况。让我们进一步观察图 5-1 中电阻 R_{s2} ，这是一个从M2 的源极点进去的电阻。此计算的小信号模型如图 5-3 所示，图中忽略了体效应 ($g_{mbs2} = 0$)。

为了求解图 5-3 中所示的 R_{s2} 值，我们首先写出了一个电压环路是：

$$v_{s2} = (i_1 - g_{m2}v_{s2})r_{ds2} + i_1r_{ds3} = i_1(r_{ds2} + r_{ds3}) - g_{m2}r_{ds2}v_{s2} \quad (5-6)$$

为求 v_{s2} 与 i_1 的比值，解这个等式得到：

$$R_{s2} = \frac{v_{s2}}{i_1} = \frac{r_{ds2} + r_{ds3}}{1 + g_{m2}r_{ds2}} \quad (5-7)$$

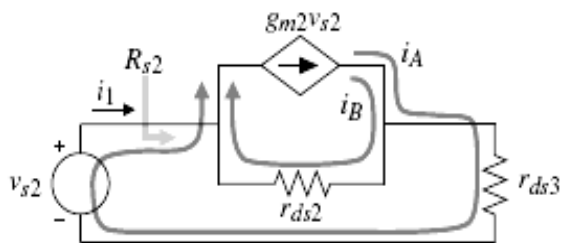


图 5-3 用于计算 R_{s2} 的小信号模型

管子漏极到交流地的电阻有关。

让我们进一步用观察法来说明图 5-1 共源共栅放大器的小信号电流流进M1 的漏极。在这个电路中，输入信号 V_{in} 作用到M1 的栅-源极，这引起 $g_{m1}V_{in}$ 的小信号电流流进M1 的漏极，这个电流流过M2 在输出端得到电压，该点是M2 和M3 的漏极连接点，其电阻是 $r_{ds1}g_{m2}r_{ds2}$ 和 r_{ds3} 的并联。因为 $r_{ds1}g_{m2}r_{ds2}$ 大于 r_{ds3} ，因此 $R_{out} \approx r_{ds3}$ 。

5.2 共源共栅放大器的设计流程

共源共栅级的普及有两个主要原因。第一个主要原因是它们由于大输出阻抗，对单级有相当大的增益。为了得到这个高增益，与输出节点相连的镜像电流源可以用高质量共源共栅镜像电流源实现。通常，得到这个高增益不会导致任何速度降低，而且有时还会提高速度。使用共源共栅级的第二个主要原因是它们限制了输入驱动晶体管上的电压。这最小化了任何短沟道效应，它在使用的晶体管沟道长度非常短的现代技术中越来越重要。

对如图的共源共栅放大器，设计参数为W1/L1、W2/L2、W3/L3、直流电流和偏置电压。

下图显示了放大器各个参数设计的关系式。共源共栅放大器的典型指标是 V_{DD} 、小信号增益 A_v 、最大和最小输出电压摆幅 V_{out} (最大) 和 V_{out} (最小) 以及功耗 P_{diss} 。

我们看到如果 $r_{ds2} \approx r_{ds3}$ ， R_{s2} 正好

等于 $2/g_{m2}$ 。于是，如果 $g_{m1} \approx g_{m2}$ ，

则从图 5-1 中所示共源共栅放大器的输出到M1 的漏极或M2 的源极的电压增益近似为-2。我们注意到一个重要的规则，从MOSFET的源极看进去的小信号电阻与

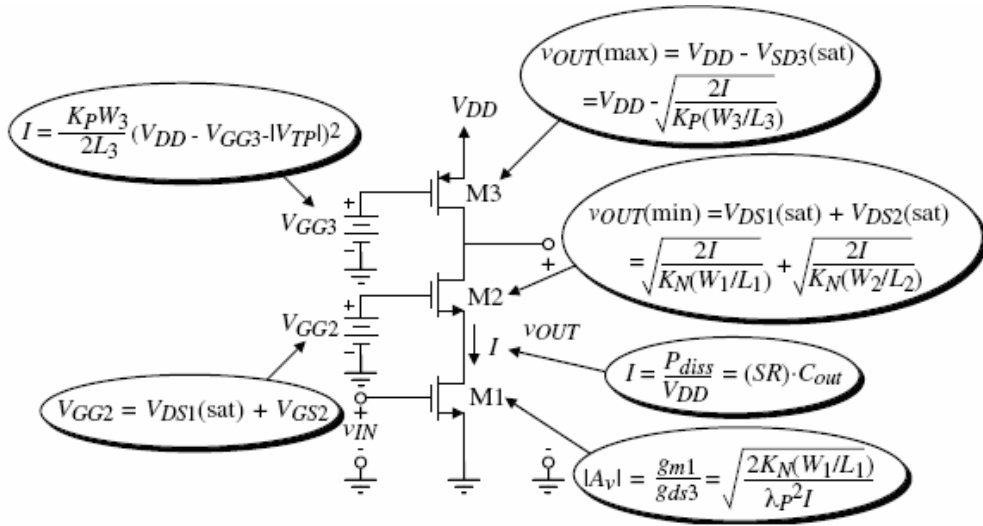


图 5-4 共源共栅放大器结构

5.3 设计实例及 HSPICE 仿真分析

共源共栅放大器指标为: $A_v = -50V/V$, $v_{OUT}(\max) = 4V$, $v_{OUT}(\min) = 1.5V$, $V_{DD} = 5V$, $P_{diss} = 1mW$. 要求在 $10pF$ 负载上的摆率大于等于 $10V/\mu s$.

(1) 设计过程

在设计中, 不是所有的指标都重要且必须完全满足的。比如供电要求是 $5V$, 但是如因某种原因输出摆幅可以超过设计要求。让我们从直流电流开始分析。摆率和功耗都会影响直流电流。摆率要求电流大于 $100\mu A$, 功耗要求小于 $200\mu A$. 我们折中取 $150\mu A$.

首先从 $M3$ 开始, 因为唯一不知道的就是 $W3/L3$, 根据关系式, 求得:

$$\frac{W3}{L3} = \frac{2I}{Kp' [V_{DD} - v_{OUT}(\max)]^2} = \frac{2 \times 150}{50(1)^2} = 6$$

设计图左上角的关系式给出 $I = I_{BIAS}$ 时 $W4/L4 = W3/L3$. 接下来用设计图右下角的关系式确定 $W1/L1$:

$$\frac{W1}{L1} = \frac{(A_v \lambda_3)^2 I}{2K_N'} = \frac{(50 \times 0.05)^2 \times 150}{2 \times 110} = 4.26$$

为了设计 $W2/L2$, 首先计算 $V_{DS1}(\text{饱和})$, 并用 $v_{OUT}(\text{最小})$ 来确定 $V_{DS2}(\text{饱和})$. 求解 $V_{DS1}(\text{饱和})$ 得:

$$V_{DS1}(\text{饱和}) = \sqrt{\frac{2I}{K_N'(W1/L1)}} = \sqrt{\frac{2 \times 150}{110 \times 4.26}} = 0.8V$$

用 $1.5V$ 减去这个值得 $V_{DS2}(\text{饱和}) = 0.7V$. 因此, $W2/L2$ 为:

$$\frac{W2}{L2} = \frac{2I}{K_N 'V_{DS2}(\text{饱和})^2} = \frac{2 \times 150}{110 \times 0.7^2} = 5.57$$

最后，用设计图左下角的关系式给出VGG2 的值：

$$V_{GG2} = V_{DS1}(\text{饱和}) + \sqrt{\frac{2I}{K_N '(W2/L2)}} + V_{TN} = 0.8V + 0.7V + 0.7V = 2.2V$$

这个例子说明改变各个管的W/L可以得到 2.5V的输出电压范围且使所有管子都工作在饱和区。共源共栅放大器给了设计者比反相放大器更多的对小信号性能的控制能力。另外，单级共源共栅电路可以在恰当地确定主极点的情况下提供非常高的电压增益。

(2) 网表

EX5.1 a Cascode Amplifier

.option post=2 numdgt=7 tnom=27

m1 2 1 0 0 NMOS1 l= 1u w=4.26u

m2 4 3 2 2 NMOS1 l= 1u w=5.57u

m3 4 5 6 6 PMOS1 l= 1u w=6u

m4 5 5 6 6 PMOS1 l= 1u w=6u

ibias 5 0 dc 150u

*rset 5 0 11.33k ???

c1 4 0 10pf

vdd 6 0 5

vgg 3 0 dc 2.2

*vref 5 0 dc 3.3

vil 1 0 DC 1.5 ac 1

.op

*,tran 1ms 30ms

.ac DEC 10 1 10MEG

.print vdb(4)

.MODEL NMOS1 NMOS VTO=0.70 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7

+MJ=0.5 MJSW=0.38 CGBO=700P CGSO=220P CGDO=220P CJ=770U CJSW=380P

+LD=0.016U TOX=14N

.MODEL PMOS1 PMOS VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8

+MJ=0.5 MJSW=0.35 CGBO=700P CGSO=220P CGDO=220P CJ=560U CJSW=350P

+LD=0.014U TOX=14N

.END

(3) 仿真结果

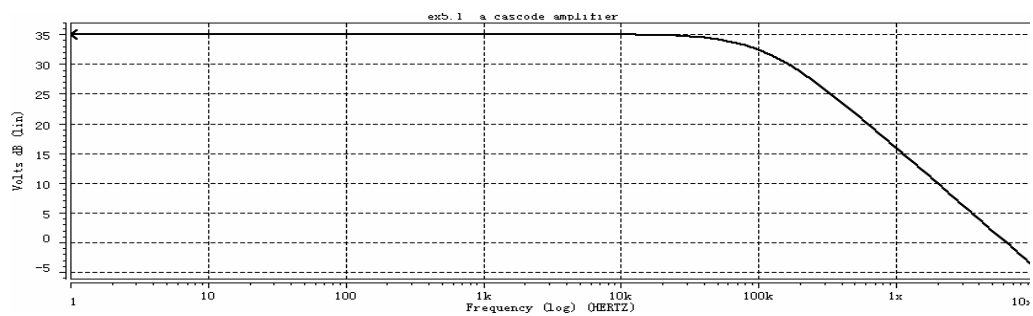


图 5-5 共源共栅放大器仿真输出

第6章 源级跟随电路分析与设计

反相器、差分放大器和共源共栅放大器的共同特点是输出电阻大，但当负载是由一个小电阻和大电容组成时，就不希望输出电阻太大。要在小的负载电阻上取得较大的输出电压摆幅，就要求很大的电流。一个大负载电容也要求很大的输出电流来提供所需的充电电流，才能满足瞬态响应的要求。为了在稳态或瞬态偏压下提供足够的输出电流，就必须采用低阻输出级。

输出放大器的主要目的是有效的将信号提供给输出负载。输出负载可由电阻、电容或二者并联构成。一般来说，输出电阻较小，在 $50 \sim 1000 \Omega$ 范围内；输出电容较大，在 $5 \sim 1000 \text{pF}$ 范围内。输出放大器应该有能力给这些负载提供足够的信号（电压、电流或功率）。输出放大器驱动低负载电阻主要需要有一个小于等于负载电阻的小信号输出电阻。驱动大电容的输出放大器主要需要有能力输出一个大的源或漏电流。驱动大电容的放大器不需要低的输出电阻。

CMOS输出级的基本作用是电流变换。大部分输出级都具有高电流增益和低电压增益，对一个输出级的特定要求有：（1）以电压或电流的形式提供足够的输出功率，（2）防止信号失真，（3）高效率，（4）对异常状态（短路、过热等等）提供保护。由于信号摆幅很大，并且在小信号放大器中一般不会遇到的非线性问题变得重要了，故而有第二项要求。第三项要求是要使驱动晶体管上的功耗比负载上的功耗小得多。对第四项要求，CMOS输出级通常都可以满足，这是由于CMOS器件本身的自我限制特性造成的。

6.1 源极跟随缓冲级

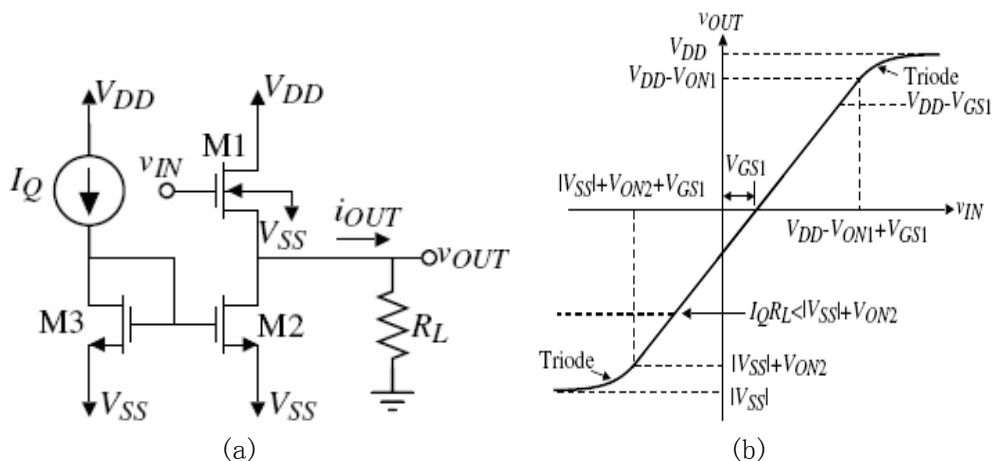


图 6-1 (a) 源极跟随器的电路结构和 (b) 电压传输曲线

(1) 输出电压摆幅

$$v_{OUT}(\min) \cong V_{SS} - V_{ON2} \text{ (如 } R_L \text{ 较大) 或者 } v_{OUT}(\min) \cong -I_Q R_L \text{ (如 } R_L \text{ 较小)}$$

$$v_{OUT}(\max) \cong V_{SS} - V_{ON1} \text{ (如果 } v_{IN} > V_{DD}) \text{ 或者 } v_{OUT}(\max) \cong V_{DD} - V_{GS1}$$

如果考虑衬底效应:

$$V_{T1} = V_{T01} + \gamma \left[\sqrt{2|\phi_F| - v_{BS}} - \sqrt{2|\phi_F|} \right] \approx V_{T01} + \gamma \sqrt{v_{SB}} = V_{T01} + \gamma \sqrt{v_{OUT}(\max) - V_{SS}}$$

$$\therefore V_{OUT}(\max) - V_{SS} \approx V_{DD} - V_{SS} - V_{ON1} - V_{T1} = V_{DD} - V_{SS} - V_{ON1} - V_{T01} + \gamma_1 \sqrt{v_{OUT}(\max) - V_{SS}}$$

$$\text{定义 } v_{OUT}(\max) - V_{SS} = v_{OUT}'(\max)$$

那么

$$V_{OUT}'(\max) + \gamma_1 \sqrt{v_{OUT}'(\max)} - (V_{DD} - V_{SS} - V_{ON1} - V_{T01}) = 0$$

解得

$$v_{OUT}'(\max) \approx \frac{\gamma_1^2}{4} - \frac{\gamma_1}{4} \sqrt{\gamma_1^2 + 4(V_{DD} - V_{SS} - V_{ON1} - V_{T01})} + \frac{\gamma_1^2 + 4(V_{DD} - V_{SS} - V_{ON1} - V_{T01})}{4}$$

$$\text{如果 } V_{DD} = 2.5V, \quad \gamma_N = 0.4V^{1/2}, \quad V_{TN1} = 0.7V, \quad \text{并且 } V_{ON1} = 0.2V,$$

$$\text{那么 } v_{OUT}'(\max) = 3.661V, \quad v_{OUT}(\max) = 3.661 - 2.5 = 0.8661V$$

(2) 输出最大电流

假定晶体管处于饱和状态, 并且 $V_{DD} = -V_{SS} = 2.5V$, 那么

$$I_{OUT}(\text{sourcing}) = \frac{K_1 W_1}{2L_1} [V_{DD} - v_{OUT} - V_{T1}]^2 - I_Q$$

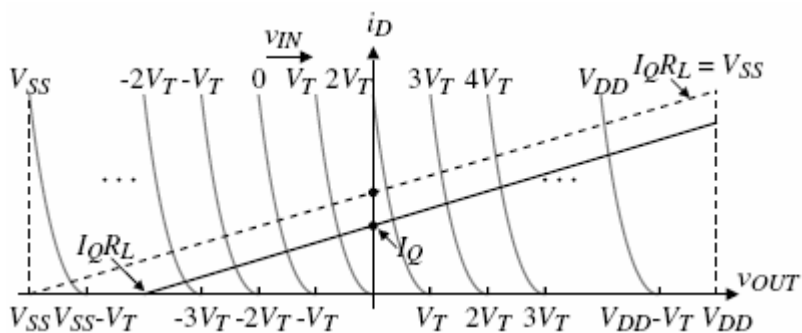
假设 $v_{IN} = v_{DD}$.

如果 $W_1/L_1 = 10$, $v_{OUT} = 0V$, 那么 $V_{T1} = 1.08V \Rightarrow I_{OUT} = 1.11mA$. 然而, 随着

v_{OUT} 升高到 $0V$ 以上时, 电流快速下降。

(3) 效率

假设输入信号能使输出达到等于电源最大情况, 如图



那么

$$i_D = \frac{\beta}{2} (v_{IN} - v_{OUT} - V_T)^2$$

$$i_D = I_Q - \frac{v_{OUT}}{R_L}$$

得效率

$$\frac{P_{RL}}{P_{Supply}} = \frac{\frac{v_{OUT}(peak)^2}{2R_L}}{(V_{DD} - V_{SS})I_Q} = \frac{\frac{v_{OUT}(peak)^2}{2R_L}}{(V_{DD} - V_{SS})\left(\frac{V_{DD} - V_{SS}}{2R_L}\right)} = \left(\frac{v_{OUT}(peak)}{V_{DD} - V_{SS}}\right)^2$$

当 $v_{OUT}(peak) = V_{DD} = |V_{SS}|$ 时效率最大 25%.

6.2 小信号分析

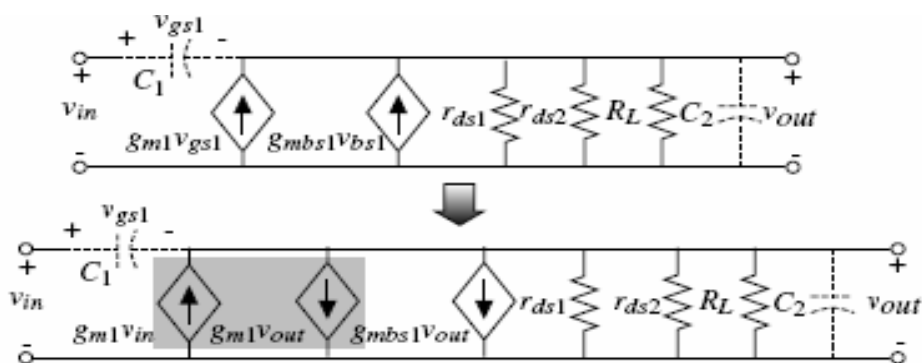


图 6-1 源极跟随器的电路小信号模型 (a) 和简化的小信号模型 (b)

(1) 电压放大倍数

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1}}{g_{ds1} + g_{ds2} + g_{m1} + g_{mbs1} + G_L} \cong \frac{g_{m1}}{g_{m1} + g_{mbs1} + G_L} \cong \frac{g_{m1} R_L}{1 + g_{m1} R_L}$$

(2) 输出阻抗

$$R_{out} = \frac{1}{g_{m1} + g_{mbs1} + g_{ds1} + g_{ds2}}$$

对电流漏负载, $R_{out} = 830 \Omega$ 。这个输出阻抗的数量级在一般MOSFET电路中已是足够小了, 除非使用并联负反馈。

一般, g_{s1} 大约为 g_{m1} 的 $1/10 \sim 1/5$ 。而且, 晶体管输出导纳 g_{ds1} 和 g_{ds2} 应为体效应参数 g_{s1} 的 $1/10$ 。所以, 可以看到体效应参数是引起增益小于 1 的主要误差源。还要注意: 在低频下这一级完全是单边的。换句话说, 没有信号从输出端流到输入端。

例: 考虑如图所示的源极跟随器, 其中, 所有的晶体管 $W/L = 100\mu\text{m}/1.6\mu\text{m}$ 。假设

$$\mu_n C_{ox} = 90\mu\text{A}/\text{V}^2, \quad \mu_p C_{ox} = 30\mu\text{A}/\text{V}^2, \quad I_{bias} = 100\mu\text{A}, \quad \gamma_n = 0.5V^{1/2},$$

$r_{ds-n} = [8000L(\mu\text{m})]/[ID(\text{mA})]$ 。这一级的增益是多少?

解: g_{m1} 的值由下式得出

$$g_{m1} = [2\mu_n C_{ox} (W/L) ID_1]^{1/2} = 1.06\text{mA}/\text{V}$$

同时

$$R_{ds1} = R_{ds2} = 8000 * 1.6 / 0.1 = 128\text{k}\Omega$$

体效应参数方程, 即

$$g_{s1} = \frac{\gamma g_m}{2\sqrt{V_{SB} + |2\phi_F|}}$$

为了计算这个参数, 我们需要知道源极-主体电压 V_{SB} 。但是, 这个电压要依赖应用情况, 不能事先准确知道。这里我们假设使用的是 5V 的电源, $V_{SB} \approx 2V$ 。这在一定程度上有些武断, 但是这是在没有更多细节的情况下能使用的最好方法。因此有

$$g_{s1} = \frac{0.5g_m}{2\sqrt{2+0.7}} = 0.15g_m = 0.16\text{mA}/\text{V}$$

所以有

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1}}{g_{ds1} + g_{ds2} + g_{m1} + g_{s1}} = \frac{1.06}{1.06 + 0.16 + 1/128 + 1/128} = 0.86V/V$$

注意：正如前面提到的，这个结果小于 1 这么多主要是因为体效应参数 g_s 。如果没有体效应，增益应约为 0.99V/V。

(3) 频率响应

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{(g_{m1} + sC_1)}{g_{ds1} + g_{ds2} + g_{m1} + g_{mbs1} + G_L + s(C_1 + C_2)}$$

这儿

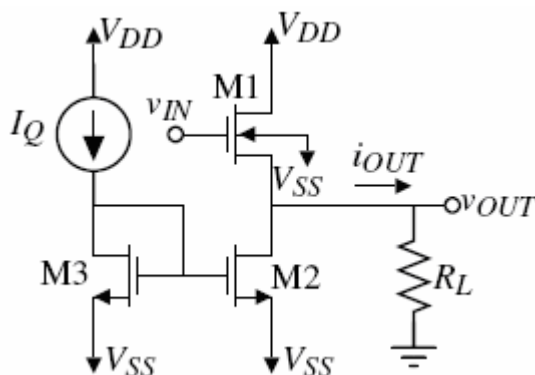
C_1 = 输入和输出端间电容 = C_{GS1}

$C_2 = C_{bs1} + C_{bd2} + C_{gd2}$ (或 C_{gs2}) + C_L

$$z = -\frac{g_{m1}}{C_1} \quad \text{和} \quad p \approx -\frac{g_{m1} + G_L}{C_1 + C_2}$$

6.3 HSPICE 仿真实例

(1) 电路结构



(2) 手算过程

如果 $VDD = -VSS = 2.5V$, $V_{out} = 0V$, $W1/L1 = 10\mu m/1\mu m$, $W2/L2 = 1\mu m/1\mu m$, 并且 $ID = 500\mu A$, 那么对电流漏负载 ($RL = \text{无穷大}$):

$V_{out}/V_{in} = 0.869V/V$, 如果忽略衬底效应, 那么 $V_{out}/V_{in} = 0.963V/V$

如果给定负载 $RL = 1000\Omega$:

$V_{out}/V_{in} = 0.512V/V$

(3) 网表

EX6.1 source follower

.option post=2 numdgt=7 tnom=27

Vdd 1 0 dc 2.5

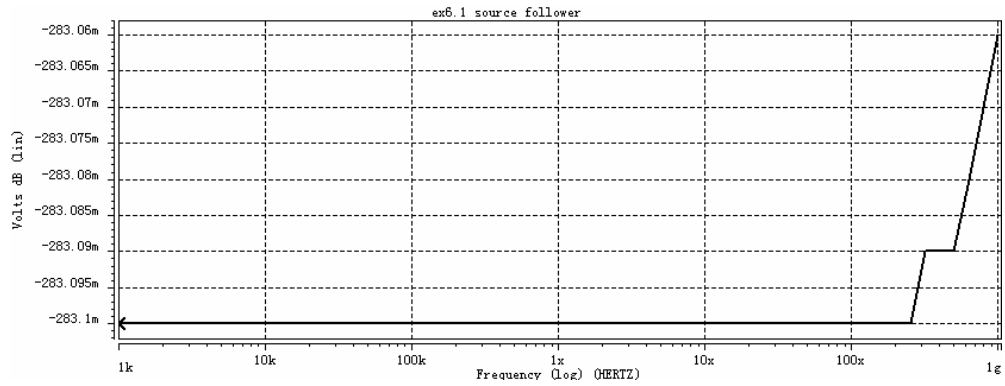
Vss 5 0 dc -2.5

```

Ibias 1 2 dc 500u
M3 2 2 5 5 nch w=10u l=1u
M2 3 2 5 5 nch w=1u l=1u
M1 1 4 3 3 nch w=1u l=1u
Vin 4 0 dc 1.22 ac 1
.op
.ac dec 10 1k 1000MEG
.print vdb(3)
.MODEL nch NMOS VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
.MODEL pch PMOS VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
.end

```

(4) 仿真结果



第7章 电流镜负载差分放大电路分析与设计

7.1 基本结构及分析

传统运算放大器的输入级一般都采用电流镜负载的差分对。如图 7-1 所示。NMOS 器件 M1 和 M2 作为差分对管，P 沟道器件 M4、M5 组成电流源负载。电流 I_0 提供差分放大器的工作电流。如果 M4 和 M5 相匹配，那么 M1 电流的大小就决定了 M4 电流的大小。这个电流将镜像到 M5。如果 $V_{GS1} = V_{GS2}$ ，则 M1 和 M2 的电流相同。这样由 M5 通过 M2 的电流将等于 I_{OUT} 为零时 M2 所需要的电流。如果 $V_{GS1} > V_{GS2}$ ，由于 $I_0 = I_{D1} + I_{D2}$ ， I_{D1} 相对 I_{D2} 要增加。 I_{D1} 的增加意味着 I_{D4} 和 I_{D5} 也增大。但是，当 V_{GS1} 变的比 V_{GS2} 大时， I_{D2} 应减小。因此要使电路平衡， I_{OUT} 必须为正。输出电流 I_{OUT} 等于差分对管的差值，其最大值为 I_0 。这样就使差分放大器的差分输出信号转换成单端输出信号。反之如果 $V_{GS1} < V_{GS2}$ ， I_{OUT} 将变成负。

假设 M1 和 M2 差分对总工作在饱和状态，则可推导出其大信号特性。描述大信号性能的相应关系如下：

$$V_{ID} = V_{GS1} - V_{GS2} = \left(\frac{2i_{D1}}{\beta}\right)^{\frac{1}{2}} - \left(\frac{2i_{D2}}{\beta}\right)^{\frac{1}{2}} \quad (7-1)$$

$$I_0 = i_{D1} + i_{D2} \quad (7-2)$$

式(7-1)中， V_{ID} 表示差分输入电压。

上面假设了 M1 和 M2 相匹配。将式(7-1)代入(7-2)中得到一个二次方程，可解出 I_{D1} 和 I_{D2} 分别为：

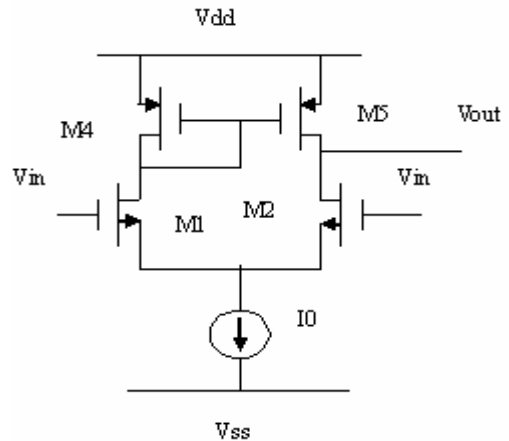


图 7-1 差分输入级

$$i_{D1} = \frac{I_0}{2} + \frac{I_0}{2} \left(\frac{\beta V_{ID}^2}{I_0} - \frac{\beta^2 V_{ID}^4}{4I_0^2} \right)^{\frac{1}{2}} \quad (7-3)$$

$$i_{D2} = \frac{I_0}{2} - \frac{I_0}{2} \left(\frac{\beta V_{ID}^2}{I_0} - \frac{\beta^2 V_{ID}^4}{4I_0^2} \right)^{\frac{1}{2}} \quad (7-4)$$

图 7-2 是归一化的M1 的漏电流与归一化差分输入电压的关系曲线，也即是CMOS差分放大器的大信号转移特性曲线。

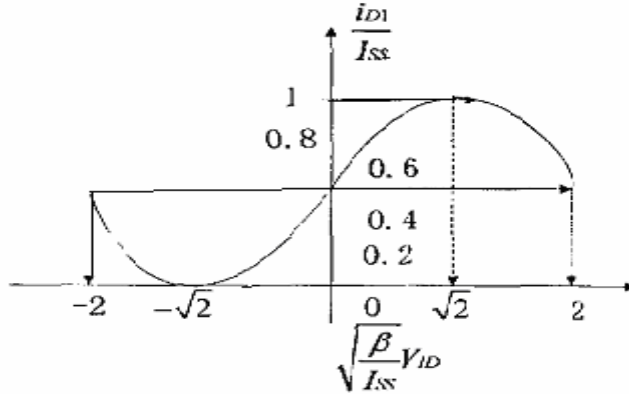


图 7-2 差分放大器大信号转移特性

$$g_m = \sqrt{\frac{I_0 \beta}{4}} = \sqrt{\frac{K_1' I_0 W_1}{4L_1}}$$

该放大器的小信号特性参数等效跨导

从图 7-2 可以看出，在平衡条件下，M2 和M5 的输出电阻 r_{02} 、 r_{05} 分别为：

$$r_{02} = \frac{1}{\lambda_2 I_{D2}} = \frac{2}{\lambda_2 I_0} \quad (7-5)$$

$$r_{05} = \frac{1}{\lambda_5 I_{D5}} = \frac{2}{\lambda_5 I_0} \quad (7-6)$$

于是该放大器的电压增益为：

$$A_V = \frac{V_o}{V_{id}} = g_m (r_{05} \parallel r_{02}) = \sqrt{\frac{\beta}{I_0}} \frac{2}{\lambda_2 + \lambda_5} \quad (7-7)$$

从公式 (7-7) 虽然可以说明在一定工艺条件下晶体管参数对其的影响，但是实际上因为从输出管的漏端看到的输入阻抗最大只能达到 $100 \text{ K}\Omega$ ，如果该电路的输入跨导只有 5mS ，那么这种结构能够提供的最大增益也只有 40dB 。不能满足现在电子产品对电路的需要。其

增益曲线见图 7-3。

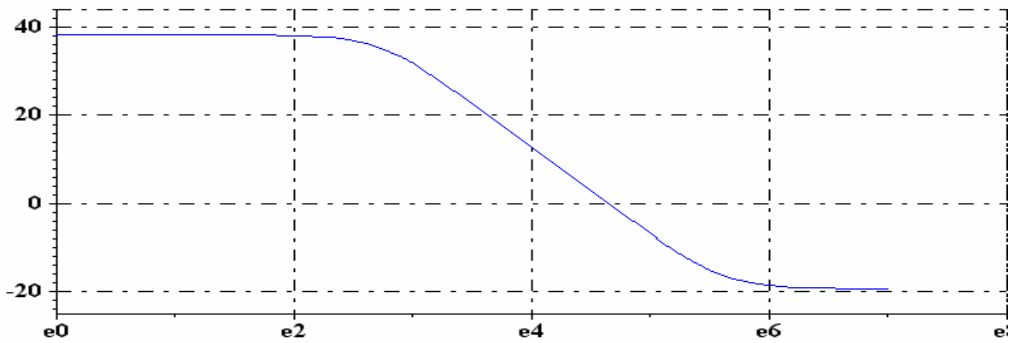


图 7-3 基本的差分的增益特性

7.2 电流镜负载的 CMOS 差分放大器设计

(1) 全差分结构

如图 7-4 所示的运放是一种最简单全差分运放电路，它是由 NMOS 管作为输入管，PMOS 管作为负载管组成。这种运算放大电路的最大优点就是能够提供大的输出摆幅。它的摆幅可以通过式 (7-8)

$$V_{\text{swing}} = V_{\text{DD}} - 2V_{\text{DS}} - V_{\text{th}} \quad (7-8)$$

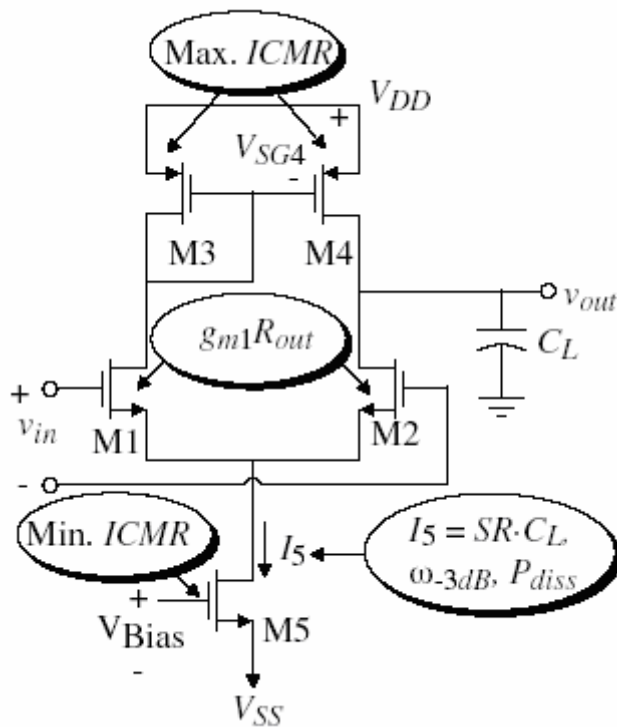


图 7-4 基本全差分运放结构

(2) 性能分析

图 7-5 所示的图 7-4 的小信号图，是在只有假设放大器的两边完全匹配的时候才适合差模分析的。如果这个条件满足，则M1 和M2 两个连在一起的源极被视为交流接地。

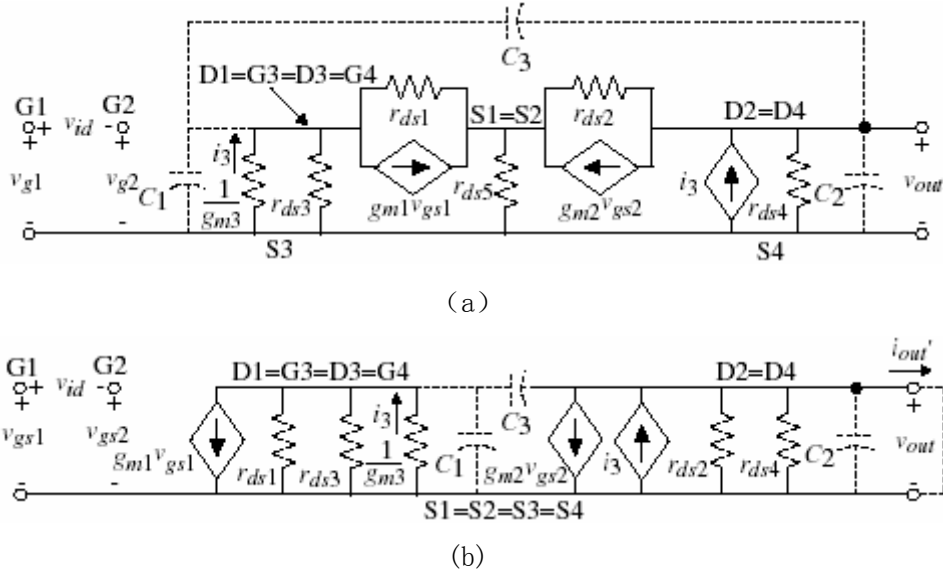


图 7-5 COMS 差分放大器的小信号模型 (a) 精确模型 (b) 简化等效模型

这种结构虽然能提高输出摆幅，但是其开环增益有限，分析其小信号图 7-5，可知其增益有：

$$A_v = g_{m1} R_{out} = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \quad (7-9)$$

用器件的尺寸表示有：

$$A_v \cong \frac{v_{out}}{v_{id}} = \frac{(K'_1 I_{SS} W_1 / L_1)^{1/2}}{(\lambda_2 + \lambda_4)(I_{SS} / 2)} = \frac{2}{\lambda_2 + \lambda_4} \left(\frac{K'_1 W_1}{I_{SS} L_1} \right)^{1/2} \quad (7-10)$$

我们注意到，像反相器一样，小信号增益取决于 $I_{SS}^{1/2}$ 的倒数，事实上，这个关系直到 I_{SS} 接近阈值电压时一直成立。

例：在上面电路中， $I_{bias} = 200 \mu A$ ，晶体管 $W/L = 100 \mu m / 1.6 \mu m$ 。假设 $unCox = 92 \mu A/V^2$ ， $V_{tn} = 0.8 V$ ， $r_{ds} = [8000 L(\mu m)] / [I_D(mA)]$ ，求输出阻抗 r_{out} 及从差动输入到输出 V_{out} 的增益？

解：要求偏置电流，我们假设 I_{bias} 在差动电路两边平分，得到

$$I_{D1} = I_{D2} = I_{D3} = I_{D4} = 100 \mu A$$

因此，输入晶体管的跨导等于

$$g_{m1}=g_{m2}=[2\mu_n C_{ox}(W/L)ID1/2]^{1/2}=1.07\text{mA/V}$$

同时

$$R_{ds2}=R_{ds4}=8000*1.6/0.1=128\text{k}\Omega$$

$$\frac{v_{out}}{v_{in}}=\frac{-g_{m1}}{g_{ds2}+g_{ds4}}=68.5\text{V/V}$$

有

给定负载电容时的频率响应 $\omega_{-3\text{dB}}$ 由下式给出：

$$\omega_{-3\text{dB}}=\frac{1}{R_{out}C_L} \quad (7-11)$$

它的共模范围我们可以通过公式 (7-12) 与 (7-13) 得出

$$VIC(\text{最大})=VDD-VSG3+VTN1 \quad (7-12)$$

$$VIC(\text{最小})=VSS+VGS1+VDS5 \text{ (饱和)} \quad (7-13)$$

我们可以根据需要，通过上面两个公式，来设计相应的参数，使电路满足共模指标。

它的摆率可以通过公式 (7-13) 得出：

$$SR=I5/CL \quad (7-14)$$

从这个公式可以看出怎样通过电流来控制电压转换率。

而整个电路的功率可以通过公式 (7-14) 得出：

$$P_{diss}=(VDD+|VSS|)I5=(VDD+|VSS|)(I3+I4) \quad (7-15)$$

(3) 设计流程

表 7-1 电流镜负载差分放大器的设计流程

这个设计流程假设小信号差模电压增益 A_v 、 $\omega_{-3\text{dB}}$ 频率 $\omega_{-3\text{dB}}$ ，最大、最小共模输入电压 $[VIC(\text{最大})、VIC(\text{最小})]$ ，摆率 SR 和功耗 P_{diss} 为已知。

- (1) 在已知 P_{diss} 或 CL 的前提下选择 $I5$ 来满足摆率。
- (2) 检查 R_{out} 是否满足频率响应，如不满足，改变 $I5$ 或是修改电路（选择不同的拓扑结构）
- (3) 设计 $W3/L3$ ($W4/L4$) 来满足 $ICMR$ 的上限
- (4) 设计 $W1/L1$ ($W2/L2$) 来满足小信号增益 A_v
- (5) 设计 $W5/L5$ 来满足 $ICMR$ 的下限
- (6) 重复必要的步骤

7.3 设计实例和 HSPICE 仿真

设计电流镜负载差分放大器的电流和宽长比以满足下列指标： $V_{DD} = -V_{SS} = 2.5V$ ， $SR > 10V/\mu s$ ($CL = 5pF$)， $f_{-3dB} \geq 100kHz$ ($CL = 5pF$)，小信号差模电压增益为 $100V/V$ ， $-1.5V < ICMR < 2V$ ， $P_{diss} < 1mW$ 。可用模型参数： $K'_N = 110\mu A/V^2$ ， $K'_P = 50\mu A/V^2$ ， $V_{TN} = 0.7V$ ， $V_{TP} = -0.7V$ ， $\lambda_N = 0.04V^{-1}$ 和 $\lambda_P = 0.05V^{-1}$ 。

(1) 设计过程

①为了满足摆率， $I_5 > 50\mu A$ 。对于最大的 P_{diss} ， $I_5 < 200\mu A$ 。

② $100kHz$ 的 f_{-3dB} 意味着 $R_{out} < 318k\Omega$ 。 R_{out} 可以表示为：

$$R_{out} = \frac{2}{(\lambda_N + \lambda_P)I_5} \leq 318k\Omega$$

由此得出 $I_5 > 70\mu A$ ，因此，我们选择 $I_5 = 100\mu A$ 。

③最大输入共模电压为：

$$V_{SG3} = V_{DD} - V_{IC}(\text{最大}) + V_{TN1} = 2.5 - 2 + 0.7 = 1.2V$$

因此，我们可写出：

$$V_{SG3} = 1.2V = \sqrt{\frac{2 \times 50\mu A}{50\mu A/V^2 (W3/L3)}} + 0.7$$

$$\therefore \frac{W3}{L3} = \frac{W4}{L4} = \frac{2}{(0.5)^2} = 8$$

④由小信号增益指标得出：

$$100 = g_{m1} R_{out} = \frac{g_{m1}}{g_{ds2} + g_{ds4}} = \frac{\sqrt{2 \times 110\mu A/V^2 (W1/L1)}}{(0.04 + 0.05)\sqrt{50\mu A}} = 23.31 \sqrt{\frac{W1}{L1}} \rightarrow \frac{W1}{L1} = \frac{W2}{L2} = 18.4$$

⑤由最小输入共模电压得出：

$$V_{IC}(\min) = V_{SS} + V_{DS5}(sat) + V_{GS1} \rightarrow -1.5 = -2.5 + V_{DS5}(sat) + \sqrt{\frac{2 \times 50 \mu A}{110 \mu A / V^2 (18.4)}} + 0.7$$

$$V_{DS5}(sat) = 0.3 - 0.222 = 0.0777 \Rightarrow \frac{W_5}{L_5} = \frac{2I_{SS}}{K_N' V_{DS5}(sat)^2} = 300$$

我们应该稍微增加一点W1/L1 来减少 V_{GS1} ，得到一个更小的W5/L5。因此，选择W1/L1 (W2/L2) =40，使得W5/L5=82，小信号增益将增加到 147.4V/V，这样问题得到解决。

(2) 网表

EX 7.1 a MOS Differential Amp

.option post=2 numdgt=7 tnom=27

m1 3 1 6 6 nch l= 1u w=18.4u

m2 4 2 6 6 nch l= 1u w=18.4u

m3 3 3 5 5 pch l= 1u w=8u

m4 4 3 5 5 pch l= 1u w=8u

m5 6 7 8 8 nch l= 1u w=300u

m6 7 7 8 8 nch l= 1u w=300u

ibias 5 7 dc 100u

*rset 5 7 67k

c1 4 0 5pf

vdd 5 0 2.5

vss 8 0 -2.5

vil 1 0 dc -1.5 ac 1

vi2 2 0 dc -1.5

*vbias 7 0 dc -1.722

.op

*.tran 1ms 30ms

.ac DEC 10 1 10MEG

.print vdb(4)

.MODEL nch NMOS VTO=0.7 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7

.MODEL pch PMOS VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8

.END

(3) 仿真结果:

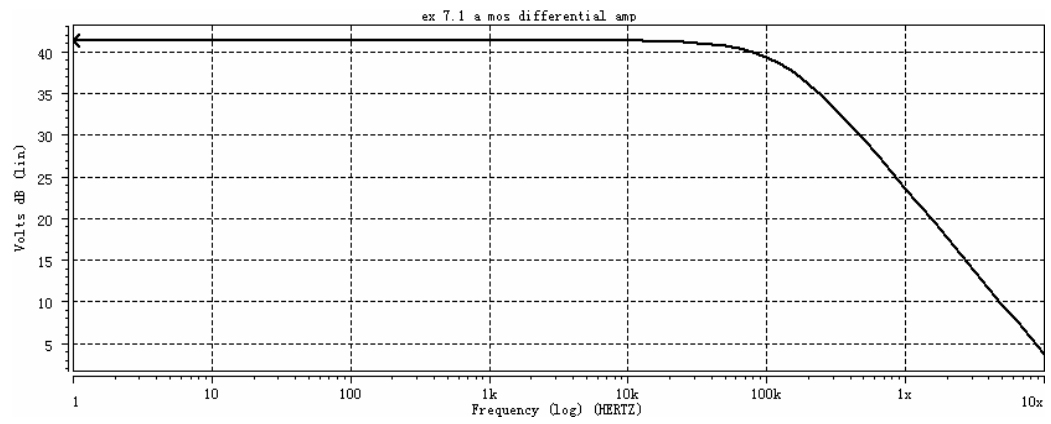


图 7-6 电流镜负载差分放大器的电压增益曲线

第二部分 电路的频率响应和稳定性

第 8 章 电路零极点分析方法

8.1 单极点传输函数——RC 低通电路

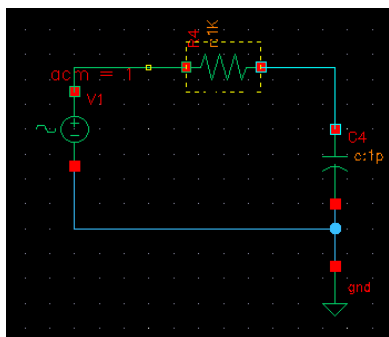


图 8-1 一阶 RC 积分电路

首先看一个最简单的单极点系统——RC低通电路，其中阻值为 1k，电容为 1p，传输函数为：

$$H(s) = \frac{1}{1 + sRC}$$

则预计极点 $p_0 = 1 / (2\pi RC) = 1.592e8$ Hz，仿真得到结果与此相同。

而从输出点的频率响应图中可以得到以下几个结论：

- 1) -3dB带宽点（截止频率）就是传输函数极点，此极点对应相位约为 -45° 。
- 2) 相位响应从 0° 移向高频时的 90° ，即单极点产生 $+90^\circ$ 相移。
- 3) 在高于极点频率时，幅度响应呈现-20dB/十倍频程的特性。

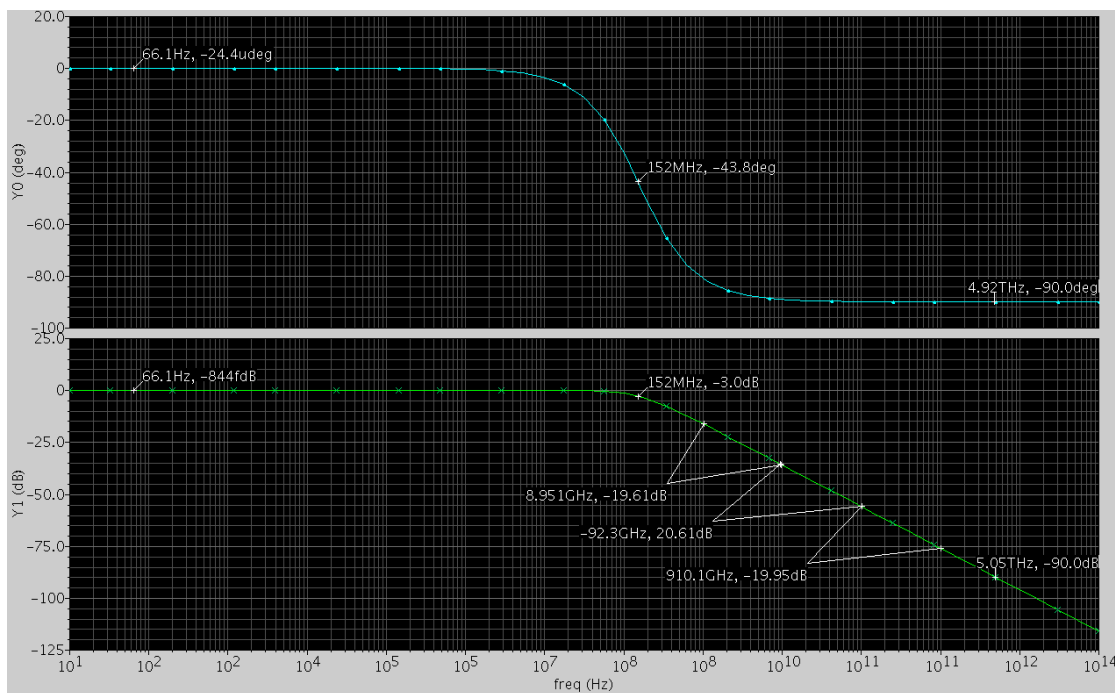


图 8-2 一阶 RC 电路极点与频率响应 (R=1k C=1p)

8.2 单极点单零点系统——CR 高通电路

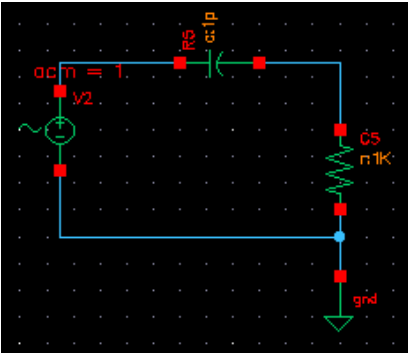


图 8-3 一阶 CR 电路

简单的一阶CR电路，阻值/容值不变，传输函数为

$$H(s) = \frac{sRC}{1 + sRC}$$

预计系统存在单极点 $p_0 = 1/2\pi RC$ ，单零点 $z_0 = 0$ ，仿真得到单极点 $1.592e8$ Hz，单零点 $8.835e-6$ Hz，极点位置同RC电路，零点位置可以理解为一个无限趋近于零的值。

从频率响应曲线中同样有以下结论：

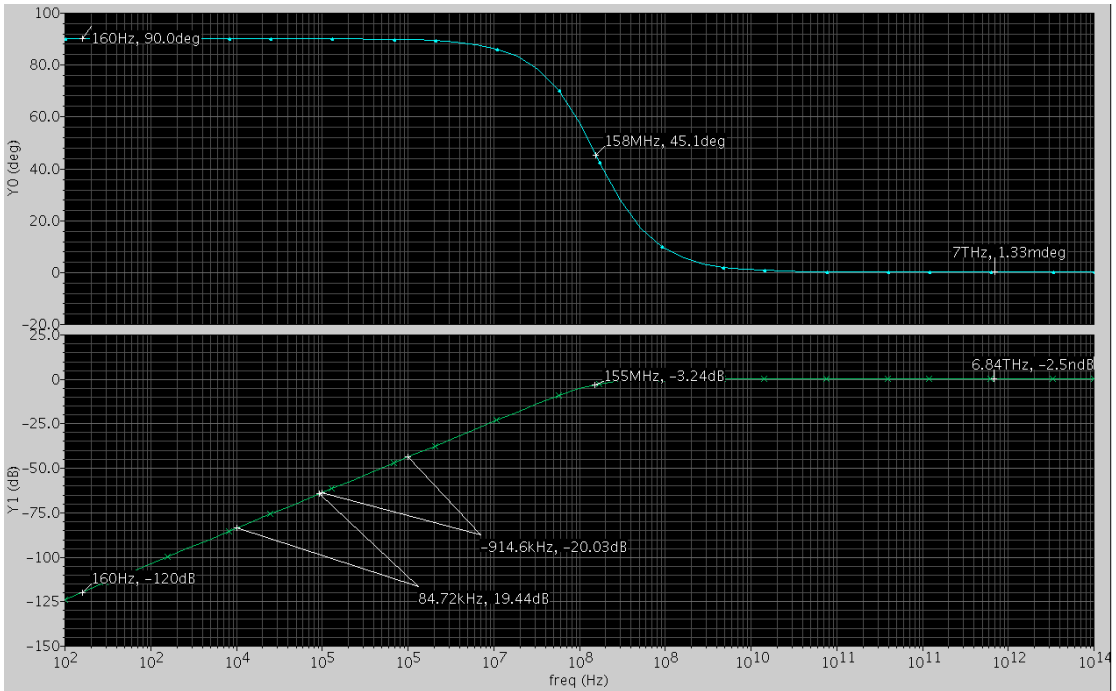


图 8-4 一阶 CR 电路幅频、相频响应 (C=1p R=1k)

1) 频率为 0Hz (零点) 时幅度为 0 (换算为dB时为负无穷大，故零点只能用一个 ϵ 小数表示)，-3dB带宽 (下载频) 即为极点所在，对应相位 45° 。

2) 相位响应从 90° 移向高频时的 0° ，即单极点单零系统产生 -90° 相移。(可以这样理解，零点使系统已经从极低频的 180° 相移并稳定到 90° ，然后单极点最终产生 -90° 相移，使相位最终稳定在 0°)

3) 零点频率之上，极点频率之下，幅度响应为 $+20\text{dB}/\text{十倍频}$ ，极点频率之上为 0dB 。结合单极点系统 $-20\text{dB}/\text{十倍频}$ 的幅度响应特性可知，零点产生 $+20\text{dB}/\text{十倍频}$ 的特性，并且极零点对幅度响应的影响可以叠加。

(证明:

$$|A_v| = 20dB * \lg\left(\frac{sRC}{1 + sRC}\right)$$

极低频时，极点不起作用，即 $1 \gg sRC$

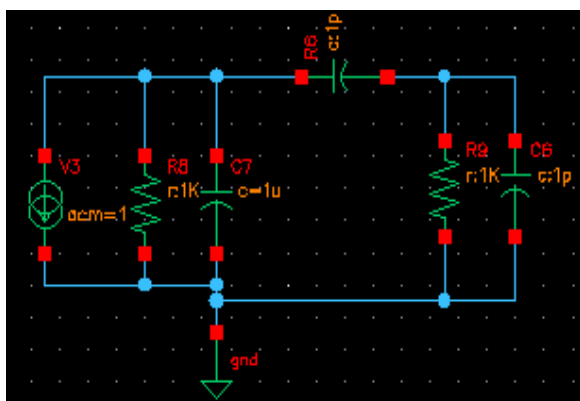
$$\text{从而 } |A_v| = 20dB * \lg(sRC) - 20dB * \lg(1 + sRC) \approx 20dB * \lg(sRC)$$

于是 $|A_v| = 20dB * \lg(s) + C$ (即低频时为+20dB/十倍频)

高频时， $sRC \gg 1$ ，从而 $\frac{sRC}{1 + sRC} \approx 1$ ，于是 $|A_v| = 0$ 。

8.3 两阶 RC 系统

以上看到的一阶RC/CR电路均为最简单的非线性系统。R和C的任意组合将可能产生极为复杂的系统，分析其传输函数将是一个求解高阶线性方程组的过程，使得精确的手算分析基本不可能。但是对于实际应用的单级或多级放大器来说，其RC拓扑结构有其特殊性，一般都是 π 形电容结构，如下图：



这相当于一个两级放大器的电容电阻负载图。其中两纵向电容为两级放大器的容性负载，横向电容为包括 C_{gd} 结电容和补偿电容在内的密勒电容。而且一般来说横向电容的值远大于两纵向电容。这将可能使两个极点的位置相隔较远，从而可能可以采用某种近似来估算。因此研究这样一个系统有实际意义。(注意一个单纯的这样的网络只是一个微分器高通网络，

图 8-5 π 形 RC 网络

适合放大器的两级 π 模型还应该加上一个压控电流源。

首先考察没有横向电容，仅有两个纵向电容的情况。原理图如下：

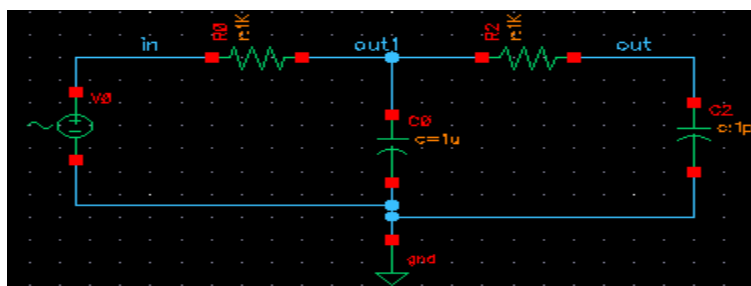


图 8-6 两阶 RC 网络

这个原理图同上述 π 网络稍有不同。注意到如果 R_2 不是横向连接的话系统将为单极点系统（两个 C 并联为一个电容）。为了使实验结果更加清晰，对这两个电容做了量级上的处理，即两纵向电容值分别为 1μ 和 $1p$ ，电阻值均为 $1k$ 。这样做的理由是使两个极点分离得比较远。仿真得到系统包含两个极点 $1.592e2\text{ Hz}$ 以及 $1.592e8\text{ Hz}$ ，正好分别是 $(2\pi R_1 C_1)^{-1}$ 和 $(2\pi R_2 C_2)^{-1}$ 。对于这个系统尚可用手算精确求得极点所在。运用 KVL 和 KCL，最后求解极点方程：

$$s^2 + s\left(\frac{C_1 + C_2}{R_2 C_1 C_2} + \frac{1}{R_1 C_1}\right) + \frac{1}{R_1 C_1 R_2 C_2} = 0$$

在 $C_1 \gg C_2$ 的假设下，这个方程的解可以近似得到为 $1/R_1 C_1$ 和 $1/R_2 C_2$ ，与仿真结果相同。但是应该看到，在两级时间常数相近的情况下，无法运用以上近似。该传输函数的频率响应图如下：

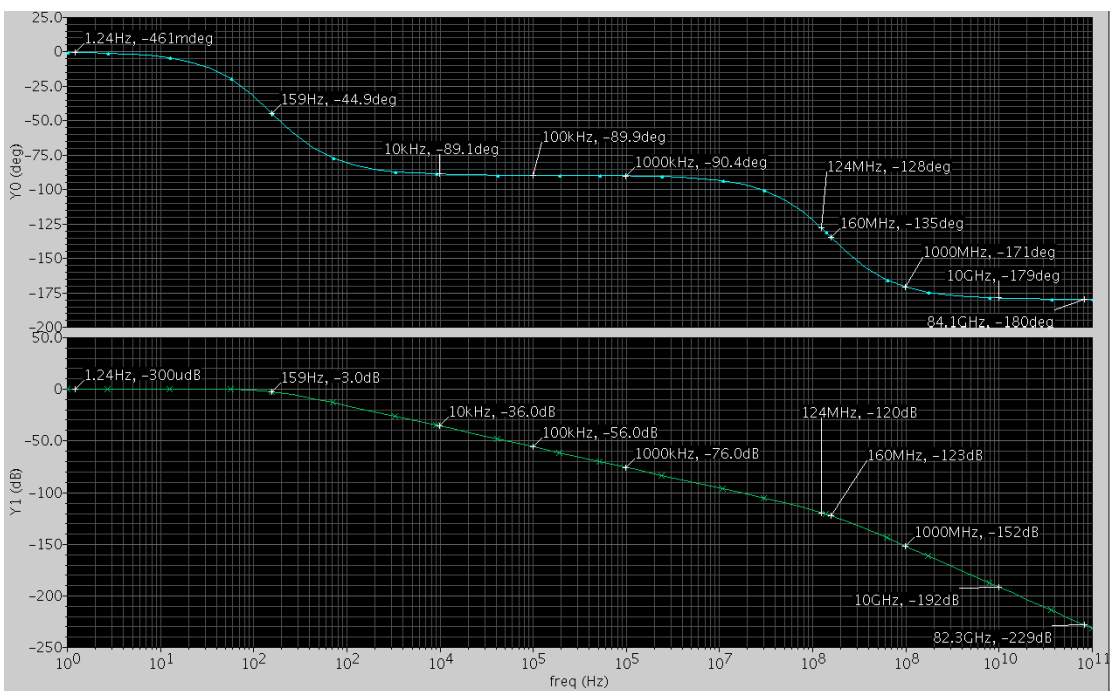


图 8-7 两阶 RC 系统幅频、相频响应图

从上图中可以得到以下结论：

1) 低频时幅度为 0，相位也为 0° ；-3dB 带宽为 159Hz，即为第一极点所在（称为主极点），主极点对应相位为 -45° ；主极点之后的一段幅度响应呈现 -20dB/十倍频特性。这些结论同前面得到的结论类似。

2) 由于经过设计，使两个极点分离较远，因此在频率 f 满足 $p_0 \ll f \ll p_1$ 时，相位响应为 -90° 的平台，这是由于主极点的相位移动作用产生。

3) 幅度响应曲线存在明显的拐点。第二极点处(次极点)对应相位为 -135° ，即在 -90° 平台的基础上再次移动 -45° ，在幅度响应对应次极点处向上移动 3dB，可以看到近似为幅度响应曲线的拐点所在。该拐点对应的相位点无明显特征。

4) 次极点之后的幅度响应呈现 $-40\text{dB}/\text{十倍频}$ 的特征，可以证明为两个极点对幅度响应的效果的叠加。对相位响应，在经过一定的相移之后相位响应稳定于 -180° 。可以预期每个极点将使相位响应最终相移 -90° 。

根据上述得到的幅频、相频响应曲线可以进行一些推测和思考。

1) 由于极点对幅度响应的影响表现为 $-20\text{dB}/\text{dec}$ ，因此对一个实际的放大器来说，如果知道了低频增益 A_v 和主极点，如果在主极点和第二极点之间不存在其他极零点的影响(关键是主极点和次极点之间不存在一个正零点)，那么知道了 A_v 和主极点，就可以对放大器的单位增益带宽做一个预期，如采用 $-20\text{dB}/\text{dec}$ 或 $-6\text{dB}/\text{octave}$ 估算。但从根本上这样估算的理由是放大器的带宽增益积是一个常数。

2) 值得注意的是放大器的单位增益带宽点不是也不应该是次极点，与相位的对应(关系到相位裕度)也没有直接的关系。相关实验将在后面说明。

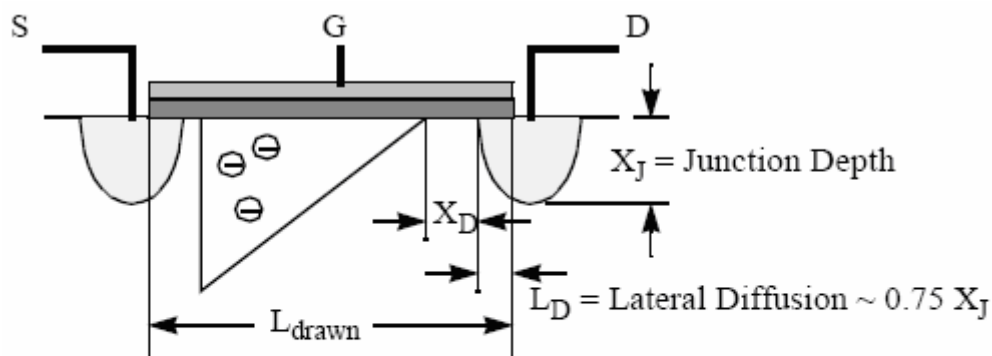
3) 回想相位裕度的定义是放大器在单位增益带宽处对应的相位值同 -180° (-180° 还是 0° 需要看低频相位)的差。因此，如果放大器的单位增益带宽恰好就是次极点的所在，那么相位裕度为 45° ，正好够了闭环稳定性的下限。考虑到实际中 45° 的取值是绝对不够的，应该提供更大的相位裕度如 65° ，则单位增益带宽点应该在次极点之内。——这也是单位增益带宽不应该是次极点的理由。同时可以推论，次极点实际决定了放大器的最大带宽。因此，如果AC仿真的带宽范围是从低频到单位增益带宽处，应该看到 $-20\text{dB}/\text{dec}$ 才是理想情况(实际中可能包含极零点对，这样的响应很难得到)。

4) 进一步推论：由于单极点系统相位最终将停留在 90° ，故单极点系统总是闭环稳定的，即相位裕度至少为 90° 。

第 9 章 基本微电子电路频率响应分析

9.1 考虑电容的 MOS 管小信号模型

9.1.1 MOS 管模型



$$L = L_{\text{drawn}} - 2 \cdot L_D$$

$$L_{\text{EFF}} = L - X_D$$

$$X_D = f(V_{DS})$$

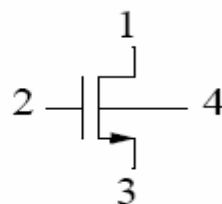
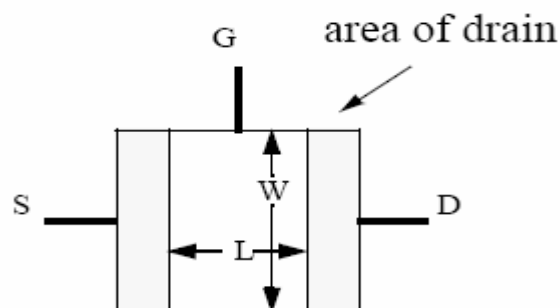
图 考虑沟道长度调制效应的 MOS 管

Spice Transistor Model :

M1 1 2 3 4 nch L=1 μ W=10 μ

AD=() AS=() PD=() PS=() NRD=()

parastic resistors



9.1.2 带电容的小信号模型

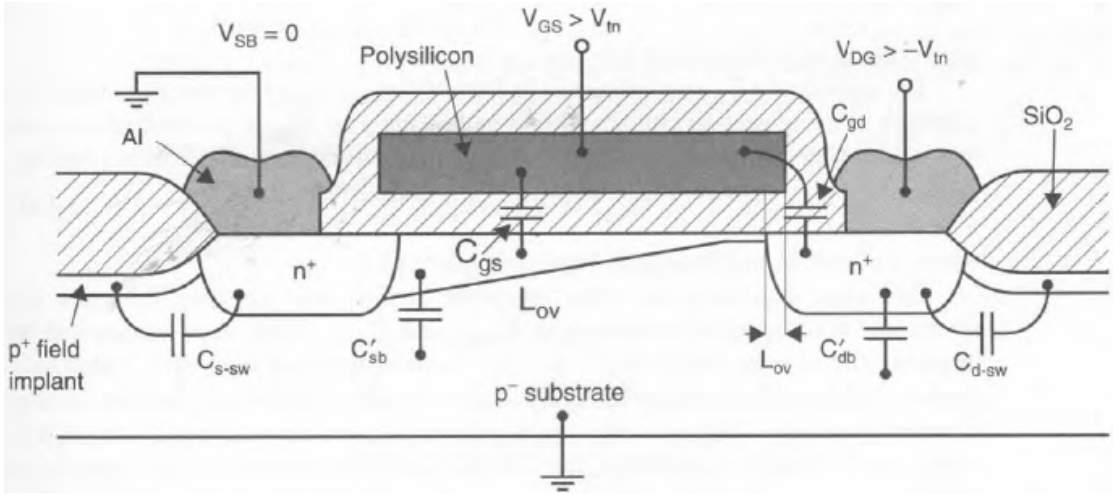


图 NMOS 晶体管的横截面图—显示小信号电容

上图是MOS晶体管的一个横截面，其中在合适的位置显示了寄生电容。图中最大的电容为 C_{gs} ，这个电容最初是由于 V_{GS} 改变引起沟道电荷的变化而引起的。根据资料显示， C_{gs} 可近似表示为：

$$C_{gs} \approx \frac{2}{3} WLC_{ox}$$

当精度非常重要时，上式应加上另一项，考虑栅极和源极结之间的重叠部分，这应该包括边缘电容（边缘电容是由边界效应引起的）。这个附加的部分可表示为

$$C_{ov} \approx WL_{ov}C_{ox}$$

其中， L_{ov} 是重叠区的距离，一般由经验中取得。因此，当需要更高的精确度时，

$$C_{gs} = WC_{ox} \left(\frac{2}{3}L + L_{ov} \right)$$

上图中第二大的电容是 C_{sb}' ，它位于源极和衬底之间。这个电容是由反向偏置源极结的耗尽电容引起的，它包括沟道—主体电容（假设晶体管导通）。它的值由下式表示：

$$C_{sb}' = (A_s + A_{ch})C_{js}$$

其中， A_s 是源极结的面积， A_{ch} 是沟道的面积（即 WL ）， C_{js} 是源极结的耗尽电容，表示为

$$C_{js} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{SB}}{\Phi_0}}}$$

注意，有效源极的总面积包括结的原始面积（不包括沟道）加上沟道的有效面积。漏极的耗尽电容极小，因为它不包括沟道面积。这里有

$$C'_{db} = A_d C_{jd}$$

其中

$$C_{jd} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{DB}}{\Phi_0}}}$$

A_d 是源极结的面积。

电容 C_{gd} ，有时称为米勒电容，它在晶体管用于大电压增益电路中时非常重要。 C_{gd} 最初是由于栅极和漏极和边缘电容相重叠引起的，它的值见下式：

$$C_{gd} \approx WL_{ov} C_{ox}$$

其中， L_{ov} 也是由经验取得。

漏极和源极的侧壁电容， C_{s-sw} 和 C_{d-sw} 在集成电路中通常也很重要。这些电容可以很大，因为在被称为场植入管的较厚的场氧化物的下面有一些杂质较多的 p^+ 区。这些区域存在的主要原因是为了保证晶体管中没有漏电流。因为侧壁电容掺杂了较多杂质而且位于多杂质的源极和漏极结旁边，所以它们可以形成较大的附加电容，在决定 C_{sb} 和 C_{db} 时必须加以考虑。在元件尺寸不断缩小的现代技术中，侧壁电容便显得特别重要。对于源极，侧壁电容可由下式求出：

$$C_{s-sw} = P_s C_{j-sw}$$

其中， P_s 为源极结的周长，不包括与沟道相邻的一边，且

$$C_{j-sw} = \frac{C_{j-sw0}}{\sqrt{1 + \frac{V_{SB}}{\Phi_0}}}$$

应该注意的是，0V偏置电压下每单位长度的侧壁电容 C_{j-sw0} 由于场植入管杂质量大可以非常大。

对于漏极的侧壁电容 C_{d-sw} ，情况类似

$$C_{d-sw} = P_d C_{j-sw}$$

其中， P_d 为不包括与栅极相邻部分边的周长。

最后，源体—主体电容 C_{sb} 由下式表示：

$$C_{sb} = C'_{sb} + C_{s-sw}$$

漏体—主体电容 C_{db} 由下式表示

$$C_{db} = C'_{db} + C_{d-sw}$$

例 一个NMOS管模型化后具有以下参数： $C_j = 2.4 \times 10^{-4} \text{ pF}/(\text{um})^2$ ，

$$C_{j-sw} = 2.0 \times 10^{-4} \text{ pF}/\text{um} \quad , \quad C_{ox} = 1.9 \times 10^{-3} \text{ pF}/(\text{um})^2 \quad ,$$

$C_{gs-0V} = C_{gd-0V} = 2.0 \times 10^{-4} \text{ pF}/\text{um}$ 。晶体管 $W=100\text{um}$, $L=2\text{um}$, 求电容 C_{gs} 、 C_{gd} 、 C_{db} 和 C_{sb} 。

假设源极和漏极结延伸出栅极 4um ，使得源极和漏极面积为 $A_s = A_d = 400(\text{um})^2$ ，两者的周长都为 $P_s = P_d = 108\text{um}$ 。

解：各个电容计算如下：

$$C_{gs} = \left(\frac{2}{3}\right) W L C_{ox} + C_{gs-0V} \times W = 0.27 \text{ pF}$$

$$C_{gd} = C_{gd-0V} \times W = 0.02 \text{ pF}$$

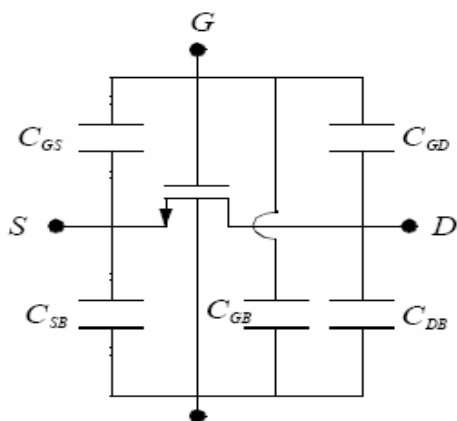
$$C_{sb} = C_j (A_s + WL) + (C_{j-sw} \times P_s) = 0.17 \text{ pF}$$

$$C_{db} = (C_j A_d) + (C_{j-sw} \times P_d) = 0.12 \text{ pF}$$

注意：源极—主体和漏极—主体电容要比栅极—源极电容更有意义。所以，对于高速

电路，保持漏极和源极结的面积和周长尽可能小（可以通过晶体管之间共用结做到）是非常重要的。

9. 1. 3 SPICE 小信号模型参数



$$C_{ox} = \frac{\epsilon_{SiO_2}}{t_{ox}} = 0.1 \frac{fF}{\mu^2} = 10^{-4} \frac{F}{m^2}$$

$$CGSO = 5 \times 10^{-10} \frac{F}{m}$$

$$CGDO = 5 \times 10^{-10} \frac{F}{m}$$

$$CGB0 = 4 \times 10^{-10} \frac{F}{m}$$

$$CJ = 10^{-4} \frac{F}{m^2}$$

$$PB = \phi_B = 0.8V$$

饱和区和线性区电容计算：

Sat :

$$C_{GS} = \frac{2}{3} \cdot C_{ox} \cdot L \cdot W + CGSO \cdot W$$

$$C_{GD} = CGDO \cdot W$$

$$C_{SB} = \frac{CJ \cdot AS}{\left(1 + \frac{V_{BS}}{PB}\right)^{MJ}} + \frac{CJSW \cdot PS}{\left(1 + \frac{V_{BS}}{PB}\right)^{MJSW}}$$

$$C_{GB} = CGB0 \cdot L$$

Linear :

$$C_{GS} = \frac{C_{ox} \cdot L \cdot W}{2} + CGSO \cdot W$$

$$C_{GD} = \frac{C_{ox} \cdot L \cdot W}{2} + CGDO \cdot W$$

(similar for C_{DB})

$$MJ = \frac{1}{2} \quad (\text{default})$$

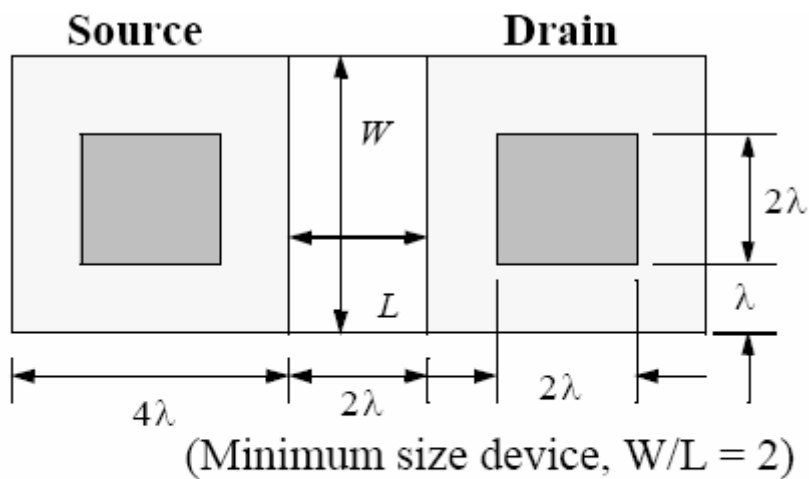
$$MJSW = 3 \quad (\text{default})$$

PS = Perimeter of Source

AS = Area of Source

$CGB0 \equiv$ Capacitance of gate to bulk overlap

版图如下：



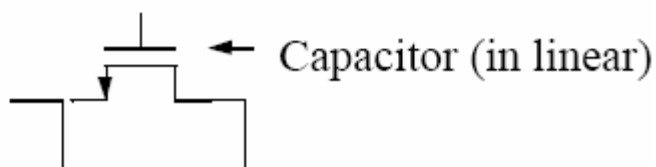
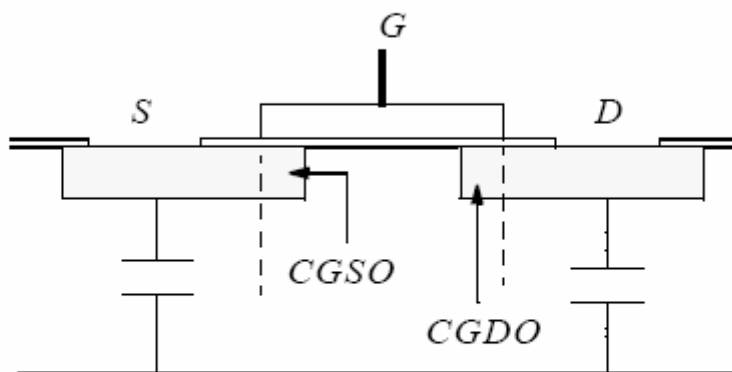
$$\text{Area of Source} = AS = 4\lambda \cdot W$$

$$\text{Area of Drain} = AD = AS$$

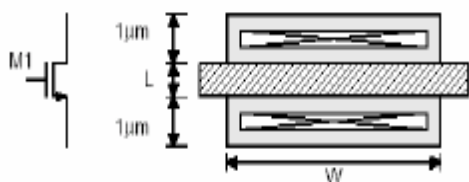
$$\text{Perimeter of Source} = PS = 8\lambda + W$$

SPICE模型：

```
M1 1 2 3 4 NMOS L=2u W=2u
+ AS=4p AD=4p PS=6u PD=6u
```



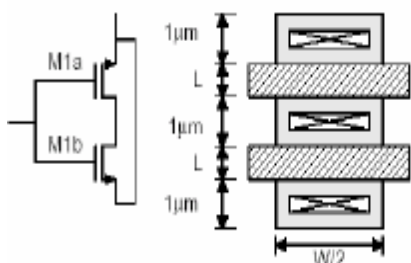
Individual devices:



$$\begin{aligned} AS &= AD = 1\mu\text{m} * W \\ PS &= PD = 2\mu\text{m} + W \\ \text{e.g. NMOS, } W &= 20\mu\text{m}, V_{sb} = 0V \\ C_{sb} &= C_{db} = 28\text{fF} \end{aligned}$$

HSPICE geo = 0 (default)

Wide devices consisting of multiple individual ones wired in parallel:



$$\begin{aligned} AS &= 1\mu\text{m} * W \\ PS &= 4\mu\text{m} + W \\ AD &= 1\mu\text{m} * W/2 \\ PD &= 2\mu\text{m} \\ \text{e.g. NMOS, } W &= 20\mu\text{m}, V_{sb} = 0V \\ C_{sb} &= 29\text{fF} \\ C_{db} &= 10\text{fF} \end{aligned}$$

HSPICE geo = 3

电路频率特性分析用LEVEL3SPICE模型参数:

```
.MODEL nmos NMOS LEVEL=3, TOX=1.8E-8, LD=0.08U,
+U0=500, VMAX=2.0E5, PHI=0.6, GAMMA=0.5,
+NSUB=2.5E16, VTO=0.7, NFS=8.2E11, CGSO=2.5E-10,
+CGBO=2.5E-10, CJSW=2.5E-10, CGDO=2.5E-10, MJ=0.5,
+CJ=2.5E-4, PB=0.9, IS=1.0E-16, JS=1.0E-4
+KF=600E-27 AF=0.8 NLEV=2 RS=600
+RD=600 ETA=0.05 KAPPA=0.007 THETA=0.06
+ACM=2 XJ=2.7E-7 DELTA=0.7
```

```
.MODEL pmos PMOS LEVEL=3, TOX=1.8E-8, LD=0.08U,
+U0=165, VMAX=2.7E5, PHI=0.80, GAMMA=0.75,
+NSUB=5.5E16, VTO=-0.7, NFS=7.6E11, CGSO=2.5E-10,
+CGBO=2.75E-10, CJSW=3.4E-10, CGDO=2.5E-10, MJ=0.5,
+CJ=3.7E-4, PB=0.8, IS=1.0E-16, JS=1.0E-4
+KF=400E-27 AF=1.0 NLEV=2 RS=1200
+RD=1200 ETA=0.12 KAPPA=1.5 THETA=0.135
+ACM=2 XJ=2.3E-7 DELTA=0.3
```

9.2 共源放大器

为了进行高频分析，图 1 中共源放大器的小信号等效电路如图 2 所示。这里， C_{gs1} 是 M1 的栅极—源极电容。注意，我们已经假设输入源极的输出电容可以忽略。电容 C2 由 M1 和 M2 的漏极—衬底电容与负载电容 C_L 的并联组成。 C_L 一般占主导地位。

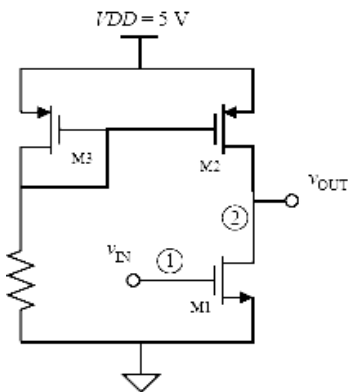


图 9-1 电流源负载共源放大器

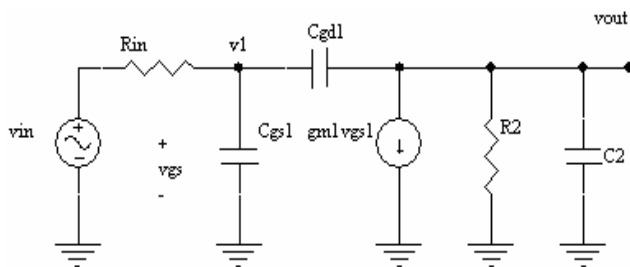


图 9-2 共源放大器高频分析的小信号模型

在高频下分析电路可使用节点分析。在节点 v_1 ，我们把所有离开节点的电流相加并设置总和为零，得到

$$v_1 \left(G_{in} + sC_{gs1} + sC_{gd1} \right) - v_{in} G_{in} - v_{out} sC_{gd1} = 0 \quad (9-1)$$

其中： $G_{in} = 1/R_{in}$ 。而且，在输出节点有

$$v_{out} \left(G_2 + sC_{gd1} + sC_2 \right) - v_1 sC_{gd1} + g_{m1} v_1 = 0 \quad (9-2)$$

其中： $v_1 = v_{gs1}$ 。

解式 (9-1) 和式 (9-2) 得

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1} R_2 \left(1 - s \frac{C_{gd1}}{g_{m1}} \right)}{1 + sa + s^2 b} \quad (9-3)$$

其中

$$a = R_{in} \left[C_{gs1} + C_{gd1} (1 + g_{m1} R_2) \right] + R_2 (C_{gd1} + C_2) \quad (9-4)$$

且

$$b = R_{in} R_2 \left(C_{gd1} C_{gs1} + C_{gs1} C_2 + C_{gd1} C_2 \right) \quad (9-5)$$

在增益开始下降但仍然远大于 1 的频率下，分子的一阶项 $-s(C_{gd1}/g_{m1})$ ，

及分母的二阶项 s^2b 可以忽略。对于这种情况有

$$A(s) = \frac{v_{out}}{v_{in}} \approx \frac{-g_{m1}R_2}{1 + s \left\{ R_{in} [C_{gs1} + C_{gd1}(1 + g_{m1}R_2)] + R_2(C_{gd1} + C_2) \right\}} \quad (9-6)$$

低频增益正如期望的为 $-g_{m1}R_2$ 。让 $s = j\omega_{-3dB}$ ，解得

$$|A(j\omega_{-3dB})| = \frac{1}{\sqrt{2}} \quad (9-7)$$

得

$$\omega_{-3dB} \approx \frac{1}{R_{in} [C_{gs1} + C_{gd1}(1 + g_{m1}R_2)] + R_2(C_{gd1} + C_2)} \quad (9-8)$$

有趣的是，-3dB频率下的结果与使用零值时间常数分析技术[Gray, 1993]的结果相同。在这个技术中，通过假设其它所有电容器为零，计算出每个电容器的时间常数，在问题中用电压源代替电容器，再用电压源与从电压源流出的电流的比来计算出那个电容器看到的电阻。电容器看到的时间常数就是电容乘以那个电容看到的电阻。整个电路-3dB的频率为1除以单个电容时间常数的总和。对于共源放大器， C_{gs1} 看到的电阻是输入源极阻抗 R_{in} ， C_{gd1} 看到的电阻为 $R_{in}(1 + g_{m1}R_2) + R_2$ ， C_2 看到的电阻是 R_2 。

除非 $R_{in} \ll R_2$ ，式(8-8)分母的第一项一般起主要作用，有

$$\omega_{-3dB} \approx \frac{1}{R_{in} [C_{gs1} + C_{gd1}(1 + A)]} \quad (9-9)$$

其中： $A = g_{m1}R_2$ 是低频增益的幅值。 $C_{gd1}(1 + A)$ 项通常称为密勒电容，因为它是使用密勒近似[Sedra, 1991]得到的等效电容。因为 C_{gd1} 的大小实际上要乘以1加上放大器的增益，所以 C_{gd1} 必须很小。

在较高频率下，当增益不比1大很多时，第二个极点和零点必须考虑。第二个极点的频率可通过假设极点是真实的并分隔很远，则分母可以表示为

$$D(s) = \left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) \approx 1 + \frac{s}{\omega_{p1}} + \frac{s^2}{\omega_{p1}\omega_{p2}} \quad (9-10)$$

式(9-10)的系数可以与式(8-3)的分母系数等同。分母第二个极点的近似频率的方程可简单给出。

$$\omega_{p2} \approx \frac{g_{m1} C_{gd1}}{C_{gs1} C_{gd1} + C_{gs1} C_2 + C_{gd1} C_2} \quad (9-11)$$

应该提到的是，密勒近似导致了第二个极点的近似频率不同且不正确。

例：在上面电路中，晶体管W/L=100um/1.6um。假设 $\mu_n C_{ox}=90\mu A/V^2$ ， $\mu_p C_{ox}=30\mu A/V^2$ ， $I_{bias}=100\mu A$ ， $r_{ds-n}=[8000L(um)]/[ID(mA)]$ ， $r_{ds-p}=[12000L(um)]/[ID(mA)]$ ， $R_{in}=180k\Omega$ ， $C_L=0.3pF$ ， $C_{gd1}=0.015pF$ ， $C_{db2}=36fF$ ，推算图9-1中共源放大器的一3dB频率？

解：有

$$R_2 = r_{ds1} \parallel r_{ds2} = 77k\Omega \quad (9-12)$$

且

$$C_2 = C_L + C_{db1} + C_{db2} = 0.36pF \quad (9-13)$$

R_{in} 的时间常数，即 $R_{in}[C_{gs1} + C_{gd1}(1+A)]$ ，现在等于0.26um。R2的时间常数，即 $R_2(C_{gd1} + C_2)$ ，等于0.03um。-3dB频率（单位为赫兹）等于

$$f_{-3dB} \approx \left[\frac{1}{2\pi} \right] \left\{ R_{in} [C_{gs1} + C_{gd1}(1 + g_{m1} R_2)] + R_2 (C_{gd1} + C_2) \right\}^{-1} \\ = 550kHz \quad (9-14)$$

共源放大器 HSPICE 频率分析

网表：

```
EX 8.1 Common-Source Amp Frequency Test
.option post=2 numdgt=7 tnom=27
```

```
Vdd 1 0 dc 5
```

```
Ibias 2 0 dc 100u
```

```
M3 2 2 1 1 pmos w=100u l=1.6u
```

```
M2 3 2 1 1 pmos w=100u l=1.6u
```

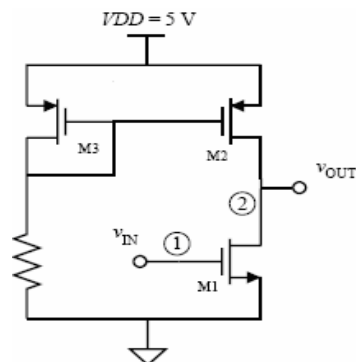
```
M1 3 4 0 0 nmos w=100u l=1.6u
```

```
Rin 5 4 180k
```

```
Vin 5 0 dc 0.849 ac 1
```

```
C1 3 0 0.3p
```

```
.op
```



```

.ac dec 20 1k 100Meg
.print vdb(3)
.MODEL nmos NMOS LEVEL=3,          TOX=1.8E-8,          LD=0.08U,
+U0=500,          VMAX=2.0E5,      PHI=0.6,          GAMMA=0.5,
+NSUB=2.5E16,      VTO=0.7,          NFS=8.2E11,      CGSO=2.5E-10,
+CGB0=2.5E-10,      CJSW=2.5E-10,  CGD0=2.5E-10,      MJ=0.5,
+CJ=2.5E-4,        PB=0.9,      IS=1.0E-16,          JS=1.0E-4
+KF=600E-27      AF=0.8          NLEV=2          RS=600
+RD=600          ETA=0.05      KAPPA=0.007      THETA=0.06
+ACM=2          XJ=2.7E-7      DELTA=0.7
.MODEL pmos PMOS LEVEL=3,          TOX=1.8E-8,          LD=0.08U,
+U0=165,          VMAX=2.7E5,      PHI=0.80,          GAMMA=0.75,
+NSUB=5.5E16,      VTO=-0.7,      NFS=7.6E11,      CGSO=2.5E-10,
+CGB0=2.75E-10,    CJSW=3.4E-10,  CGD0=2.5E-10,      MJ=0.5,
+CJ=3.7E-4,        PB=0.8,      IS=1.0E-16,          JS=1.0E-4
+KF=400E-27      AF=1.0          NLEV=2          RS=1200
+RD=1200          ETA=0.12      KAPPA=1.5      THETA=0.135
+ACM=2          XJ=2.3E-7      DELTA=0.3
.end

```

这个仿真的频率曲线图如下图所示，其中我们看到-3dB频率约发生在 460kHz处。

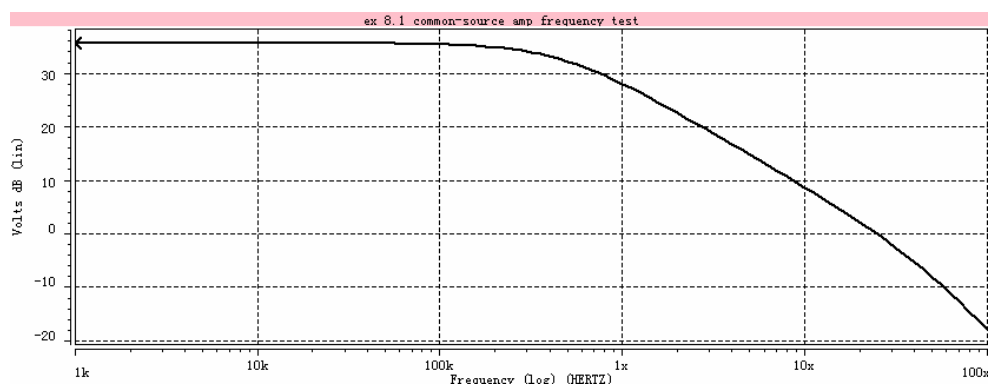


图 9-3 共源放大器的一3dB 频率估计

9.3 源极跟随器放大器

首先要说明的是，在接下来的分析中要包括一些源极跟随器放大器的高频知识。我们看到放大器的这些类型可能有复杂的极点，因此，设计者必须小心没有显示出过大的超调和瞬变的电路。我们还介绍了一个只有实轴极点并因此没有超调和瞬变的补偿电路。

源极跟随器的频率响应可以通过将源极建模为一个诺顿等效电路并添加一个负载电容来求得，如图 9-4 所示。这个电路包括寄生电容时的小信号模型如图 9-5 所示。电容Cs包

括负载电容CL和寄生电容Csb1。类似低频下的做法， r_{ds1} 、 r_{ds2} 和模拟体效应电流源的压控电流源可以用一个电阻来模拟。这个模型使我们分析如图 8-6 所示的简化小信号模型。

其中： $R_{s1} = r_{ds1} \parallel r_{ds2} \parallel (1/g_{s1})$ ，且输入电容为

$$C'_{in} = C_{in} + C_{gd1}。$$

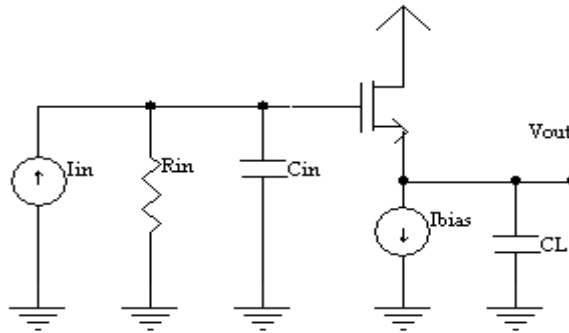


图 9-4 用来分析源极跟随器频率响应的结构

节点分析是可能的，但是对于这个例子非常复杂。这个分析分四个步骤。首先，求从 v_{gs1} 到 v_{out} 的增益。第二步，求M1 的栅极看进去但不考虑 C_{gd1} 的导纳 Y_g 。第三步，求从 i_{in} 到 v_{gs1} 的增益。最后，求得 v_{in} 到 v_{out} 总的增益并得到结果。

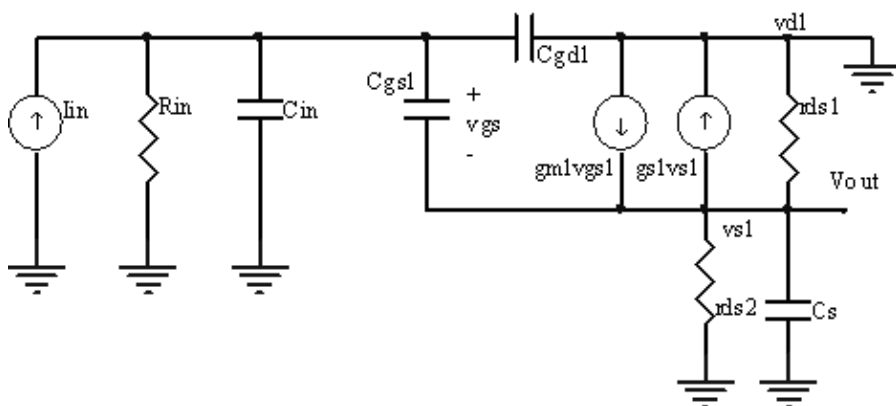


图 9-5 源极跟随器的一个等效小信号模型

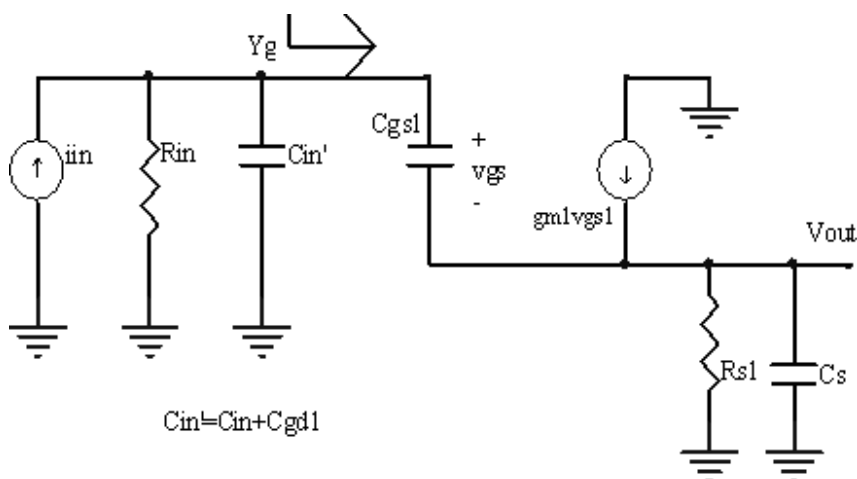


图 9-6 源极跟随器的一个简化等效小信号模型

在节点 v_{out} ，我们让离开节点的电流总和为零，有

$$v_{out}(sC_s + sC_{gs1} + G_{s1}) - v_{g1}sC_{gs1} - g_{m1}(v_{g1} - v_{out}) = 0 \quad (9-15)$$

解得 v_{out}/v_{g1} 有

$$\frac{v_{out}}{v_{g1}} = \frac{sC_{gs1} + g_{m1}}{s(C_{gs1} + C_s) + g_{m1} + G_{s1}} \quad (9-16)$$

下一步是计算M1 栅极看进去的导纳 Y_g ，但是不考虑进入 C_{gd1} 的电流。输入电流为

$$i_{g1} = (v_{g1} - v_{out})sC_{gs1} \quad (9-17)$$

用式(9-16)将式(9-17)中的 v_{out} 消去，解得 $Y_g = i_{g1}/v_{g1}$ 有

$$Y_g = \frac{i_{g1}}{v_{g1}} = \frac{sC_{gs1}(sC_s + G_{s1})}{s(C_{gs1} + C_s) + g_{m1} + G_{s1}} \quad (9-18)$$

我们可以写出输入电流 i_{in} 与栅极电压 v_{g1} 的关系为

$$i_{in} = v_{g1}(sC_{in}' + G_{in} + Y_g) \quad (9-19)$$

将式(9-18)带入式(9-19)中并整理得

$$\frac{v_{g1}}{i_{in}} = \frac{s(C_{gs1} + C_s) + g_{m1} + G_{s1}}{a + sb + s^2c} \quad (9-20)$$

其中

$$\begin{aligned} a &= G_{in}(g_{m1} + G_{s1}) \\ b &= G_{in}(C_{gs1} + C_s) + C_{in}'(g_{m1} + G_{s1}) + C_{gs1}G_{s1} \\ c &= C_{gs1}C_s + C_{in}'(C_{gs1} + C_s) \end{aligned} \quad (9-21)$$

用式(9-16)和式(9-20)有

$$A(s) = \frac{v_{out}}{i_{in}} = \frac{sC_{gs1} + g_{m1}}{a + sb + s^2c} \quad (9-22)$$

这样我们看到传递函数是二次的。具体的说，它有两个极点（分母的根）为实根或共轭复根，电路的阶跃响应将出现超调也可能瞬变。这个潜在问题是使用源极跟随器的弊端。

为了确定传递函数是否会出现瞬变，式(9-22)可以写成下式的形式。

$$A(s) = A(0) \frac{N(s)}{1 + \frac{s}{\omega_0 Q} + \frac{s^2}{\omega_0^2}} \quad (9-23)$$

其中： ω_0 和Q可以通过让式(9-23)的系数等于式(9-22)的系数求出。这里，参数 ω_0 被称为极点频率（pole frequency），Q被称为Q因子[Sedra, 1991]。众所周知，如果 $Q < \sqrt{1/2} \approx 0.707$ ，传递函数的大小有直流最大值且不会出现尖峰（假设零点在非常高的频率上，因此效果可以忽略）。而且，对于 $Q = \sqrt{1/2}$ ，-3dB频率等于 ω_0 。当研究时间域响应时，可求出Q因子的约束条件以保证阶跃输入没有尖峰。具体的说，要想在阶跃输入中没有尖峰，两个极点必须为实数；这与 $Q \leq 0.5$ 的要求是相同的。在 $Q > 0.5$ 的情况下，输出

电压的超调百分比为

$$\text{超调百分比} = 100e^{-\pi/\sqrt{4Q^2-1}} \quad (9-24)$$

对于源极跟随器，让式(9-23)的系数等于式(9-22)的系数解得 ω_0 和Q为

$$\omega_0 = \sqrt{\frac{G_{in}(g_{m1} + G_{s1})}{C_{gs1}C_s + C_{in}'(C_{gs1} + C_s)}} \quad (9-25)$$

$$Q = \frac{\sqrt{G_{in}(g_{m1} + G_{s1})[C_{gs1}C_s + C_{in}'(C_{gs1} + C_s)]}}{G_{in}C_s + C_{in}'(g_{m1} + G_{s1}) + C_{gs1}G_{s1}} \quad (9-26)$$

如果Q大于 0.5，极点将是共轭复根，且电路将出现超调。虽然这个Q方程非常复杂，注意如果 C_s 、 C_{in}' 或两者都变大（即：如果负载、输入电容或者两者都变大），Q变小，且不会出现超调（虽然电流将变慢）。当 C_{in}' 和 G_{s1} 变小（当晶体管的源极与衬底相连， G_{s1} 变小，这可以消除体效应）， G_{in} 变小且 $C_s \approx C_{gs1}$ 时，电路将有一个大的Q（即大的瞬变）。总之，源极跟随器（和射极跟随器）电路在特定条件下会出现大量超调和瞬变。幸运的是，实际微电路的寄生电容和输出阻抗一般对于最坏的条件也只会出现中等的超调。

最后还要注意：传递函数的分子零点位于实轴负方向上，频率为

$$\omega_z = \frac{-g_{m1}}{C_{gs1}} \quad (9-27)$$

这个频率一般远远大于 ω_0 。

例：考虑如图所示的源极跟随器，其中，所有的晶体管 $W/L=100\mu\text{m}/1.6\mu\text{m}$ 。假设

$$\mu_n C_{ox}=90\mu\text{A}/\text{V}^2, \quad \mu_p C_{ox}=30\mu\text{A}/\text{V}^2, \quad I_{bias}=100\mu\text{A}, \quad \gamma_n = 0.5V^{1/2},$$

$r_{ds-n}=[8000L(\mu\text{m})]/[ID(\text{mA})]$ 。这一级的增益是多少？

解： g_{m1} 的值由下式得出

$$g_{m1}=[2\mu_n C_{ox}(W/L)ID_1]^{1/2}=1.06\text{mA}/\text{V}$$

同时

$$R_{ds1}=R_{ds2}=8000*1.6/0.1=128\text{k}\Omega$$

体效应参数方程，即

$$g_{s1} = \frac{\gamma g_m}{2\sqrt{V_{SB} + |2\phi_F|}}$$

为了计算这个参数，我们需要知道源极—主体电压 V_{SB} 。但是，这个电压要依赖应用情况，不能事先准确知道。这里我们假设使用的是 5V 的电源， $V_{SB} \approx 2V$ 。这在一定程度上有些武断，但是这是在没有更多细节的情况下能使用的最好方法。因此有

$$g_{s1} = \frac{0.5g_m}{2\sqrt{2+0.7}} = 0.15g_m = 0.16mA/V$$

所以有

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1}}{g_{ds1} + g_{ds2} + g_{m1} + g_{s1}} = \frac{1.06}{1.06 + 0.16 + 1/128 + 1/128} = 0.86V/V$$

注意：正如前面提到的，这个结果小于 1 这么多主要是因为体效应参数 g_s 。如果没有体效应，增益应约为 0.99V/V。

假设

$$R_{in} = 180k\Omega, C_L = 10pF, C_{gs1} = 0.2pF, C_{gd1} = 15fF, C_{sb1} = 40fF, C_{in} = 30fF$$

求 ω_0 以及图 9-3 所示的源极跟随器的零点频率。

解：从上例， $g_{m1} = 1.06mA/V$ ， $R_{ds1} = R_{ds2} = 128k\Omega$ ， $g_{s1} = 0.16mA/V$ ，这样有

$$C'_{in} = C_{in} + C_{gd1} = 45fF$$

$$G_{s1} = g_{s1} + g_{ds1} + g_{ds2} = 0.176mA/V$$

$$C_s = C_L + C_{sb1} = 10.04pF$$

因此我们可以求出 ω_0 为

$$\begin{aligned} \omega_0 &= \sqrt{\frac{G_{in}(g_{m1} + G_{s1})}{C_{gs1}C_s + C'_{in}(C_{gs1} + C_s)}} \\ &= 5.24 \times 10^7 \text{ rad/s} = 2\pi \times 8.34 \text{ MHz} \end{aligned}$$

$$Q = \frac{\sqrt{G_{in}(g_{m1} + G_{s1})[C_{gs1}C_s + C_{in}'(C_{gs1} + C_s)]}}{G_{in}C_s + C_{in}'(g_{m1} + G_{s1}) + C_{gs1}G_{s1}}$$

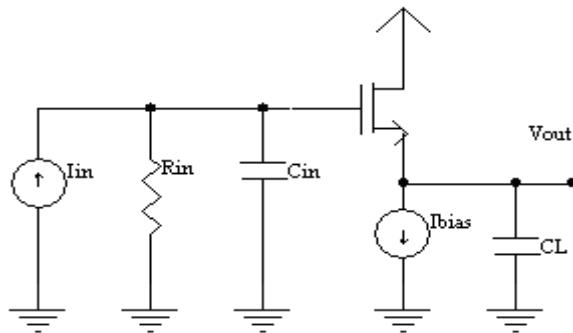
$$= 0.8$$

这导致阶跃输入的超调，表示为

$$\text{超调百分比} = 100e^{-\pi/\sqrt{4Q^2-1}} = 8\%$$

用式(9-27)可以求出零点频率为 855MHz，当然它几乎可以忽略。

源极跟随器 HSPICE 频率分析



网表:

```
EX8.2 source follower frequency test
.option post=2 numdgt=7 tnom=27
Vdd 1 0 dc 5
Vss 2 0 dc -5
Ibias 3 2 dc 100u
Rin 4 0 180k
Cin 4 0 30f
Cl 3 0 10p
M1 1 4 3 2 nmos w=100u l=1.6u
Iin 4 0 pulse(0 -5u 10n 0 0)

.op
.tran 0.5n 300n
.print v(3)
.MODEL nmos NMOS LEVEL=3, TOX=1.8E-8, LD=0.08U,
+U0=500, VMAX=2.0E5, PHI=0.6, GAMMA=0.5,
+NSUB=2.5E16, VTO=0.7, NFS=8.2E11, CGS0=2.5E-10,
+CGB0=2.5E-10, CJSW=2.5E-10, CGD0=2.5E-10, MJ=0.5,
```

```

+CJ=2.5E-4,          PB=0.9,   IS=1.0E-16,      JS=1.0E-4
+KF=600E-27   AF=0.8         NLEV=2           RS=600
+RD=600        ETA=0.05     KAPPA=0.007        THETA=0.06
+ACM=2         XJ=2.7E-7    DELTA=0.7
.MODEL pmos PMOS  LEVEL=3,          TOX=1.8E-8,      LD=0.08U,
+U0=165,       VMAX=2.7E5,   PHI=0.80,        GAMMA=0.75,
+NSUB=5.5E16,   VT0=-0.7,    NFS=7.6E11,      CGSO=2.5E-10,
+CGB0=2.75E-10, CJSW=3.4E-10, CGDO=2.5E-10,    MJ=0.5,
+CJ=3.7E-4,     PB=0.8,     IS=1.0E-16,      JS=1.0E-4
+KF=400E-27    AF=1.0       NLEV=2           RS=1200
+RD=1200        ETA=0.12    KAPPA=1.5        THETA=0.135
+ACM=2         XJ=2.3E-7    DELTA=0.3
.end

```

源极跟随器的阶跃响应如下图所示，这里的超调量约为 10%。

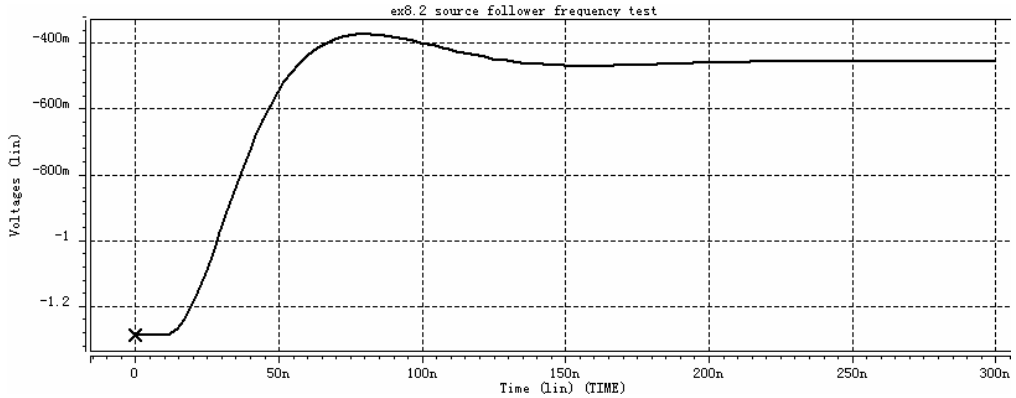


图 8-7 源极跟随器的阶跃响应，显示了 10% 的超调

一个双极晶体管射极跟随器与一个 CMOS 源极跟随器非常相似。因此，这里就不讲它的高频分析。但是，注意：共轭复根极点的问题对于双极射极跟随器，可能更加严重。

对于 CMOS 源极跟随器和双极射极跟随器，当出现共轭复根时，它们可以通过添加补偿线路消除。为了看到这点，注意式 (8-18) 可以写成

$$Y_g = sC_2 + \frac{1}{-R_1 - \frac{1}{sC_1}} \quad (8-28)$$

其中

$$C_1 = \frac{C_{gs1}(C_s g_{m1} - C_{gs1} G_{s1})}{(g_{m1} + G_{s1})(C_{gs1} + C_s)} \approx \frac{g_{m1} C_{gs1} C_s}{(g_{m1} + G_{s1})(C_{gs1} + C_s)}$$

$$R_1 = \frac{(C_{gs1} + C_s)^2}{C_{gs1}(C_s g_{m1} - C_{gs1} G_{s1})} \approx \frac{(C_{gs1} + C_s)^2}{C_{gs1} C_s g_{m1}}$$

$$C_2 = \frac{C_{gs1} C_s}{C_{gs1} + C_s} \quad (8-29)$$

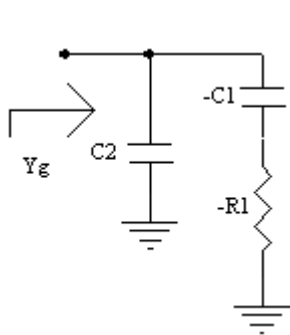


图 9-8 导纳与源极跟随器栅极看进去的输入阻抗相同的电路（忽略 C_{gb} ）

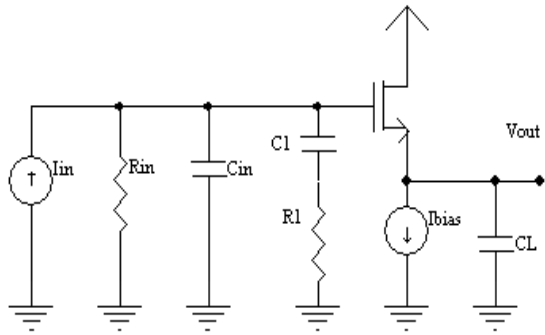


图 9-9 添加补偿线路（ $C1$ 和 $R1$ ）来补偿源极跟随器栅极看进去的导纳中的负项

一般 $C_s > C_{gs1}$ 且 $g_{m1} > G_{s1}$ ，由此可以得到近似解。这与图 9-8 所示电路的导纳相同。

这样，输入阻抗相当于一个负的电容器和一个负电阻串联再与一个电容并联。如果由一个大小为 $C1$ 的电容和大小为 $R1$ 的电阻串联组成的第三线路连接到源极跟随器的栅极，如图 9-9 所示，那么负的项就可以去掉了。得到的输入导纳即为 $C2$ ，如式 (9-29) 给出的一样。在这种情况下，式 (9-20) 变为

$$\frac{v_{gs1}}{i_{in}} = \frac{1}{G_{in} + s \left(C'_{in} + \frac{C_{gs1} C_s}{C_{gs1} + C_s} \right)} \quad (9-30)$$

式 (9-22) 变为

$$A(s) = \frac{v_{out}}{i_{in}} = R_{in} \left(\frac{g_{m1}}{g_{m1} + G_{s1}} \right) \frac{\left(1 + s \frac{C_{gs1}}{g_{m1}} \right)}{\left(1 + \frac{s}{p1} \right) \left(1 + \frac{s}{p2} \right)} \quad (9-31)$$

其中

$$p1 = \frac{G_{in}}{C'_{in} + \frac{C_{gs1} C_L}{C_{gs1} + C_L}} \approx \frac{G_{in}}{C'_{in} + C_{gs1}} \quad (9-32)$$

$$p2 = \frac{g_{m1} + G_{s1}}{C_{gs} + C_L} \approx \frac{g_{m1} + G_{s1}}{C_L} \quad (9-33)$$

当 $C_s \gg C_{gs1}$ 时, 这个近似是正确的。不考虑近似, 现在极点是实数, 不会发生超调。

因此, 当设计源极跟随器(或射极跟随器)时, 推荐的程序是为了检查: 用式(9-26)或者SPICE瞬态分析寻找超调点的极点是否为复数形式。当极点是复数时, 增大 C_{in} 、 C_s 或两者, 或者添加补偿线路, 如图 9-9 所示。

例: 考虑如图所示的源极跟随器, 其中, 所有的晶体管 $W/L=100\mu\text{m}/1.6\mu\text{m}$ 。假设 $\mu_n C_{ox}=90\mu\text{A}/\text{V}^2$, $\mu_p C_{ox}=30\mu\text{A}/\text{V}^2$, $I_{bias}=100\mu\text{A}$, $V_n = 0.5\text{V}^{1/2}$,

$r_{ds-n}=[8000L(\mu\text{m})]/[ID(\text{mA})]$ 。假设 $R_{in}=180k\Omega$, $C_L=10pF$, $C_{gs1}=0.2pF$, $C_{gd1}=15fF$, $C_{sb1}=40fF$, $C_{in}=30fF$, 求图 8-3 所示源极跟随器的补偿线路以及得到的第一个和第二个极点。

解: 由式(9-29)有

$$C_1 \approx \frac{g_{m1} C_{gs1} C_s}{(g_{m1} + G_{s1})(C_{gs1} + C_s)} = 0.170pF \quad (9-34)$$

且

$$R_1 \approx \frac{(C_{gs1} + C_s)^2}{C_{gs1} C_s g_{m1}} = 49.3k\Omega \quad (9-35)$$

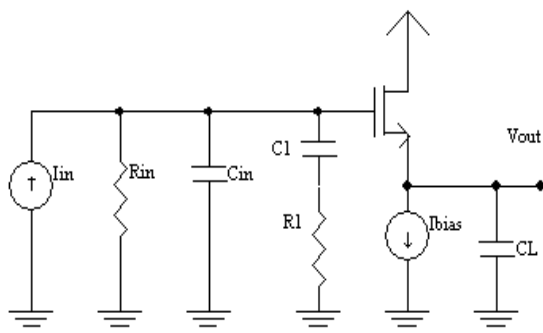
电容器在芯片上是可以实现的合理值。电阻可以用一个在三极管区域偏置的MOS晶体管实现。假设使用补偿线路, 传递函数的极点变为

$$p1 \approx \frac{G_{in}}{C_{in} + C_{gs1}} = 2\pi \times 3.16\text{MHz}$$

$$p2 \approx \frac{g_{m1} + G_{s1}}{C_L} = 2\pi \times 19.3\text{MHz}$$

使用补偿线路的速度损失非常大, 因为没有补偿线路的极点频率约为 8MHz, 但这里主要的极点在 3.6MHz处。

加补偿后源极跟随器 HSPICE 频率分析



网表:

EX8.2 source follower frequency test

.option post=2 numdgt=7 tnom=27

Vdd 1 0 dc 5

Vss 2 0 dc -5

Ibias 3 2 dc 100u

Rin 4 0 180k

Cin 4 0 30f

CL 3 0 10p

M1 1 4 3 2 nmos w=100u l=1.6u

Iin 4 0 dc 0 ac 1

C1 4 5 0.17p

R1 5 0 49.3k

.op

.ac dec 20 1k 1GEG

.print vdb(3)

.MODEL nmos NMOS LEVEL=3, TOX=1.8E-8, LD=0.08U,

+U0=500, VMAX=2.0E5, PHI=0.6, GAMMA=0.5,

+NSUB=2.5E16, VTO=0.7, NFS=8.2E11, CGS0=2.5E-10,

+CGB0=2.5E-10, CJSW=2.5E-10, CGD0=2.5E-10, MJ=0.5,

+CJ=2.5E-4, PB=0.9, IS=1.0E-16, JS=1.0E-4

+KF=600E-27 AF=0.8 NLEV=2 RS=600

+RD=600 ETA=0.05 KAPPA=0.007 THETA=0.06

+ACM=2 XJ=2.7E-7 DELTA=0.7

.MODEL pmos PMOS LEVEL=3, TOX=1.8E-8, LD=0.08U,

+U0=165, VMAX=2.7E5, PHI=0.80, GAMMA=0.75,

+NSUB=5.5E16, VTO=-0.7, NFS=7.6E11, CGS0=2.5E-10,


```

+CGBO=2.75E-10,      CJSW=3.4E-10,      CGDO=2.5E-10,      MJ=0.5,
+CJ=3.7E-4,          PB=0.8,             IS=1.0E-16,         JS=1.0E-4
+KF=400E-27          AF=1.0              NLEV=2              RS=1200
+RD=1200              ETA=0.12            KAPPA=1.5           THETA=0.135
+ACM=2               XJ=2.3E-7           DELTA=0.3
.end

```

源极跟随器的频率响应如下图所示，第一个极点出现在大约 3.6MHz 处，而第二个极点出现在大约 16MHz 处。

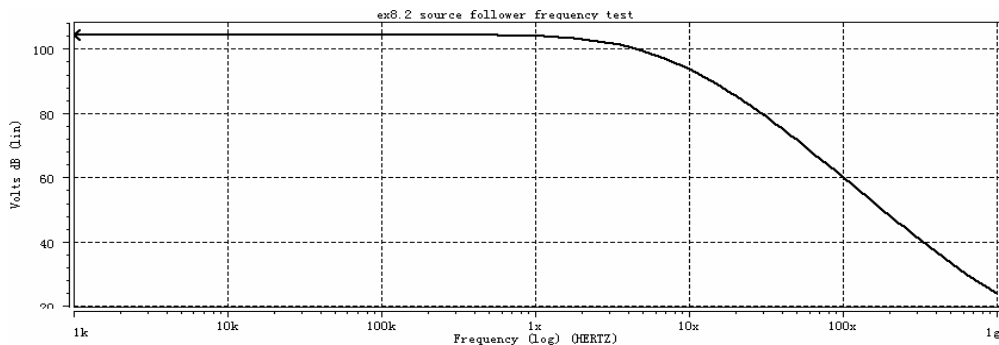


图 9-10 带补偿线路的源极跟随器的波特图

最后应该提到的是：如果要在运算放大器中使用源极跟随缓冲器（这样增益将置于缓冲器周围），而且，如果源极跟随器的谐振频率实质上远远大于运算放大器的单位增益频率，那么超调能够忍受，不需要补偿线路。

9.4 共栅放大器

共栅电路一般由于源极节点的低阻抗 r_{in} ，其频率响应比共源电路的频率响应优越，假设 g_L 并不比 G_{DS1} 小多少。

9.5 高输出阻抗镜像电路

威尔逊和共源共栅镜像电流源将高频极点引入信号传递函数。这些极点近似相等的时间常数为 C_{gs}/g_m 。这种说法可以通过做高频小信号分析（在分析中要包括小信号模型的电容）得到证明。

9.6 共源共栅增益级

一个共源共栅增益级（见图 9-11）的准确高频分析一般留给计算机仿真，但是，大致的分析不会很复杂。在高频下，输出节点形成的时间常数由于阻抗太大而始终占据主导地位。输出节点

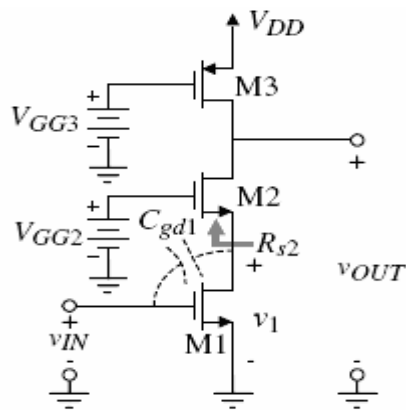


图 9-11 共源共栅电路

的总电容 C_{out} 是 $C_{gd2} + C_{db2}$ 、负载电容 C_L 以及偏置电流源的输出电容 C_{bias} （一般 C_L 起主要作用）的并联。假设输出级的时间常数起主要作用，-3dB频率约等于时间常数的倒数。也就是说

$$\omega_{-3dB} \approx \frac{1}{R_{out} C_L} \approx \frac{2g_{ds}^2}{g_m C_L} \quad (9-36)$$

用零值时间常数分析方法[Gray, 1993]可以求出更加准确（虽然仍然不准确）的估算。这种分析技术的优势是在确定总的-3dB频率中能够对每个电容的相对重要度有些理解。分析的小信号模型如图 9-12 所示，其中

$$C_{s2} = C_{db1} + C_{sb2} + C_{gs2} \quad (9-37)$$

$$C_{d2} = C_{gd2} + C_{db2} + C_L + C_{bias} \quad (9-38)$$

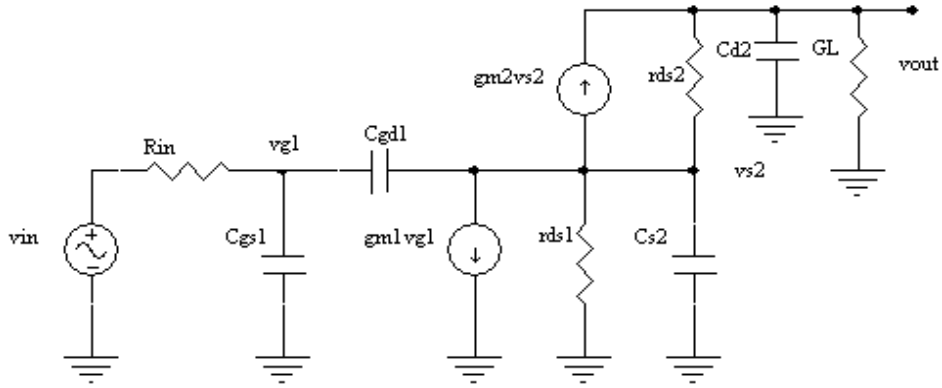


图 9-12 共源共栅增益级的小信号模型

在零值时间常数分析中，所有独立源极都设为零（这里 V_{in} 设为 0V），每个电容都依次将其它电容设为零时加以考虑，求出相应的时间常数并用 τ_{Ci} 标明。然后，-3dB频率 ω_{-3dB} 推算为 1 除以所有时间常数的总和。

在这个电路中，求出的第一个时间常数是应对应 C_{gs1} 的时间常数，表示为 $\tau_{C_{gs1}}$ 。 C_{gs1} 看到的电阻为 R_{in} ，因此

$$\tau_{C_{gs1}} = C_{gs1} R_{in} \quad (9-39)$$

对应 C_{gd1} 的时间常数的计算更多，所以在它的计算中使用正式方法。 C_{gd1} 用一个电压源 V_x 替换。接下来， C_{gd1} 看到的电阻通过计算 V_x 和 i_x （离开 V_x 的电流）的比求得。最后

的时间常数用这个电阻乘以 C_{gd1} 。这个分析的小信号模型如图 9-10 所示，其中电阻 R_{d1} 在低频下是 r_{ds1} 和 M2（共源共栅晶体管）源极看进去的阻抗的并联。图 9-13(b) 的电路本质上与图 9-13(a) 的电路相同，它用来求源极退化镜像电流源的输出阻抗。我们有

$$v_y = i_x R_{in} \quad (9-40)$$

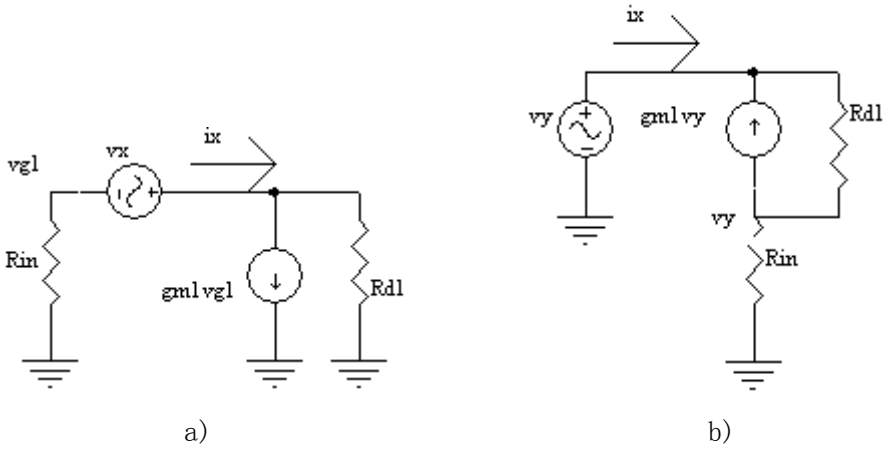


图 9-13 用于计算 C_{gd1} 看到的电阻的两个等效小信号模型

而且

$$i_x = (v_x - v_y)G_{d1} - g_{m1}v_y \quad (9-41)$$

将式 (9-40) 带入式 (9-41) 解得 v_x / i_x 得

$$rC_{gd1} = \frac{v_x}{i_x} = R_{d1} [1 + R_{in}(G_{d1} + g_{m1})] \quad (9-42)$$

求出共源共栅晶体管 M2 的源极看进去的导纳，即

$$Y_{s2} \approx g_{ds} \quad (9-43)$$

阻抗 R_{d1} 是这个导纳和 r_{ds1} 的并联，因此有

$$R_{d1} \approx \frac{r_{ds}}{2} \quad (9-44)$$

将这个结果带入式 (9-42) 有

$$\begin{aligned}
rC_{gd1} &\approx \frac{r_{ds}}{2} [1 + R_{in}(2g_{ds} + g_{m1})] \\
&\approx \frac{r_{ds}}{2} (1 + g_{m1}R_{in})
\end{aligned} \tag{9-45}$$

由此

$$\tau C_{gd1} \approx C_{gd1} \frac{r_{ds}}{2} (1 + g_{m1}R_{in}) \tag{9-46}$$

如果 R_{in} 很大，如在晶体管输出阻抗 r_{ds} 的量级上，那么这个时间常数近似为

$$\tau C_{gd1} \approx C_{gd1} \frac{g_m r_{ds}^2}{2} \tag{9-47}$$

这个时间常数可能大到一个共源放大器的响应时间常数那么大—这个情况还不是很清楚。

电容 C_{s2} 看到的电阻为 r_{ds1} 与M2源极看进去的阻抗的并联，得近似为 r_{ds} ，有

$$\tau C_{s2} \approx C_{s2} \frac{r_{ds}}{2} \tag{9-48}$$

C_{d2} 看到的电阻式共源共栅放大器的输出阻抗，近似得为 $(g_m r_{ds}^2)/2$ 。因此， C_{d2} 的时间常数为

$$\tau C_{d2} \approx C_{d2} \frac{g_m r_{ds}^2}{2} \tag{9-49}$$

注意：这个时间常数与式(9-47)具有相同的形式，但是 C_{d2} 一般要比 C_{gd1} 大得多（因为 C_L 一般很大），让 τC_{d2} 起主要作用。

时间常数的和为

$$\begin{aligned}
\tau_{total} &\approx \tau C_{gs1} + \tau C_{gd1} + \tau C_{s2} + \tau C_{d2} \\
&\approx C_{gs1}R_{in} + C_{gd1} \frac{g_m r_{ds}^2}{2} + C_{s2} \frac{r_{ds}}{2} + C_{d2} \frac{g_m r_{ds}^2}{2}
\end{aligned} \tag{9-50}$$

—3dB频率 ω_{-3dB} 推算为 $1/\tau_{total}$ 。

例：假设对于输入晶体管和共源共栅晶体管，其中， $g_m = 1\text{mA/V}$ ， $r_{ds} = 100\text{k}\Omega$ ，

$$R_{in} = 180k\Omega, \quad C_L = 5pF, \quad C_{gs} = 0.2pF, \quad C_{gd} = 15fF, \quad C_{sb} = 40fF, \quad C_{db} = 20fF,$$

推算图 9-11 的共源共栅放大器的-3dB频率。

解：每个电容的时间常数用下式推算：

$$C_{s2} = C_{db1} + C_{sb2} + C_{gs2} = 0.26pF$$

$$C_{d2} = C_{gd2} + C_{db2} + C_L + C_{bias} = 5.055pF$$

有

$$\tau_{C_{gs1}} = C_{gs1} R_{in} = 36ns$$

$$\tau_{C_{gd1}} \approx C_{gd1} \frac{g_m r_{ds}^2}{2} = 75ns$$

$$\tau_{C_{s2}} \approx C_{s2} \frac{r_{ds}}{2} = 13ns$$

$$\tau_{C_{d2}} \approx C_{d2} \frac{g_m r_{ds}^2}{2} = 25.3us$$

正如期望的，输出节点的时间常数起主要作用，其次重要的时间常数是Cgd1的时间常数，虽然忽略了Cgd1在-3dB频率上的效应。因此，-3dB频率准确写为
 $\omega_{-3dB} \approx 1/\tau_{C_{d2}} = 2\pi \times 6.3kHz$ 。

共源共栅放大器 HSPICE 频率分析

M3 通过M6 形成一个共源共栅镜像电流源产生Ibias。选择P沟道晶体管的宽度和长度，使得它们的 g_m 和 r_{ds} 与N沟道晶体管的情况相匹配。

网表：

EX8.5 Cascode AMP frequency test

.option post=2 numdgt=7 tnom=27

Vdd 1 0 dc 5

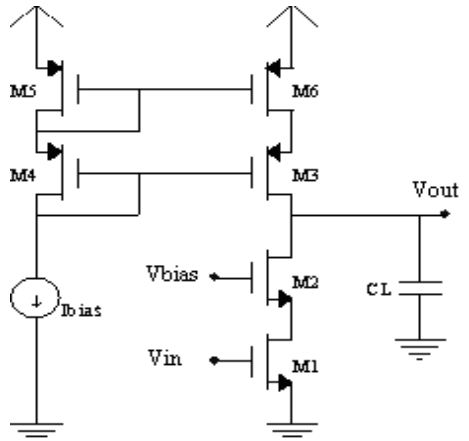
Ibias 6 0 dc 100u

M4 6 6 7 1 pmos w=390u l=2u

M5 7 7 1 1 pmos w=390u l=2u

M6 8 7 1 1 pmos w=390u l=2u

M3 2 6 8 1 pmos w=390u l=2u



```

M2  2  3  4  0  nmos w=100u l=1.6u
M1  4  5  0  0  nmos w=100u l=1.6u
C1   2  0      0.3p
Vbias 3  0  dc  2.5
Vin   5  0  dc  0.8425  ac  1

.op
.ac dec 10 0.1 1000Meg
.print vdb(2)
.MODEL nmos NMOS LEVEL=3,          TOX=1.8E-8,          LD=0.08U,
+UO=500,          VMAX=2.0E5,      PHI=0.6,          GAMMA=0.5,
+NSUB=2.5E16,      VTO=0.7,          NFS=8.2E11,      CGSO=2.5E-10,
+CGB0=2.5E-10,      CJSW=2.5E-10,    CGDO=2.5E-10,      MJ=0.5,
+CJ=2.5E-4,          PB=0.9,      IS=1.0E-16,          JS=1.0E-4
+KF=600E-27  AF=0.8          NLEV=2          RS=600
+RD=600          ETA=0.05  KAPPA=0.007      THETA=0.06
+ACM=2          XJ=2.7E-7  DELTA=0.7
.MODEL pmos PMOS LEVEL=3,          TOX=1.8E-8,          LD=0.08U,
+UO=165,          VMAX=2.7E5,      PHI=0.80,          GAMMA=0.75,
+NSUB=5.5E16,      VTO=-0.7,        NFS=7.6E11,      CGSO=2.5E-10,
+CGB0=2.75E-10,     CJSW=3.4E-10,    CGDO=2.5E-10,      MJ=0.5,
+CJ=3.7E-4,          PB=0.8,      IS=1.0E-16,          JS=1.0E-4
+KF=400E-27  AF=1.0          NLEV=2          RS=1200
+RD=1200          ETA=0.12  KAPPA=1.5      THETA=0.135
+ACM=2          XJ=2.3E-7  DELTA=0.3
.end

```

这个共源共栅放大器的频率曲线如下图所示。直流增益为 80dB(即 10000V/V)，-3dB 频率约发生在 2kHz。

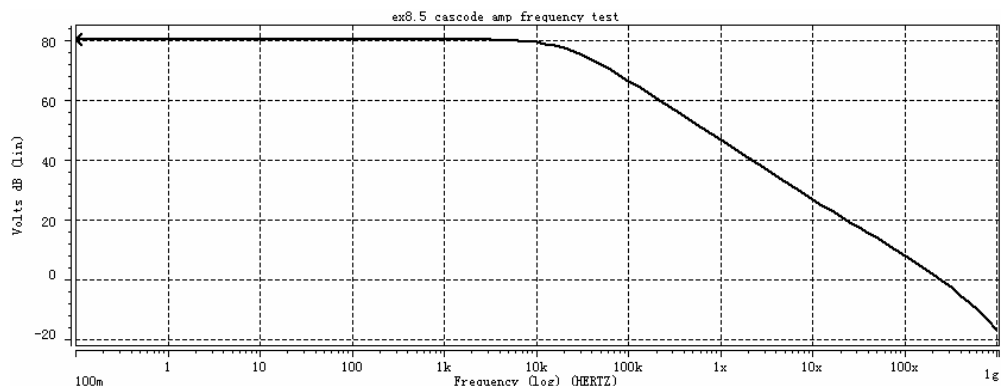


图 9-14 共源共栅放大器的频率曲线图

在结束这一节之前，应对共源共栅增益级的高频性能做一些论述。正如我们刚才看到的，一般一个极点起主要作用，这样我们可以合理地模拟放大器增益为

$$A(s) = \frac{A_V}{1 + s / \omega_{-3dB}} \quad (9-51)$$

这样，当频率实际上远大于 ω_{-3dB} ，一般为作用的频率束，增益可近似写为

$$A(s) \approx \frac{A_V}{s / \omega_{-3dB}} \approx \frac{g_{m1}}{s C_L} \quad (9-52)$$

上式利用了式 $A_V \approx -\frac{g_m}{2g_{ds}} \frac{g_{m2}}{g_{ds2}} \approx -\frac{1}{2} \left(\frac{g_m}{g_{ds}} \right)^2$ 和式 $\omega_{-3dB} \approx \frac{1}{R_{out} C_L} \approx \frac{2g_{ds}^2}{g_m C_L}$ 。还要注意：除非任一端极阻抗或源极电容非常大，否则式 (8-36) 和式 (8-52) 的近似是很好的。此外，在远大于 -3dB 频率的频率上，M2 源极的导纳可用式

$Y_{in2} = \frac{g_{m2} + g_{s2} + g_{ds2}}{1 + \frac{g_{ds2}}{G_L}} \approx \frac{g_{m2}}{1 + \frac{g_{ds2}}{G_L}}$ 求出，其中 GL 用 $G_L + sC_L$ 代替。这样一个替代的结果为

$$\begin{aligned} Y_{in2} &= \frac{g_{m2} + g_{s2} + g_{ds2}}{1 + \frac{g_{ds2}}{G_L}} \\ &= g_{m2} \left(\frac{G_L + sC_L}{g_{ds2} + G_L + sC_L} \right) \\ &= g_{m2} \left(\frac{G_L + sC_L}{g_{ds2} + sC_L} \right) \end{aligned} \quad (9-53)$$

在 $\omega \gg 1/(r_{ds} C_L)$ 的频率上，s 中的项起主要作用， $Y_{in2} = g_{m2}$ 。M2 源极的近似时间常数可写为这个极点的总电容除以 g_{m2} 。M2 源极的总电容是 C_{gs2} 并联 C_{db1} 并联 C_{gd1} 。因为这个电容不是特别大而且这个节点的阻抗 $1/g_{m2}$ 很小，所以这个节点的时间常数一般可忽略。但是在带一个小源极阻抗的放大器中，这个节点仍然是决定共源共栅放大器的第二个极点的主要因素。M2 源极的时间常数的上限可以简单求出。 C_{db1} 并联 C_{gd1} 几乎总是小于

C_{gs2} 。因此，M2 源极的总阻抗等于 $K C_{gs2}$ ，其中： K 在 1~2 之间（一般靠近 1）。利用

$$g_{m2} = \mu_p C_{ox} \left(\frac{W}{L} \right)_2 V_{eff2} \quad (9-54)$$

上式是对折叠式共源共栅放大器（对伸缩式共源共栅放大器，用 μ_n 大于 μ_p ），并利用下式

$$C_{s2} = K C_{gs2} = K \frac{2}{3} (WL)_2 C_{ox} \quad (9-55)$$

给出第二个极点的近似频率（忽略另一个不起主要作用的节点的时间常数）：

$$\omega_{p2} \approx \frac{1}{\tau_{s2}} = \frac{g_{m2}}{C_{s2}} = \frac{3\mu_p V_{eff2}}{2KL_2^2} > \frac{3\mu_p V_{eff2}}{4L_2^2} \quad (9-56)$$

这个方程是任何使用共源共栅增益级放大器的单位增益频率的一个上限。注意：一旦选择了 V_{eff2} ，式(8-56)就相对独立于真正的设计， V_{eff2} 通常由最大信号处理需求决定。还要注意： ω_{p2} 非常依赖沟道长度。

例：推算 0.8um 技术中折叠式共源共栅放大器的第二个极点的下限，其中 V_{eff2} 的典型值选为 0.25V。

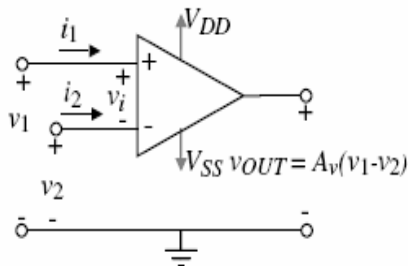
解：通常，在一个模拟电路中，共源共栅晶体管的最小长度是用在数字电路中晶体管最小长度的 1.25~1.5。因此，假设 $L_2 = 1.5 \times 0.8 \mu m = 1.2 \mu m$ ，用 $\mu_p = 0.02 m^2 / V.s$ ，且 $V_{eff2} = 0.25V$ ，我们有 $\omega_{p2} > 1.7 \times 10^9 rad = 2\pi \times 276 MHz$ 。对于一个伸缩式共源共栅放大器，上限将为 690MHz。在多数实际的运算放大器设计中，一个典型设计的单位增益频率应被限制到大约下限第二个极点的频率的一半。在这个例子中，折叠式共源共栅和伸缩式共源放大器的典型的单位增益应分别为 138MHz 及 345MHz。

最后，当源极阻抗很大时，输入晶体管栅极的时间常数可能非常重要，虽然不像在共栅级中那么重要，因为共源共栅增益级所受到的米勒效应不那么严重。换句话说，在高频下，M2 源极的有效阻抗减小为 $1/g_{m2}$ ，且从 M1 的栅极到 M2 的源极没有多少增益。回顾在共源放大器中， C_{gs1} 的有效尺寸被共源放大器的增益放大。

第 10 章 反馈放大器的频率响应和稳定性

10.1 反馈放大器的稳定

10.1.1 稳定原理



首先定义运算放大器的输出电压为：

$$\text{图 10-1 运放示意图} \quad V_{out}(s) = A_v(s)[V_1(s) - V_2(s)] \pm A_c(s) \left[\frac{V_1(s) + V_2(s)}{2} \right] \quad (10-1)$$

式中，右边第一项是 $V_{out}(s)$ 的差模部分，第二项是 $V_{out}(s)$ 的共模部分。差模频率响应为 $A_v(s)$ ，共模频率响应为 $A_c(s)$ 。

运算放大器的典型差模频率响应可以表示为：

$$A_v(s) = \frac{A_{vo}}{\left(\frac{s}{p_1} - 1 \right) \left(\frac{s}{p_2} - 1 \right) \left(\frac{s}{p_3} - 1 \right) \dots} \quad (10-2)$$

式中， p_1, p_2, \dots 是运算放大器开环传递函数的极点。

一般来说，极点记作 p_i ，可以表示为：

$$p_i = -\omega_i \quad (10-3)$$

这里， ω_i 是时间常数的倒数或者极点 p_i 的转折频率。虽然运算放大器有零点，这里暂时忽略了。 A_{vo} 或 $A_v(0)$ 是频率接近 0 时运算放大器的增益。下图显示了典型的 $A_v(s)$ 的幅频响应。在这种情况下我们看到， ω_1 远比所以其它的转折频率低得多，因此 ω_1 在频率响应中起主要作用。这是一个-6dB/每倍频程频率点，从主极点延伸与 0dB轴相交的点被定义为运算放大器的单位增益带宽，缩写为GB。即使下一个更高阶的极点比GB小，我们仍然用上面的这个定义方法定义单位增益带宽。

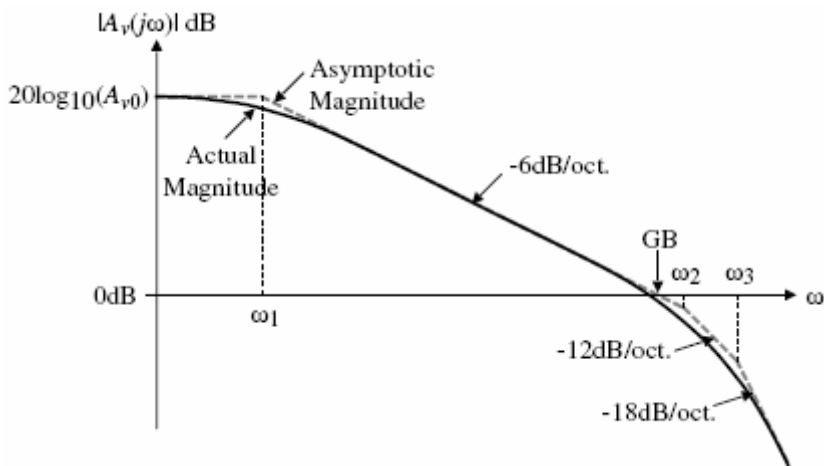


图 10-2 运算放大器 $A_v(j\omega)$ 的典型幅频响应

运算放大器一般用在负反馈结构中, 此时, 相对较高但不精确的正向增益可以与反馈一起得到一个非常精确的传输函数, 此函数仅与反馈元件有关。图 10-3 是一个一般的负反馈结构。

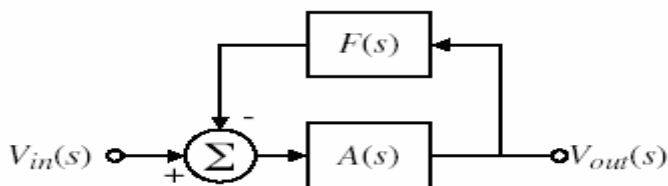


图 10-3 单环负反馈系统

$A(s)$ 是放大器增益, 一般来说是运算放大器开环差模电压增益。 $F(s)$ 是从运算放大器输出到输入的外部反馈的传输函数。这个系统的环路增益可以定义为:

$$\text{环路增益} = L(s) = -A(s)F(s) \quad (10-4)$$

总体增益为:

$$A(V_{in} - FV_{out}) = V_{out} \quad (10-5)$$

$$\frac{V_{out}}{V_{in}} = \frac{A}{1 + AF} = \frac{A(s)}{1 - L(s)} \quad (10-6)$$

考虑 V_{in} 到 V_{out} 的正向增益为 1。容易看出, 如果开环直流增益 $A(0)$ 是在 1000~2000 之间, F 等于 1, 正向增益的变化在 0.999~0.9995 之间。对于非常高的环路增益 (主要由于具有高的放大器增益), 正向传递函数 V_{out}/V_{in} 受到负反馈网络的精确控制, 这就是使用运算放大器的原理。

例: 如图串联电压负反馈电路 (同相比例运算), $R_1 = 10k\Omega$, $R_F = 300k\Omega$, 开环电

压放大倍数 $A_{uo} = 10^4$ 。求闭环电压放大倍数 A_{uf} ；如 $\frac{dA}{A} = 10\%$ ，求 $\frac{dA_f}{A_f}$ 。

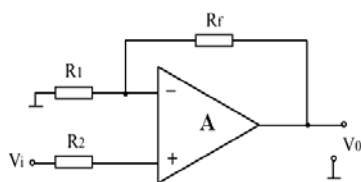


图 10-4 同相比例运放

$$\text{解: (1) } F = \frac{u_f}{u_o} = \frac{R_1}{R_1 + R_f} = \frac{10}{10 + 300} = 0.03$$

$$A_{uf} = \frac{A}{1 + AF} = \frac{10000}{1 + 10000 \times 0.03} = 33.2$$

$$(2) \frac{dA_f}{A_f} = \frac{1}{1 + AF} \cdot \frac{dA}{A} = \frac{1}{301} \times 10\% = 0.033\%$$

负反馈深度越深，放大电路越稳定。如果 $AF \gg 1$ ，则 $A_f \approx \frac{1}{F}$ 。此式说明，在深度负反馈的情况下，闭环放大倍数仅与反馈电路的参数（如电阻和电容）有关，它们基本上不受外界因素变化的影响。这时放大电路的工作非常稳定。

最重要的是，反馈运算放大器输入端的信号幅度和相位不应使该信号在环路中产生振荡。如果发生这中情况，放大器的输出就会不稳定。为了避免这种情况，条件可以简洁地表述为：

$$|A(j\omega_0)F(j\omega_0)| = |L(j\omega_0)| < 1 \quad (10-7)$$

其中 ω_0 被定义为：

$$\text{Arg}[-A(j\omega_0)F(j\omega_0)] = \text{Arg}[L(j\omega_0)] = 0^\circ \quad (10-8)$$

另一个表示此条件的便利方法是：

$$\text{Arg}[-A(j\omega_{0dB})F(j\omega_{0dB})] = \text{Arg}[L(j\omega_{0dB})] > 0^\circ \quad (10-9)$$

其中 ω_{0dB} 被定义为：

$$|-A(j\omega_{0dB})F(j\omega_{0dB})| = |L(j\omega_{0dB})| = 1 \quad (10-10)$$

如果满足这些条件，则称反馈系统稳定的（即，不可能发生持续振荡）

式 10-10 给出的第二个关系可用波特图做出更好的说明。图 10-5 显示了 $|A(j\omega)F(j\omega)|$ 和 $\text{Arg}[-A(j\omega)F(j\omega)]$ 作为频率函数的响应。稳定的条件是 $|A(j\omega)F(j\omega)|$ 曲线通过 0dB 点应先 $\text{Arg}[-A(j\omega)F(j\omega)]$ 到达 0° 。当 $|A(j\omega)F(j\omega)|$ 等于 1（即 0dB）时的相位值给出了稳定性的度量。这种度量称为相位裕量，由一下关系式描述：

$$\text{相位裕量} = \Phi_m = \text{Arg}[-A(j\omega)F(j\omega)] = \text{Arg}[L\omega_{0dB}] \quad (10-11)$$

以适当的相位裕量获得“好的稳定度”的重要性可以通过研究时域闭环响应得到最好

的理解。图 10-6 示出了不同相位裕量时二阶闭环系统的时域响应。可以看到相位裕量越大，引起的输出信号的震铃越小。人们并不希望看到过多的震铃，所以有足够的相位裕量保证震铃在可以接受的范围内是很重要的。相位裕量至少要 45 度，最好 60 度。

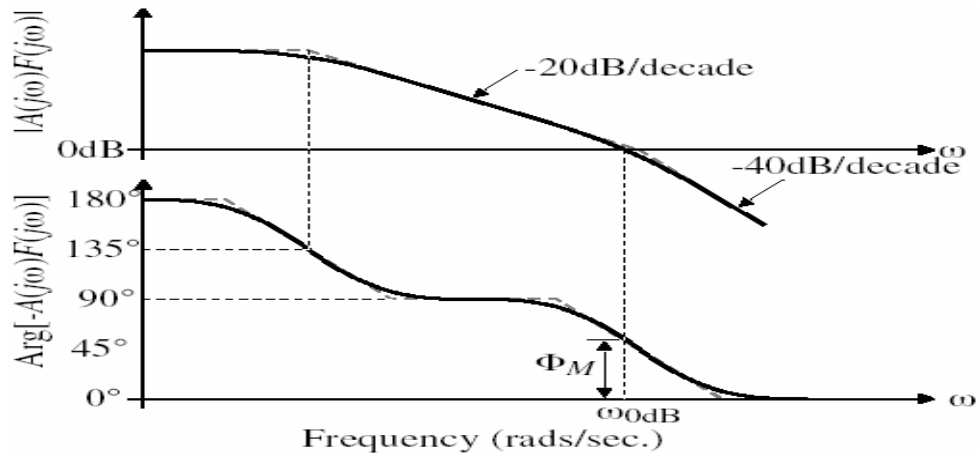


图 10-5 二阶系统的幅频和相频响应

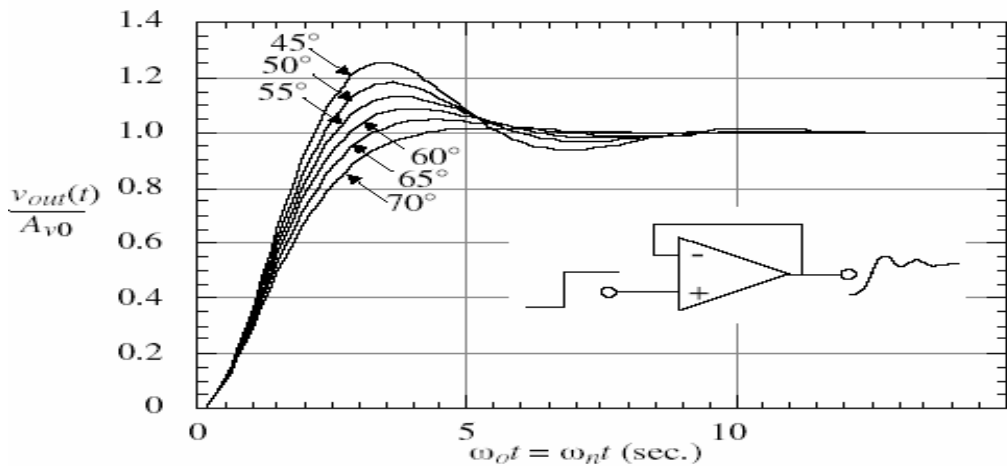


图 10-6 不同相位裕量的二阶系统响应

10.1.2 保证稳定性的技术

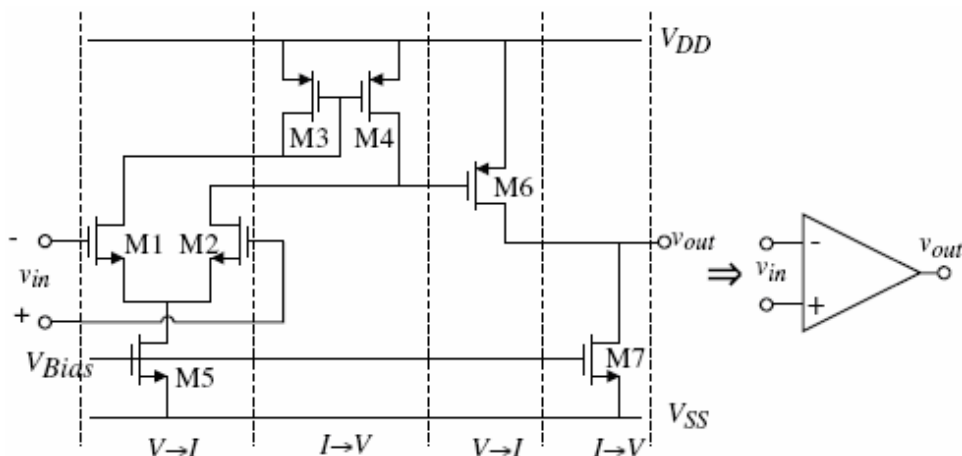


图 10-7 标准两级 CMOS 运算放大器拆分成电压—电流级和电流—电压级

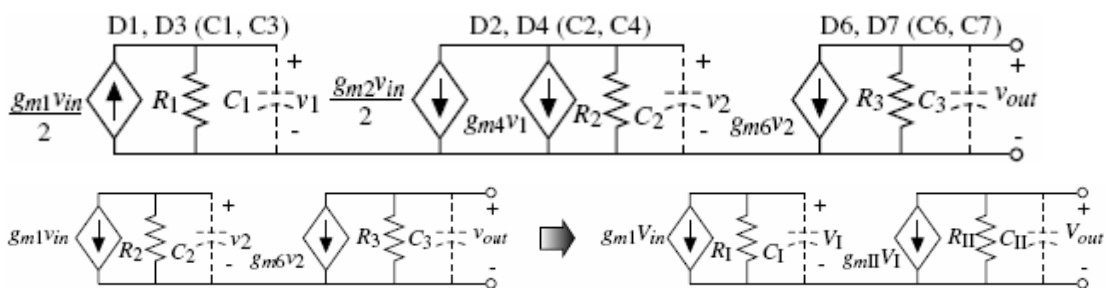


图 10-8 两级运算放大器的二阶小信号等效电路

$$R_1 \approx \frac{1}{g_{m3}} \parallel r_{ds3} \parallel r_{ds1} \approx \frac{1}{g_{m3}} \quad R_2 = r_{ds2} \parallel r_{ds4} \quad \text{and} \quad R_3 = r_{ds6} \parallel r_{ds7}$$

$$C_1 = C_{gs3} + C_{gs4} + C_{bd1} + C_{bd3} \quad C_2 = C_{gs6} + C_{bd2} + C_{bd4} \quad \text{and} \quad C_3 = C_L + C_{bd6} + C_{bd7}$$

考虑上面的未加补偿的运算放大器的二阶小信号模型。为了归纳结论，与第一级有关的元件标上小标I，与第二级有关的下标为II。两个极点的位置由下面的等式给出：

$$p_1 = \frac{-1}{R_I C_I} \quad \text{和} \quad p_2 = \frac{-1}{R_{II} C_{II}}$$

式中， R_I (R_{II}) 和 C_I (C_{II}) 分别是第一（二）级输出端看进去的对地电阻和电容。典型情况下，这些极点远离复平面的原点，相互靠得很近。负反馈环路的开环频率响应如下图所示，反馈因子 $F(S)=1$ 。注意， $F(S)=1$ 是稳定性最糟的情况，在下图中，注意相位裕度小于 45 度，这意味着运算放大器必须补偿才能用于闭环结构。

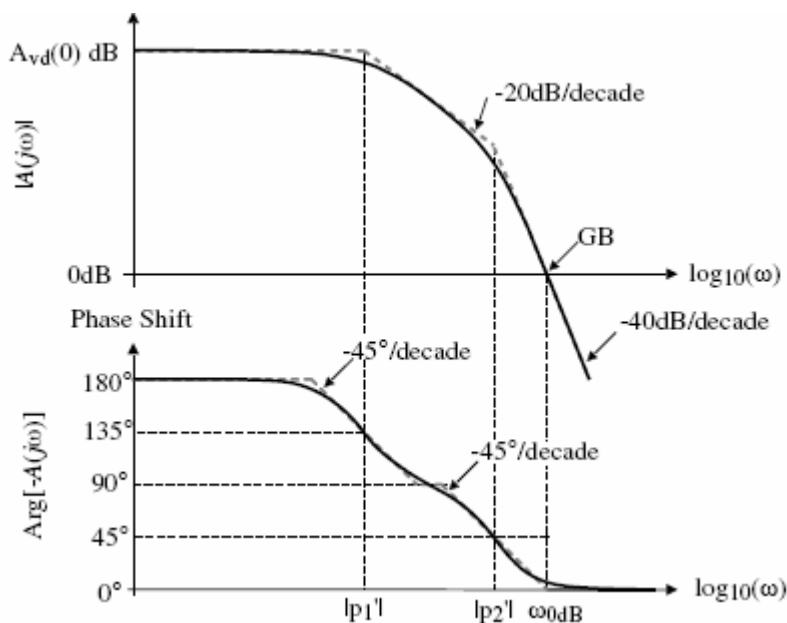


图 10-9 使用无补偿运算放大器的负反馈环路
开环频率响应和 $F(s)=1$ 的反馈系数

米勒补偿

这里我们给出米勒补偿。这是由在输出和第二级跨导级 g_{m2} 的输入之间跨接一个电容实现的，其小信号模型如图 10-10 所示。通过分析小信号图 10-10，得出补偿后 P_1 （原极点 P_1' ）， P_2 （原极点 P_2' ）两极点及零点的表达式。

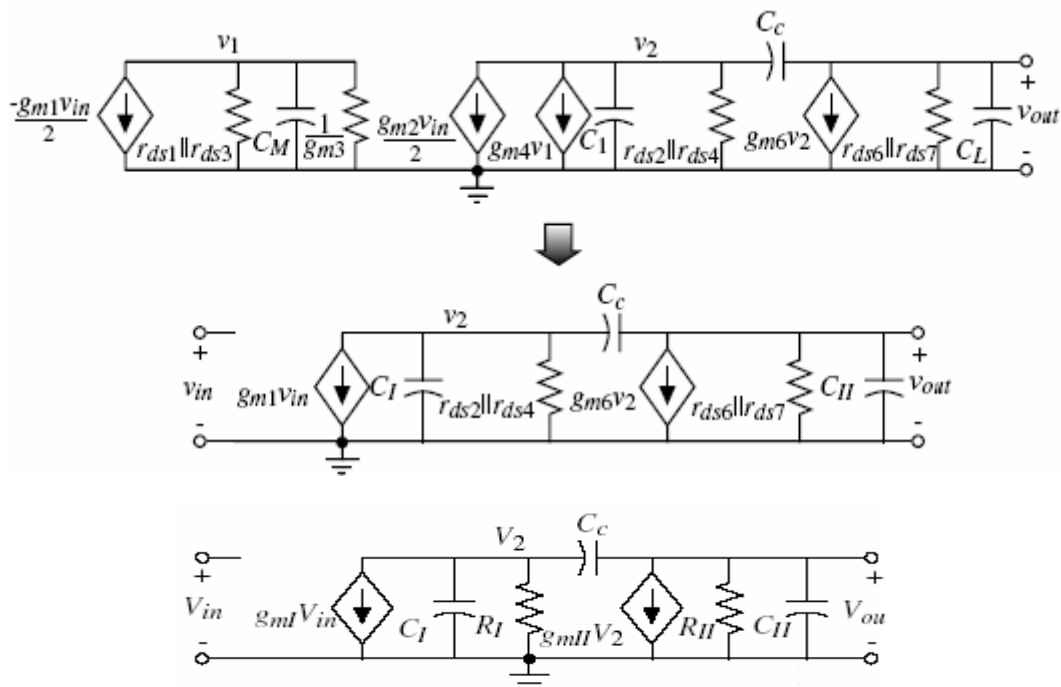


图 10-10 用于两级运算放大器的米勒电容

总的传输函数为：

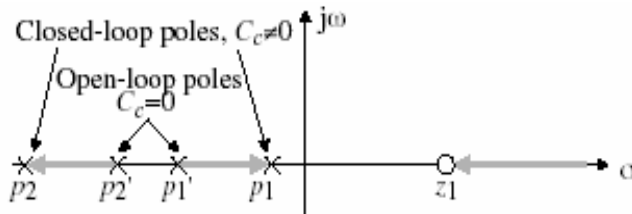
$$\frac{V_o(s)}{V_{in}(s)} = \frac{g_{mI} g_{mII} R_I R_{II} (1 - s C_C / g_{mII})}{1 + s [R_I (C_I + C_C) + R_{II} (C_{II} + C_C) + g_{mII} R_I R_{II} C_C] + s^2 R_I R_{II} [C_I C_{II} + C_C C_I + C_C C_{II}]}$$

$$p_1 \cong \frac{-1}{g_{mII} R_I R_{II} C_C} = \frac{-(g_{ds2} + g_{ds4})(g_{ds6} + g_{ds7})}{g_{m6} C_C}$$

$$p_2 \cong \frac{-g_{mII} C_C}{C_I C_{II} + C_{II} C_C + C_I C_C} \cong \frac{-g_{mII}}{C_{II}} = \frac{-g_{m6}}{C_L}$$

$$z_1 \cong \frac{-g_{mII}}{C_{II}} = \frac{g_{m6}}{C_C}$$

加了补偿电容 C_C 将产生两个结果：第一，与 R_I 并联有效电容大约增加到 $g_{mII}(R_{II})(C_C)$ 结果使 P_1 明显的移向幅频面的原点。第二，由于反馈降低了第二级的输出电阻， P_2 向远离幅频面原点的方向移动。这时，有一零点位于幅频面正实轴上，这是通过 C_C 的前馈路径得到的。图 10-11 (a) 标明了极点在幅频面上从补偿前位置移向补偿后的位置。图 3.17 (b) 由渐进幅频特性和相频特性曲线说明了补偿的结果。



(a)

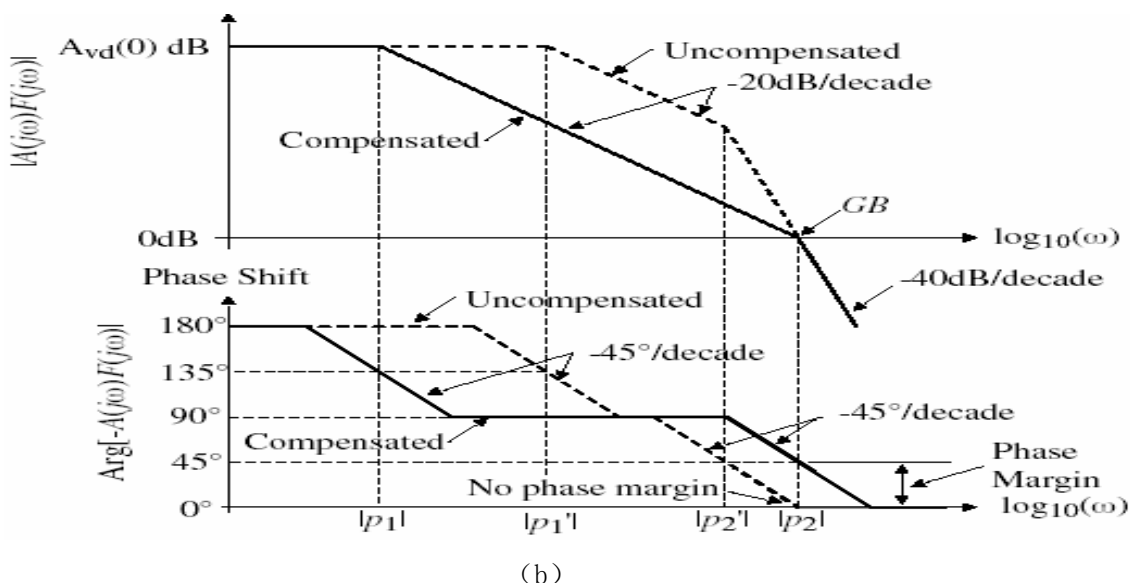


图 10-10 (a) 采用米勒补偿法, 环路增益 $[F(s)=1]$ 的根轨迹图。其中 C_c 从 0 变化到某一值 (使根成为非主极点); (b) 补偿后环路增益 $[F(s)=1]$ 的渐近幅频特性和相频特性单位增益带宽近似为:

$$GB = A_{vd}(0) \cdot |p_1| = (g_{mI} g_{mII} R_I R_{II}) \frac{1}{g_{mII} R_I R_{II} C_c} = \frac{g_{mI}}{C_c} = \frac{g_{m1}}{C_c} = \frac{g_{m2}}{C_c}$$

控制右半平面零点

右半平面的零点增加了相移, 但是幅度也是增加的。因此, 零点关于稳定度会在两个方面使情况变遭。如果零点 (z_1) 或者极点 (p_2) 移向复频面原点, 相位裕量会减小。为闭环使用, 放大器补偿的目的是移动除了主极点 (p_1) 之外的所有极点、零点, 使他们远离复频面的原点 (超出单位增益带宽), 相频特性类似于图 3.17 (b)。

由前面分析可知, 前馈路径通过补偿电容形成的零点有限制GB的倾向。如果零点不存在, 可能其他方法也会这样。我们可以通过在补偿电容 C_c 地前馈通路中插进与 C_c 串联的调零电阻。图 10-11 (a) 示出了这种技术的应用。

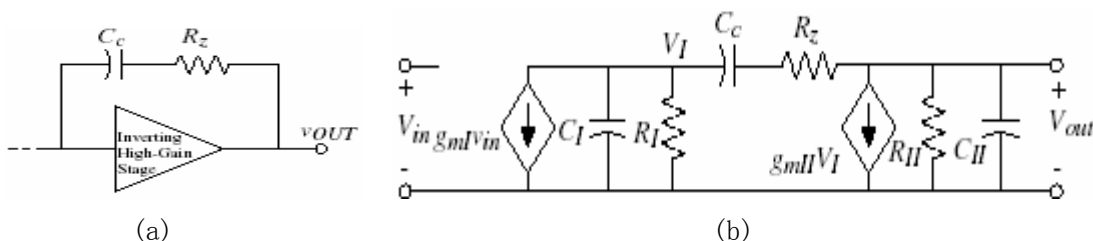


图 10-11 (a) 使用调零电阻 R_z 控制零点

(b) 使用调零电阻的两级运算放大器的小信号模型

通过图 10-11 (b) 小信号图得出:

$$p_1 \cong \frac{-1}{g_{mII} R_I R_{II} C_c} \quad (3-32)$$

$$p_2 \cong \frac{-g_{m\Pi} C_c}{C_I C_{\Pi} + C_{\Pi} C_c + C_I C_c} \cong \frac{-g_{m\Pi}}{C_{\Pi}} \quad (3-33)$$

$$p_4 \cong \frac{-1}{C_I R_z} \quad (3-34)$$

和

$$z_1 = \frac{1}{C_c \left(\frac{1}{g_{m\Pi}} - R_z \right)} \quad (3-35)$$

容易看出调零电阻是如何控制零点的。为了移动零点， R_z 必须等于 $\frac{1}{g_{m\Pi}}$ 。我们可以移动零点到右半平面到左半平面的极点 P_2 的位置。结果，与输出负载电容有关的极点抵消了。为了得到这个结果，必须满足下面条件：

$$Z_1 = P_2 \quad (3-36)$$

$$\text{使得} \quad \frac{-g_{m\Pi}}{C_{\Pi}} = \frac{1}{C_c \left(\frac{1}{g_{m\Pi}} - R_z \right)} \quad (3-37)$$

$$\text{可以} \quad R_z = \left(\frac{C_c + C_{\Pi}}{C_c} \right) \left(\frac{1}{g_{m\Pi}} \right) \quad (3-38)$$

由于 p_2 的被抵消了如图 10-12 所示过。这样电路变的比较稳定了。为了保证 p_3 和 p_4 的值远大于GB。

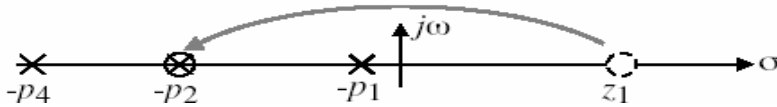


图 10-12 调零电阻抵消 p_2 极点示意图

由已知得 C_c 必需满足下式：

$$C_c > \sqrt{\frac{g_{mI}}{g_{m\Pi}}} C_I C_{\Pi} \quad (3-39)$$

这样在两级运算放大器电路中用调零电阻可以受到很好的效果。即使有大的负载电

容，运算放大器仍然可以具有很好的稳定性。

通过增加调零电阻可以扩展基本二级CMOS电路的单位增益带宽，而且通过调整密勒电容的值还能保证电路有相同的相位裕量，从保证电路的稳定性。根据理论结果可以看出，随着R的增大，GB值增大，但是相位裕度会非线性减小，在保证相位裕度大于 60° 的条件下，R的变化范围15%之内。密勒电容Cc增加5%，GB减小了15%，相位裕度增加3.4%。较小的相位裕度增量牺牲较大的单位增益带宽，在应用中要根据实际要求寻求一个平衡点。

10.2 两级电流源负载共源放大器及其补偿

电阻负载（或者有源负载）由于其小信号输出电阻较小（电阻负载为其阻值，有源负载为 $1/g_m$ ），使得其频率性能比较好，因此两极点比较靠近零点。为了显著地观察补偿电容对极点的分裂效应，参考Gray一书经过推导得出的补偿电容的两极点单零点公式，需要满足 $g_m R \gg 1$ 的条件，这样便需加大每级的增益，于是采用电流源负载结构，这样也从另一方面提升了增益，便于观察单位增益带宽与次极点之间的互动关系（有源负载两级增益积很小，这样单位增益带宽十分接近3dB带宽，不利于实验）。

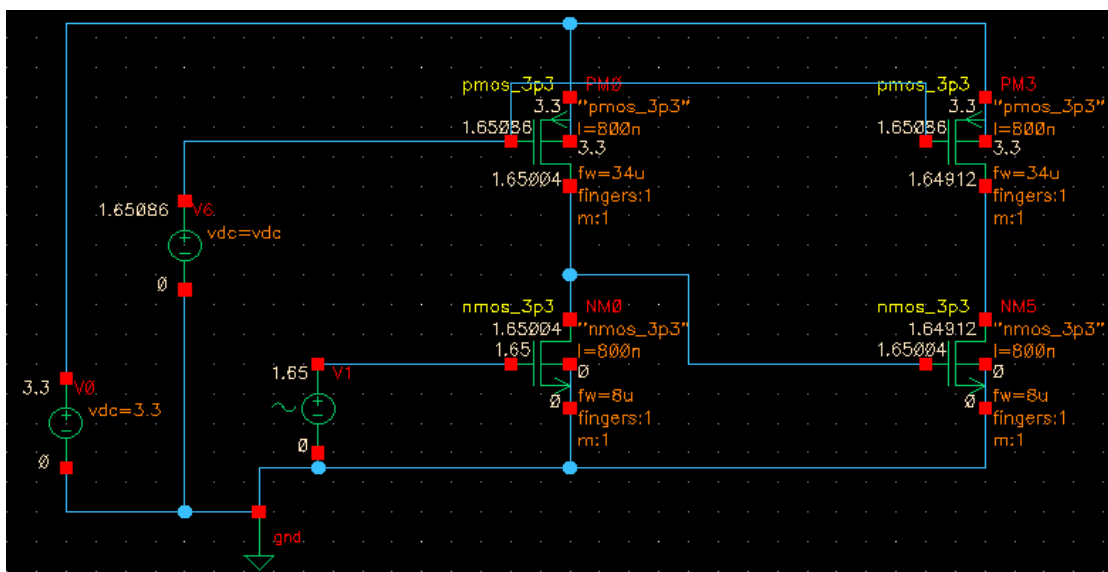


图 10-13 两级电流源负载单管放大电路

上图为结构的电流源负载单管放大电路原理图。仿真得到双极点： $p_0=3.311e7$ ， $p_1=2.100e8$ ，双零点对： $1.618e10$ ， $A_v=56.7\text{dB}$ 。可以看到两极点是比较靠近的，而且由于该电路增益较大（至少远大于有源负载形式的低于20dB十倍的增益），可以预期该电路的单位增益带宽点落在次极点之外，即相位裕度小于零。

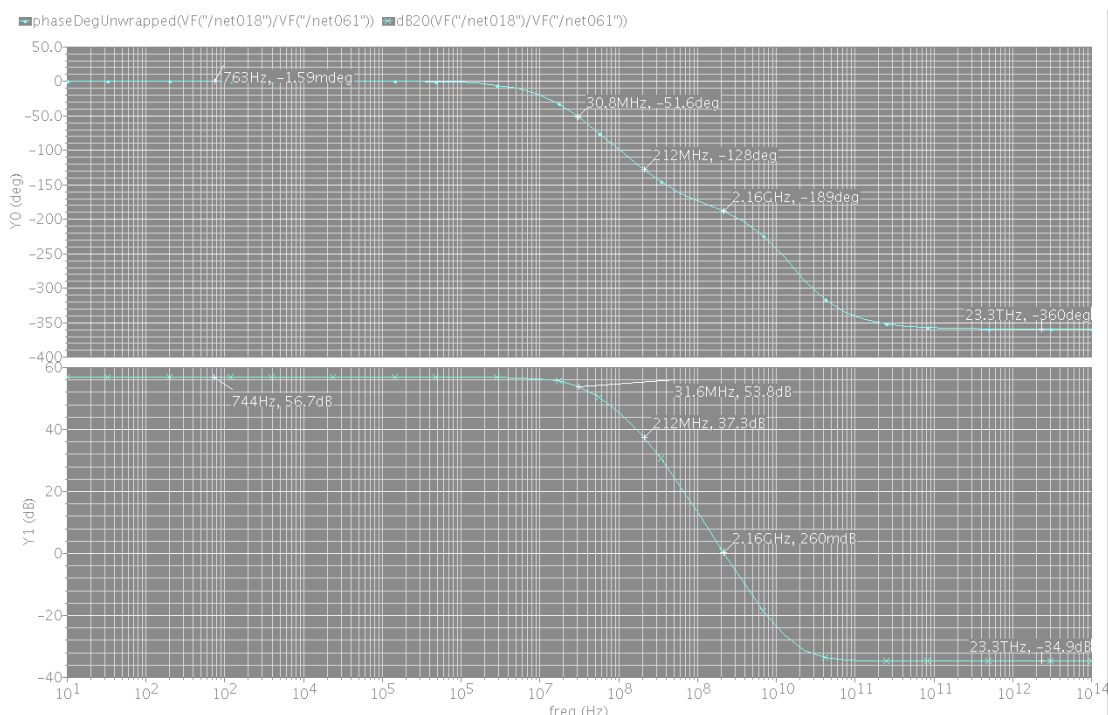


图 10-14 两级电流源负载无补偿频率响应图

上图即为该两级放大器的频率响应，由于增益较大，单位增益带宽为 2.16GHz，对应相位为 -189° ，即相位裕度为 -9° ，如果该放大器能够闭环使用（即存在一个假想的负反馈输入端——实际无法实现从输出端到输入端的负反馈），可以想象这个闭环系统将会发生振荡。

前面已经分析，如果单位增益带宽刚好是次极点所在，则相位裕度正好是 45° ，系统将闭环稳定。因此如果能够将主极点减小（减小开环 3dB 带宽），就能够提早增益按 -20dB/dec 下降的开始频率，这样将有可能使单位增益带宽移到次极点之内，从而满足相位裕度要求。另外，如果能将次极点增大，则也可能使次极点频率将单位增益带宽包含进去，同样也能满足相位裕度的要求。相位补偿技术通常是在两个高阻结点之间或者某个高阻结点与地之间加上一个电容，通过调节这个电容的值，就可以改变极点的位置。（为什么是高阻结点？因为根据 $\tau = 2\pi RC$ ，只有高阻值才能产生较低频的极点，低阻结点产生的极点值较高，通常将被忽略。）

图 18 为加入补偿电容值之后的两级放大器，依次增大补偿电容的取值，分析运放极零点情况，可以得到以下数据：

表 10-4 补偿电容与极零点关系

补偿电容值	主极点 p0	次极点 p1	零点 z0	零点 z1
1p	2.067e5	1.215e9	1.512e8	1.618e10
2p	1.037e5	1.233e9	7.596e7	1.618e10

3p	6.921e4	1.239e9	5.072e7	1.618e10
10p	2.080e4	1.248e9	1.525e7	1.618e10
20p	1.040e4	1.250e9	7.628e6	1.618e10

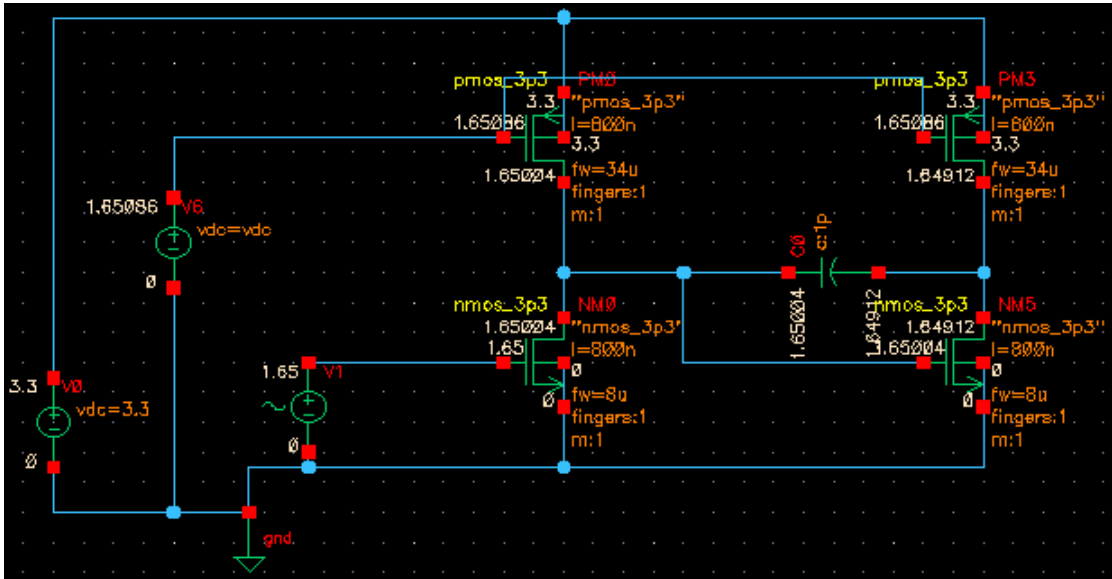


图 10-15 两级电流源负载单管放大电路及级间补偿电容

根据Gray一书给出的存在补偿电容情况下的极零点的公式，当补偿电容C很大（远大于寄生电容），并且 $gmR1 \gg 1$ ， $gmR2 \gg 1$ （即每级增益远大于1）的情况下，有：

$$p_0 \approx -\frac{1}{g_m R_1 R_2 C}, \quad p_1 = -\frac{g_m C}{C_2 C_1 + C(C_1 + C_2)} \quad (gm均为第二级放大管的跨导, R1、R2$$

为各级输出电阻)。增大C，则 p_0 反比例减小， p_1 增大，这也就是补偿电容能够使两极点产生分裂的原理。但由 p_1 公式可得，当C很大（远大于 C_1 和 C_2 ）时， $p_1 \rightarrow \frac{g_m}{C_1 + C_2}$ ，也就

是说，次极点随补偿电容的增大将逐渐趋近一个上限定值。从表4中我们可以清楚地看到这一趋势，即主极点 p_0 随 C_c 成反比例减小，次极点 p_1 稍有增加，当 C_c 很大时，近似等于定

值 $1.25e9$ 。在此过程中，第二级零点 z_0 仍按公式 $z_0 = \frac{g_m}{C_{dg}}$ 随 C_c 呈反比例变化。

可以检验当 C_c 为3p时各极零点的估计值。其中 $gm2=959.039u$ ， $gds1=28.106u$ ， $gds2=28.0841u$ ， $gds1m=8.64561u$ ， $gds2m=8.65395u$ 。从而可以估算 $p_0=7.473e4$ 。而 $C_1 = C_{gd1m} + C_{jd1m} + C_{gs2m} + C_{jd1} = 2.352f + 7.67f + 23.3224f + 40.2883f = 73.6327f$ ， $C_2 = C_{gd2m}$

+ Cjd2m + Cjd2 = 2.354f + 7.671f + 40.283f = 50.308f。从而可以估算 $p_1=1.232e9$ （按极限公式估算）或 $1.220e9$ （按标准公式估算）。而第二级零点仍为 $z_0=g_m/C_c=5.092e7$ 。可见估算精度尚可。

从上面有关补偿电容同极零点的互动可以看到，补偿电容从原理上可以使两极点分裂，但是在增大补偿电容的过程中（前提是补偿电容远大于寄生电容——一般的补偿情况都是这样），其主要的效应是压低了主极点，而对于次极点，除了是否存在补偿电容（即加入补偿电容之前次极点为 $2.100e8$ ，加入补偿电容之后为 $1.23e9$ 左右的值）能够明显影响其位置外，补偿电容值的变化对其影响不大。即一旦加入了补偿电容，则主要需要考察的指标为3dB带宽。

另外注意到Gray一书推导中假设 C_c 很大——这一假设仅是指补偿电容应该远大于寄生电容值。我们可以在输出级加上一个负载电容，其值为典型的2p，则未加补偿电容时，仿真得到 $p_0=2.75e6$ ， $p_1=7.12e7$ 。加入补偿电容之后，有下表：

表 10-5 补偿电容与极零点关系 II（负载电容 2p）

补偿电容值	主极点 p_0	次极点 p_1	零点 z_0	零点 z_1
1p	1.935e5	7.667e7	1.512e8	1.618e10
2p	1.003e5	7.688e7	7.596e7	1.618e10
3p	6.7664e4	7.695e7	5.072e7	1.618e10
10p	2.066e4	7.706e7	1.525e7	1.618e10
20p	1.037e4	7.708e7	7.628e6	1.618e10

可以看到分裂效果并没有明显的降低，明显的区别仅在于，此次由于输出级存在一个显著的负载电容，因此是否存在补偿电容对次极点的影响并不大（相比较无负载电容的情况来说）。

另外我们可以根据 $p_1 \rightarrow \frac{g_m}{C_1 + C_2}$ 预期，负载电容越大（同补偿电容相比），补

偿电容对次极点的移动作用越不明显，甚至可能会出现反向趋近于 $p_1 \rightarrow \frac{g_m}{C_1 + C_2}$ 的现象

（即使次极点减小，关于这一现象，可以将负载电容设为10p来观察）。总之，补偿电容应该同负载电容为一个相近的值，最好是比负载电容大——这样又将带来摆率等一系列问题，需要综合考虑。

下图是补偿电容为3p，无负载电容时，放大器的频率响应图：

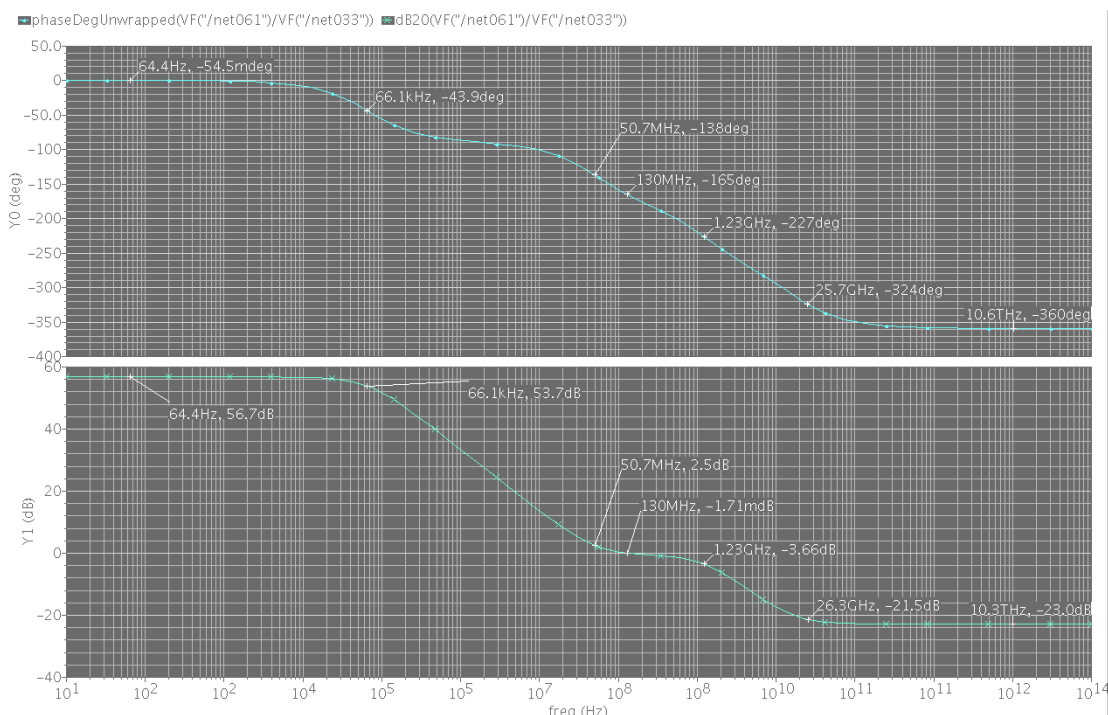


图 10-16 补偿电容对相位裕度的改善（补偿电容 3p）

由仿真得到的结果可以看到，影响放大器频率性能的三个点——主极点（ $6.92e4$ ）、次极点（ $1.24e9$ ）、主零点（ $5.07e7$ ）之间都充分分离（大于 10 倍频程以上），因此在频率响应波特图上可以看到一条很标准的频率曲线，三点对应相位分别对应 45° 、 135° 、 225° 左右。单位增益带宽为 130MHz，对应相位为 165° ，即相位裕度为 15° 。可以看到，由于主要压低了 3dB 带宽频率，使得单位增益带宽已经移到了次极点之内。如果是一个标准的双极点系统，这个带宽对应的相位裕度应该大于 45° ，但是现在实际上仍未达到要求。从图中可以明显看到，是主极点和次极点之间存在的零点影响了相位裕度。由零点公式

$$z_0 = \frac{g_m}{C_c}$$

中不存在这个问题），因此将会影响频率响应。由于零点对频率的影响为 20dB/dec ，因此将使得单位增益带宽变大，延缓下降，从而相位裕度降低。下面将要讨论的消零电阻的引入即为了解决这一问题。即通过消去次极点之内的零点，使放大器呈现一个两极点系统的响应（在感兴趣频段内），从而达到稳定性的要求。

另外对于两零点情况可以做一些思考。由公式 $z_0 = \frac{g_m}{C_{dg}}$ 可以看到，由于第二级栅漏之

间可能会接上一个较大的密勒电容来实现相位补偿，这使得第二级零点可能发生改变，且由 z_0 公式可以看到， z_0 只能变小。但是由于第一级绝对不会接上一个栅漏电容——这无异于自降带宽，因此这种由共源放大器为基本结构的放大电路有一个固有最大零点，这个零

点只由输入管栅漏交叠电容和该管跨导决定。由于mos管输入级跨导一般也仅为 $1\text{m}\sim 10\text{m}$ 量级（mos管本身跨导无法与双极器件相比，且输入级跨导如果设计得比这个数值更大，则可能引发功耗、失调、寄生电容等一系列问题，因此CMOS运放并不是仅靠一味提升输入管跨导来提升增益的），对于 C_{dg} ，由于输入管跨导大时管尺寸一般较大，因此寄生电容一般也大。对 z_0 做一个最大化的估计，估计 C_{dg} 为 100fF 量级（实际输入跨导 10m 量级时， C_{dg} 可能大约 1pF 量级；跨导 1m 量级时， C_{dg} 大约几十 fF 量级，由于 g_m 和 C_{dg} 为比例关系，作为最大化估计，取 10m 跨导时的 C_{dg} 为 100fF ），这样 z_0 约为 $1.6\text{e}10\text{ Hz}$ 。由于正零点将会严重影响放大器的闭环稳定性，降低相位裕度，因此一般应将单位增益带宽取在该正零点之内且至少远离十倍频程（注意到下面将讨论的补偿技术中的调零电阻可以抵消第二级零点，但是对于这个固有极点是无能为力的）。这样作为CMOS运算放大器的最大单位增益带宽（稳定工作时），合理值最多为 1GHz 以下，因此一般来说单位增益带宽为几百 MHz 为其带宽上限。如果欲设计 GHz 带宽以上量级的运放（如射频用途），可以看到只有采用寄生特性更好的工艺，或者速度特性更好的工艺（能实现跨导更大）如砷化镓工艺，或者使用带宽性能更好的双极型器件。（对于JFET输入级还未知其寄生电容特性，可能可以稍稍改善频率性能，但更高速的放大器更适合采用双极型器件来实现）

以上推论有几个问题。

第一，如本文开头所提到的极零点对产生的极零相消效应有利于提高放大器的带宽，因此可否采用极零相消技术将次极点移动到同零点相近的位置，从而同时消去这个极点和零点，形成一个较理想的单极点放大器？我以为答案是否定的。原因在于决定这个次极点的因素在于第一级负载电阻 R 和第二级输入电容 C 。如果不采用补偿技术（补偿技术将会等效增大第二级输入电容），第二级输入电容近似为 C_{gs} ，约几十 fF 量级，即使负载电阻为有源负载（频率特性最好），此电阻量级约为几 k 量级，则估算此极点为 $(2\pi * 1\text{k} * 20\text{f})^{-1}$ ，约为 $7.96\text{e}9\text{ Hz}$ ，难以达到 $1.6\text{e}10\text{ Hz}$ 的量级，而且牺牲了增益性能。

第二，众所周知，采用共栅形式的放大器能够得到极好的带宽性能，而且能够消除米勒效应的影响。采用这种方式无疑能比上述放大器得到更好的频率性能。但是，共栅形式的放大器由于输入阻抗小，一般不作为运放第一级，除非采用共源共栅输入级——这在低电源电压的情况下设计困难。

总而言之，上面关于零点的推论只是给出了一个CMOS运放（也许特指Chartered工艺）设计的一个带宽上限，最标准的对带宽上限的估计还是应该采用类似双极型器件固有限制截止频率 f_T 的方法（注意到类似的，这个上限截止频率也是由基极输入电阻决定的）。

消零电阻以及相位补偿技术

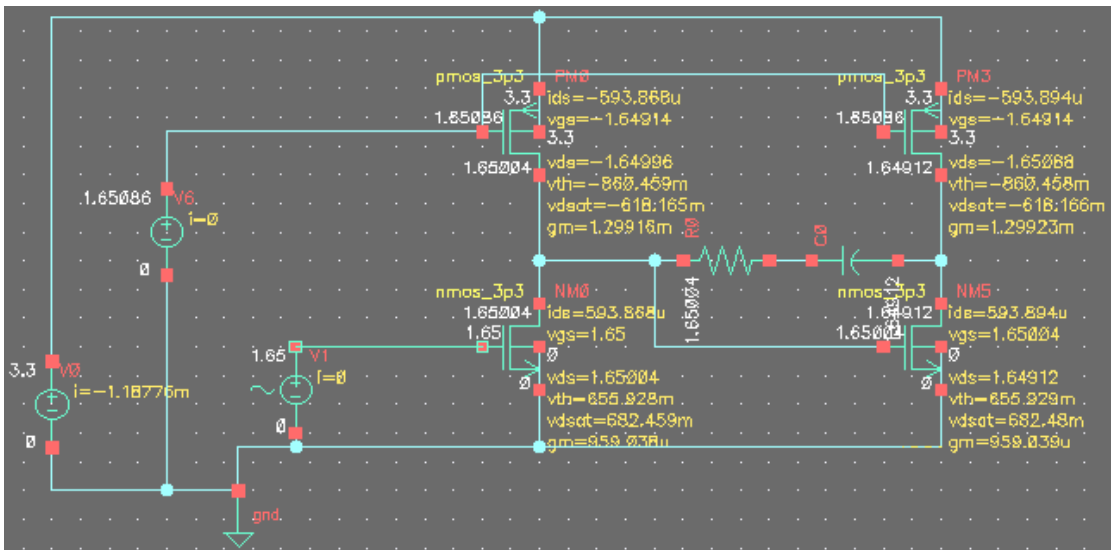


图 10-17 消零电阻以及补偿电容

上图为在补偿级中加入一个消零电阻的原理图。可以推得，加入电阻之后，将引入一个新极点 $p_3 = \frac{1}{R_z C_1}$ ，并将使零点变为 $z_0 = [(g_m^{-1} - R_z)C_c]^{-1}$ ，而其他两个极点不变。

可以想象，如果能将 R_z 的取值刚好取为 g_m^{-1} ，则正好能使这个零点变到无穷大，如果继续增大 R_z 的阻值，则这个零点将变为负零点。这就是消零电阻的由来。

第三部分 运算放大器设计

第 11 章 CMOS 运算放大器简介

由于CMOS运放主要用于模拟集成系统或子系统中,与整个系统设计制作在一个芯片上,所以它的负载是确定的,通常是几十pF的电容负载,这样就不需要像通用运放那样,要求电路能适应几百pF的电容负载或几k Ω 电阻负载。同时还可以利用负载电容形成运放的主极点,使电路简化。

20年前,多数的运放被设计成通用的模块,适应不同的要求。这些努力,企图制造一种“理想”的运放,既具有高的电压增益、高的输入阻抗以及非常低的输出阻抗,又具有良好的速率、输出摆幅等。

实际上,满足上述的某些性能不可避免地要牺牲其它性能为代价。这是因为运算放大器的各个参数之间相互制约,相互影响。所以我们今天的运放设计,从开始就认识到各个参数之间的折中关系,在整体中进行多方面的综合考虑。

11.1 指标参数

这里我们具体的介绍一下目前运放的性能中一些重要的指标参数,主要有开环增益、单位增益带宽、输出摆幅、建立时间、噪声等。在后面的设计中,我们将进一步说明对每个参数的取舍以及折中的处理办法。

11.1.1 开环增益

开环增益即开环差模电压增益,是指运算放大电路正常工作,接入规定负载,无反馈情况下的直流差模增益,它的测量电路如图 11-1。开环增益与输出电压有关,通常是在规定的输出电压幅度测得的值。

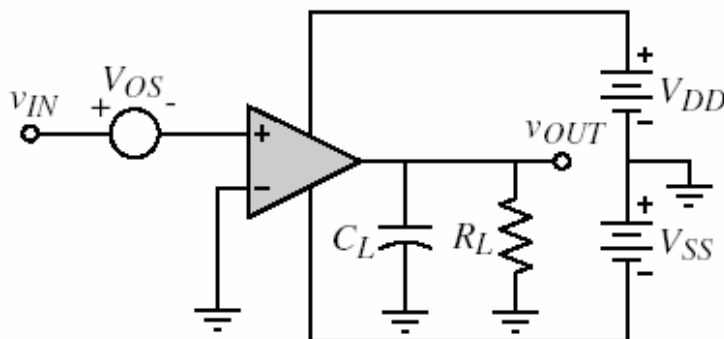


图 11-1 增益、相位裕量、摆幅测量电路图

现在运算放大电路的开环增益受其使用环境所控制。一般对于集成电路而言,其增益要求就比较严格,以确保精度。例如常用的模数转换器(ADC),其中集成的运算放大器的增益,就是由这个ADC的每一级的增益误差容限所决定。假如整个ADC的总的误差容限为

LSB/2 (LSB, 最小有效位), 那么这个N位的ADC的运算放大电路的开环增益 A_o 有:

$$A_o > 2^{N+1} \quad (11-1)$$

11.1.2 开环带宽

运算放大电路工作在高频环境中, 工作频率变化时, 其开环增益也随之发生变化。一般表现为工作频率增加, 开环增益下降, 如图 11-2。

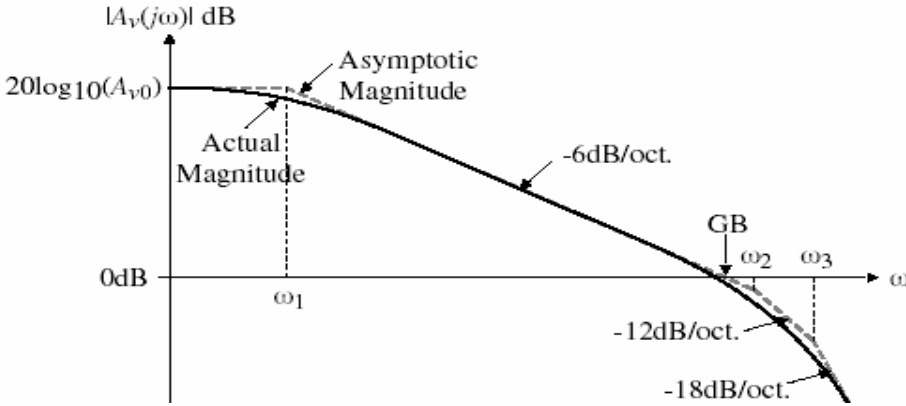


图 11-2 增益频率变化曲线

开环带宽就是描述运算放大器稳定工作的频率区间, 也称之为 3dB带宽, 是指开环差模电压增益下降 3dB时对应的频率 f_{3dB}

11.1.3 输出摆幅

输出摆幅即输出信号的幅度范围。现在使用运放的系统要求大的电压摆幅以适应大范围的信号值。例如, 能响应管弦乐队音乐的高质量的话筒可以产生的瞬时电压范围大于四个数量级。

所以对大摆幅的需求使全差分的运放使用相当普遍。但是, 由于对于运算放大电路, 最大的电压摆幅与器件尺寸、偏置电流、速度之间, 其性能指标是相互制约, 是一个很重要的课题、可以互换的。这对于运放设计而言, 大的摆幅是一个很重要的课题。

11.1.4 转换速率

转换速率是测量输出信号的最大斜率变化的量, 其定义为放大电路在闭环状态下, 输出为大信号 (例如阶跃信号) 时, 放大电路输出电压对时间的最大变化率。对于一般的单端运算放大器如图 11-3 所示:

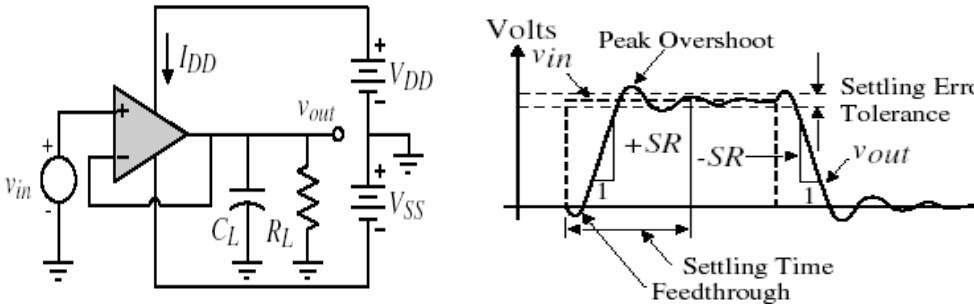


图 11-3 转换速率和建立时间的测量图

则有如下的计算公式：

$$SR = \text{Max} \left(\frac{d}{dt} V_{out} \right) \quad (11-2)$$

但是在高速信号的高速处理中，并不希望转换这种现象存在，因为在转换期间，输入—输出关系是非线性的，转换放大器的输出会表现出很大的失真。

11.1.5 建立时间

建立时间是用来描述电路的输出信号的稳定状况，如图 9-3 输入的信号经过工作电路后，输出信号经过一定时间内的起伏最后趋近稳定。对于阶跃响应信号，建立时间包括建立时间和保持时间。

11.1.6 电源抑制比

运算放大器的电源线上的噪声也会对输出信号造成影响，因此必须适当地“抑制”噪声。而电源抑制比就是测量运算放大器抑制这种偏差的程度的量。一般定义它为：从输入到输出的增益除以从电源到输出的增益。

因为现在的运算放大器逐渐出趋向于低压低功耗，对供电电源的要求也越来越高。

11.1.7 共模抑制比

共模抑制比是用来说明差式放大电路抑制共模信号的能力的一项技术指标，其定义为放大电路对差模信号的电压增益 Add (左图) 与对共模信号的电压增益 Adc (右图) 之比的绝对值，即：

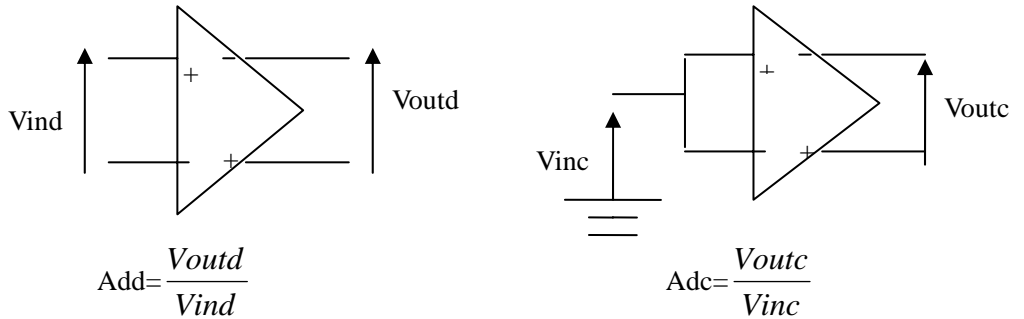


图 11-4 共模增益，差模增益的测试原理图

$$K_{CMRR} = \left| \frac{Add}{Adc} \right| \quad (11-3)$$

差模电压增益越大，共模电压增益越小，则共模抑制能力越强。放大电路的性能越优良，因此希望 K_{CMRR} 值越大越好。共模抑制比有时，也用分贝 (dB) 数来表示：

$$K_{CMRR} = 20 \lg \left| \frac{Add}{Adc} \right| \text{dB} \quad (11-4)$$

11.1.8 功耗

由于越来越多运算放大电路应用于便携式设备以及电池电源供电，电路的功耗就值得关注了。特别是现在的笔记本电脑，由于发热以及工作时间等问题，对电脑性能有一定的影响，也对使用者引起一些不方便。

所以减小功耗能够使得系统更加精简，也使得电源的寿命更长久，而且也能使得芯片在一个适当的温度下工作。

11.1.9 噪声

噪声限制了电路能够正确处理的最小信号电平，所以它与功耗、速度、线性度之间是相互制约，是一个重要的参数。

而集成电路处理的模拟信号主要会受到两重不同类型的噪声损坏(corrupt)：器件噪声和“环境”噪声，环境噪声(表面上)指电路所受到的电源或地线或者衬底的随即干扰。这里主要讨论器件噪声：热噪声和闪烁噪声(1/f)的概念，在后面的电路分析中会对其影响做详细的说明。

热噪声：由导体中的电子随机热运动产生，也称之为约翰逊噪声，其表达式为

$$\overline{V^2} = 4KTR \Delta f \quad (11-5)$$

其中k是波尔兹曼常数，R是热噪声等效电阻。

MOS晶体管也有热噪声，最大噪声是在沟道中产生，可以证明，对于工作在饱和区的长沟道MOS器件，可以用一个连接在漏源两端的电流源来模拟，如图 9-5，其谱密度为：

$$I_n^2 = 4KT\gamma g_m \quad (11-6)$$

在长沟道器件中， γ 一般取值为 2/3，在亚微米模型中，还有待研究。

闪烁噪声(1/f噪声)：是由半导体中的载流子的陷阱随机捕获或者释放载流子而形成。在实际中，其噪声平均功率并不容易测得。1/f噪声一般作为一串联于晶体管栅极的电压源，在低频时起主要作用。

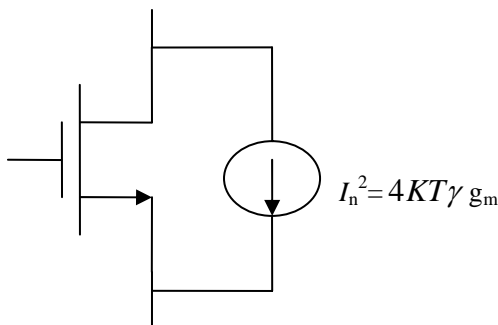


图 11-5 MOS 管的等效热噪声

典型的噪声功率密度表达式为：

$$V_n^2 = \frac{K}{C_{ox} WL} * \frac{1}{\Delta f} \quad (11-7)$$

11.2 CMOS 运算放大器的设计

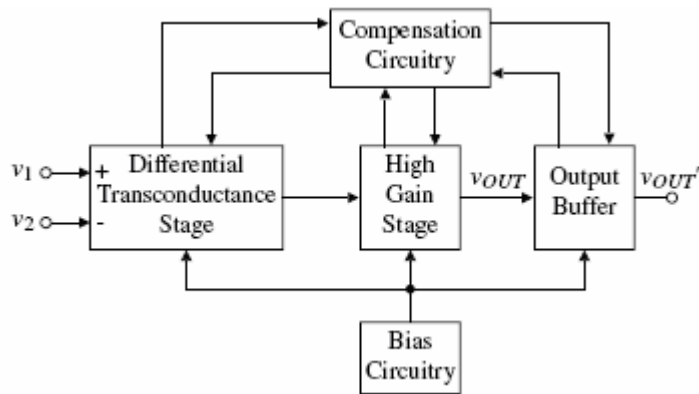


图 11-6 常用的两级运算放大器框图

CMOS运算放大器在结构上非常类似于双极型运算放大器。差分跨导级构成了运算放大器的输入级，有时会提供一个差分到单端的转换。通常，恰当的总增益由差分输入级提供，可以改善噪声和失调性能。第二级通常是反相器，如果差分输入级没有完成差分至单端的转换，那么这个工作应该由第二级的反相器完成。如果运算放大器必须驱动一个低电阻负载，第二级后必须增加一级缓冲级，用于降低输出电阻，维持大的信号摆幅。偏置电路用于为每只晶体管建立适当的静态工作点，而采用补偿电路可以达到稳定的闭环特性。

11.2.1 运算放大器分类和结构

表 11-1 CMOS 运算放大器分类

Conversion	Hierarchy		
Voltage to Current	Classic Differential Amplifier	Modified Differential Amplifier	First Voltage Stage
Current to Voltage	Differential-to-single ended Load (Current Mirror)	Source/Sink Current Loads	
Voltage to Current	Transconductance Grounded Gate	Transconductance Grounded Source	Current Stage
Current to Voltage	Class A (Source or Sink Load)	Class B (Push-Pull)	Second Voltage Stage

根据上表的分类，两个主要的运算放大器结构如下：

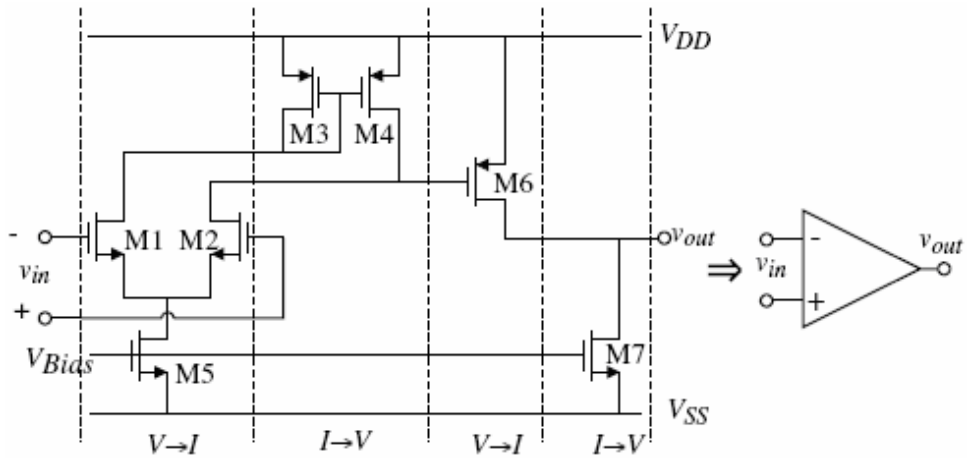


图 11-7 标准两级 CMOS 运算放大器拆分成电压—电流级和电流—电压级

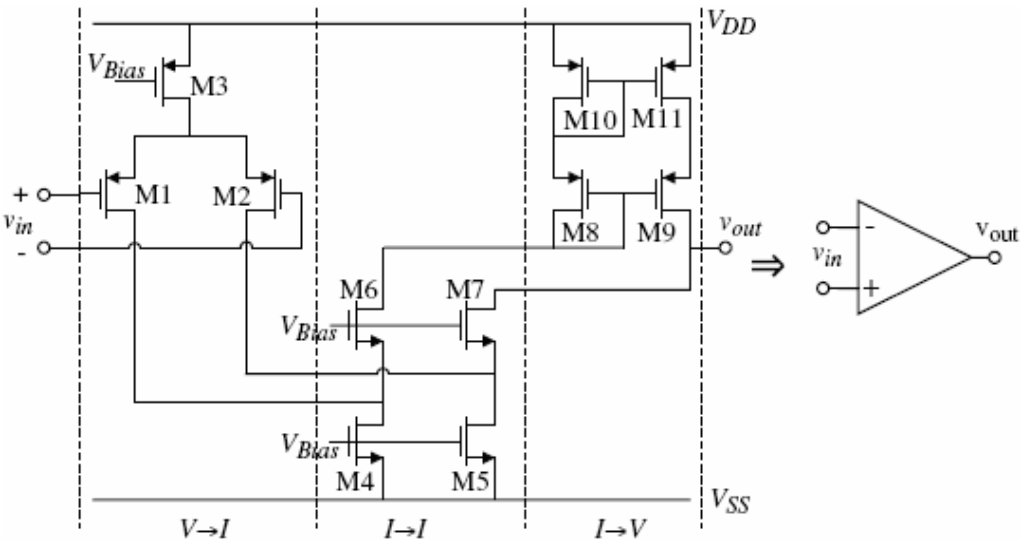


图 11-8 分级的折叠共源共栅运算放大器

11.2.2 典型的无缓冲 CMOS 运算放大器指标特性

开始着手实际设计之前，所有对设计给出导向的要求和边界条件都必须明确。下面列出必须考虑的问题。

边界条件：

- ①工艺规范（ V_T 、 K' 、 C_{ox} 等等）
- ②电源电压范围
- ③电源电流范围
- ④工作温度范围

要求:

- ①增益
- ②增益带宽
- ③建立时间
- ④摆率
- ⑤输入共模范围ICMR
- ⑥共模抑制比CMRR
- ⑦电源电压抑制比PSRR
- ⑧输出电压摆幅
- ⑨输出电阻
- ⑩失调
- ①①噪声
- ①②版图面积

表 11-2 典型的无缓冲 CMOS 运算放大器特性

Boundary Conditions	Requirement
Process Specification	See Tables 3.1-1 and 3.1-2
Supply Voltage	$\pm 2.5\text{ V } \pm 10\%$
Supply Current	$100\text{ }\mu\text{A}$
Temperature Range	$0\text{ to }70^{\circ}\text{C}$
Specifications	Value
Gain	$\geq 70\text{ dB}$
Gainbandwidth	$\geq 5\text{ MHz}$
Settling Time	$\leq 1\text{ }\mu\text{sec}$
Slew Rate	$\geq 5\text{ V}/\mu\text{sec}$
Input <i>CMR</i>	$\geq \pm 1.5\text{ V}$
<i>CMRR</i>	$\geq 60\text{ dB}$
<i>PSRR</i>	$\geq 60\text{ dB}$
Output Swing	$\geq \pm 1.5\text{ V}$
Output Resistance	N/A, capacitive load only
Offset	$\leq \pm 10\text{ mV}$
Noise	$\leq 100\text{ nV}/\sqrt{\text{Hz}}$ at 1KHz
Layout Area	$\leq 10,000\text{ min. channel length}^2$

一般来说，设计一个CMOS运算放大器，有以下几个步骤:

(1) 确定合适的结构

仔细研究过技术指标后，确定所需要的结构类型。比如，如果要求非常小的噪声和失调，那么这个结构必须在输入级提供高增益。如果需要低功耗，那么甲乙类输出级也许是必要的。这又决定了必须使用的输入级类型。很多情况下，必须构造一定的结构以满足特

定的应用。

（2）确定满足指标所需要的补偿类型

有很多方法可以对运算放大器做出补偿。某些独特的方式适用于某些结构或指标。例如，必须驱动非常大的容性负载的运算放大器应该在输出端进行补偿。如果是这样，就要求确定所需输入和输出级的类型。在设计过程的第1步和第2步之间，反复是必然的。

（3）设计管子尺寸以满足直流、交流和瞬态性能

根据近似公式从手工计算开始，补偿元器件的尺寸也在这一过程中确定。每个器件的尺寸手工计算后，用仿真工具进行电路优化设计。

在设计过程中可能会发现，用选定的结构达到某些指标是很困难的，甚至是不可能的。此时设计者必须改进结构或查找资料以寻求能够达到要求的方法。查找资料替代了重新建立一个新的结构。对非常关键的设计，手工计算可以在整个任务的20%的时间内完成大约80%的工作。剩下的20%的工作需要80%的时间完成。有时手工计算会因近似计算而受误导。尽管如此，这个步骤却是必需的。它可以使设计者对设计参数变化的灵敏性有一个感性认识。除此之外。没有其它方法可以使设计者了解各种设计参数是如何影响性能的。计算机模拟的反复在这方面给设计者的感觉并不明显。

模拟设计的有效规则是：（模拟器的使用） \times 常识=（常数）

（4）当电路满足技术指标后，进行版图设计。并对对版图待寄生参数的后仿真，使其达到性能指标要求。

（5）如果版图满足了要求性能指标要求，就进行样品制作，对样品进行测试和评估，使其达到性能指标要求

（6）只要样品满足性能指标要求，就可以大量生产，设计就结束了。如果没有，就要分析原因，从制作，从设计多方面分析，直到样品满足性能指标要求，设计才算完成。

对于LSI中的CMOS运算放大器来说，由于它通常工作在闭环情况，因此最值得关注的两项指标是它的支流增益和单位增益带宽。可以通过增大有源负载来提高运算放大器的增益。也可以利用单管增益自举来改善增益，还可以通过单级放大器自举来提高SOC中的CMOS运算放大器的增益。

第 12 章 基本两级运算放大器分析与设计

12.1 电路的设计目标和结构

12.1.1 设计目标

表 12.1 所要设计的运放的性能指标

参数	单位	指标要求
供给电压	V	± 2.5
直流增益	dB	74
GB	MHz	5
相位裕度	度	60
输出摆幅	V	± 2
共模输入范围	V	-1 to 2V
压摆率	V/ μ s	10
功耗	mW	2
输出信号	——	单端输出
负载电容	pF	10

12.1.2 采用的结构和小信号模型

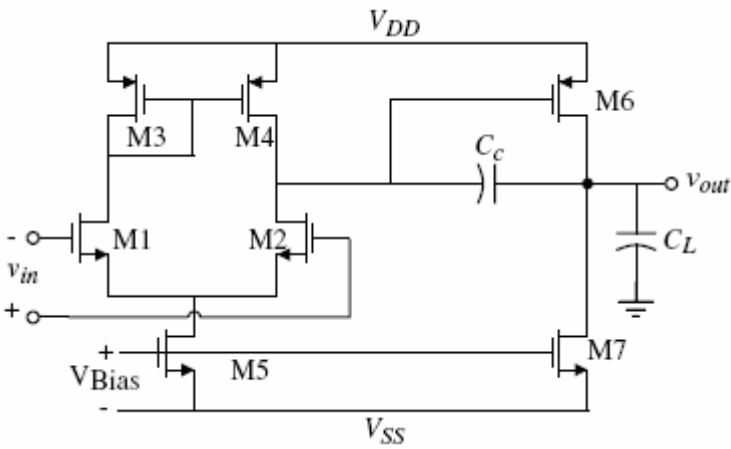


图 12-1 具有 N 沟道输入对的无缓冲两级运算放大器电路

整个电路是一个两级放大运放大器。第一级是由M3 和M4 构成的电流镜作为负载，由M1 和M2 构成的差动作作为输入级，M5 提供偏置电流的差动放大器构成。第二级是由M6 和M7 构成的电流源负载共源放大器构成的输出级。其中M7 提供偏置电流。

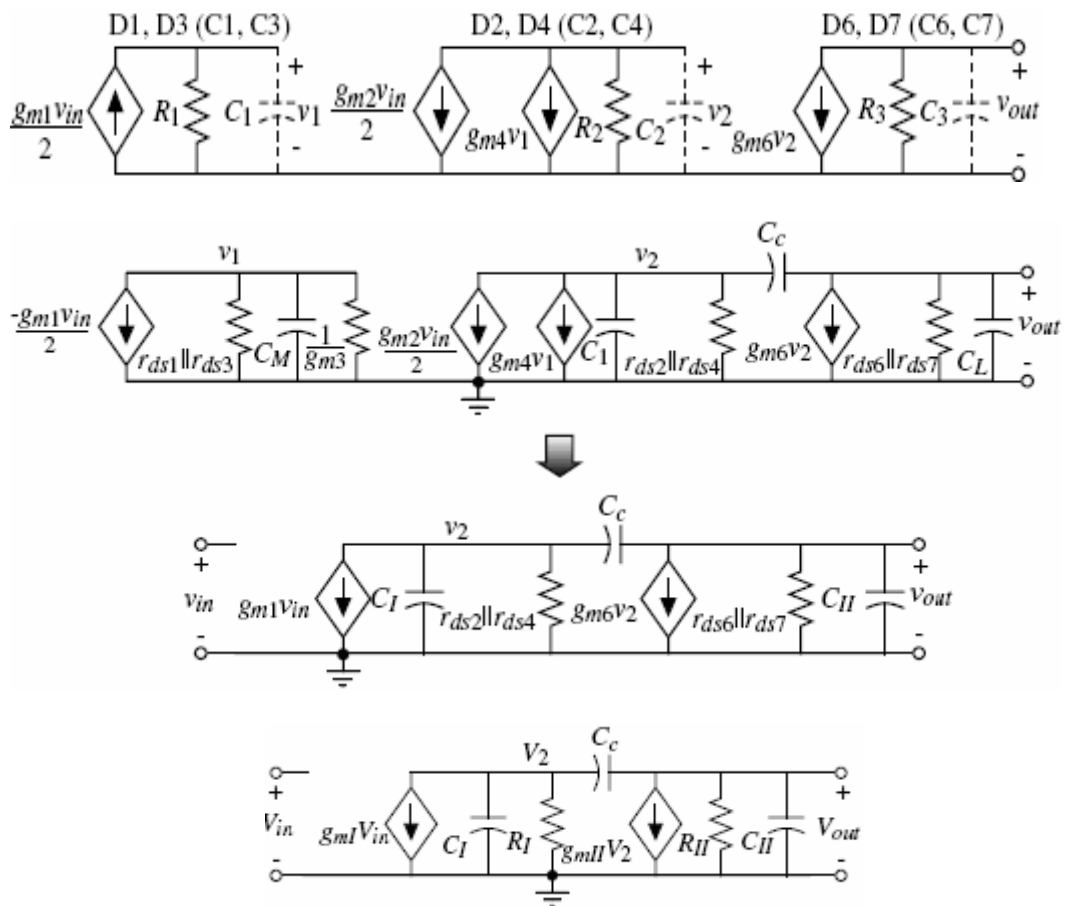


图 12-2 小信号模型

假设 $gm_I = gm_1 = gm_2$, $R_I = r_{ds2} || r_{ds4}$, $C_I = C_1$, 并且 $gm_{II} = gm_6$, $R_{II} = r_{ds6} || r_{ds7}$, $C_{II} = C_2 = C_L$, 有

$$-gm_I V_{in} = [G_I + s(C_I + C_c)]V_2 - [sC_c]V_{out}$$

$$0 = [gm_{II} - sC_c]V_2 + [G_{II} + sC_{II} + sC_c]V_{out}$$

求解, 得

$$\begin{aligned} \frac{V_{out}(s)}{V_{in}(s)} &= \frac{gm_I(gm_{II} - sC_c)}{G_I G_{II} + s[G_{II}(C_I + C_{II}) + G_I(C_{II} + C_c) + gm_{II}C_c] + s^2[C_I C_{II} + C_c C_I + C_c C_{II}]} \\ &= \frac{A_o[1 - s(C_c/gm_{II})]}{1 + s[R_I(C_I + C_{II}) + R_{II}(C_2 + C_c) + gm_{II}R_I R_{II}C_c] + s^2[R_I R_{II}(C_I C_{II} + C_c C_I + C_c C_{II})]} \end{aligned}$$

这儿 $A_o = gm_I gm_{II} R_I R_{II}$

经分析, 得到下列重要关系式:

$$\text{摆率 } SR = \frac{I_5}{C_c} \quad (\text{假设 } I_7 \gg I_5 \text{ and } C_L > C_c)$$

第一级增益 $A_{v1} = -\frac{g_{m1}}{(g_{ds2} + g_{ds4})} = -2g_{m1}/[I_5(\lambda_2 + \lambda_4)]$

第二级增益 $A_{v2} = -g_{m6}/(g_{ds6} + g_{ds7}) = -g_{m6}/[I_6(\lambda_6 + \lambda_7)]$

增益带宽 $GB = g_{m1}/C_c$

输出极点 $p_2 = -g_{m6}/C_L$

RHP 零点 $z_1 = g_{m6}/C_c$

如果所有根 $\geq 10GB$, 那么 60° 相位裕度要求 $g_{m6} = 2.2g_{m2}(C_L/C_c)$ 。

$$\text{最大共模输入电压 ICMR } V_{in(max)} = V_{DD} - \sqrt{\frac{I_5}{\beta_3}} - |V_{T03}|_{(max)} + V_{T1(min)}$$

$$\text{最小共模输入电压 ICMR } V_{in(min)} = V_{SS} + \sqrt{\frac{I_5}{\beta_1}} + V_{T1(max)} + V_{DS5(sat)}$$

$$\text{饱和电压 } V_{DS(sat)} = \sqrt{\frac{2I_{DS}}{\beta}}$$

(在上面的关系中, 设所有的晶体管都工作在饱和区)

12.2 具体的设计过程

12.2.1 电路设计特点

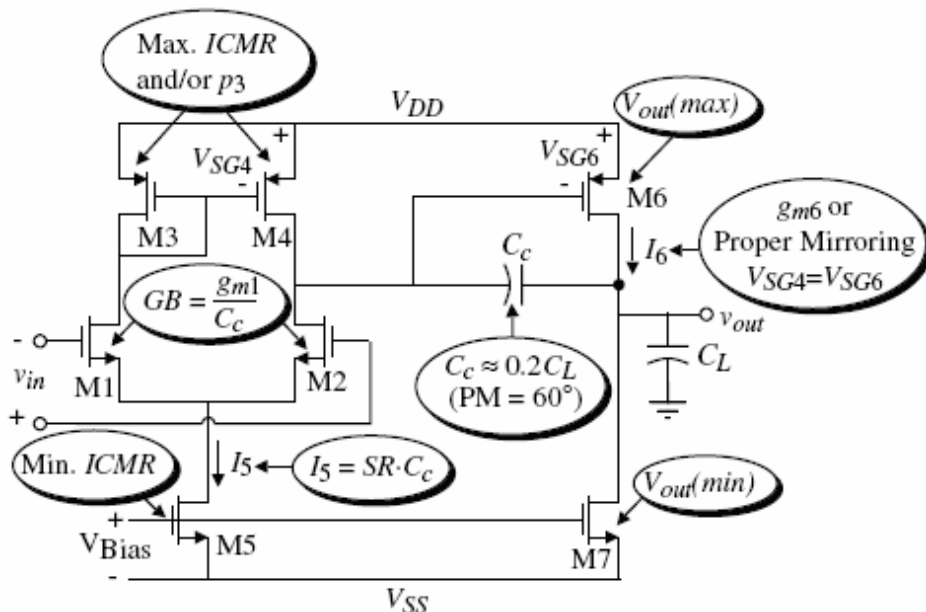


图 12-3 设计指导图

12.2.2 晶体管的设计指导

①现在开始设计，首先选择在整个电路中使用的器件栅长。这个值将确定沟道长度调制参数 λ 的值，这是计算放大器增益时所必需的参数。因为管子模型随沟道长度变化很大，在设计中所用的器件的栅长选择可以使模拟更精确。

②管子栅长选好后，可以确定补偿电容 C_c 的最小值。如果设置输出节点 p_2 高于 2.2GB 可以获得 60° 的相位裕量（假设 RHP 零点 z_1 高于 10GB 以上），这样的极、零点位置导致对 C_c 的最小值有下面的要求：

$$C_c > (2.2/10)CL$$

③下面在满足摆率要求的基础上确定尾电流 I_5 ，算出 I_5 。由两个值中的最大值确定“尾电流”（ I_5 ）的最小值。

$$I_5 = SR(C_c) \quad (12-1)$$

$$I_5 \cong 10 \left(\frac{V_{DD} + |V_{SS}|}{2T_s} \right)$$

④现在可以确定 M_3 的宽长比，根据正的输入共模范围要求来确定。下面通过设计公式 (12-2) 计算 $(W/L)_3$ 值：

$$(W/L)_3 = \frac{I_5}{(K'_N)[V_{DD} - V_{in}(\text{最大}) - |V_{T03}|(\text{最大}) + V_{T1}(\text{最小})]^2} \geq 1 \quad (12-2)$$

⑤验证 C_{gs3} 和 C_{gs4} 引起的极、零点 ($=0.67W_3L_3C_{ox}$) 不是主极、零点，设 p_3 大于 10GB：

$$\frac{g_{m3}}{2C_{gs3}} > 10GB$$

⑥输入管的跨导要求可以由 C_c 和 GB 的知识来确定。跨导 g_{m1} 可以用下面的公式计算：

$$g_{m1} = GB \cdot C_c \quad (12-3)$$

宽长比 $(W/L)_1$ 直接由 g_{m1} 得到如下：

$$(W/L)_1 = \frac{g_{m1}^2}{(K'_2)(I_5)} \quad (12-4)$$

⑦现在有足够的信息来计算 M_5 管的饱和电压。用负的输入共模范围要求来计算 V_{DS5} ，由式 (12-5) 计算出值。

$$V_{DS5}(\text{饱和}) = V_{in}(\text{最小}) - V_{SS} - 2\left(\frac{I_5}{\beta_1}\right)^{1/2} - V_{T1}(\text{最大}) \geq 100\text{mV} \quad (12-5)$$

确定了 V_{DS5} 后, $(W/L)_5$ 可以用式 (12-6) 得到:

$$(W/L)_5 = \frac{2(I_5)}{(K'_5)V_{DS5}(\text{饱和})^2} \quad (12-6)$$

⑧到这里, 运算放大器的第一级设计完成了。为了使相位裕度大点, 既极点 p_2 离原点足够远点。让第二极点 (p_2) 等于 2.2GB 以确定 S_6 和 I_6 。

$$g_{m6} = 2.2g_{m2}\left(\frac{C_L}{C_C}\right) \quad (12-7)$$

如果 $V_{SG4} = V_{SG6}$, 我们可以写出:

$$S_6 = S_4 \frac{g_{m6}}{g_{m4}} \quad (12-8)$$

如果知道了 g_{m6} 和 S_6 , 就可以用下面的公式来定义直流 I_6 :

$$I_6 = \frac{g_{m6}^2}{2(K'_6)(W/L)_6} \quad (12-9)$$

⑨另外, I_6 的计算也可以采用下式先解出 W_6/L_6 :

$$\frac{W_6}{L_6} = \frac{g_{m6}}{K'_6 V_{DS6}(\text{饱和})}$$

然后再用前面的关系式确定。当然, M_3 和 M_4 之间的正确镜像关系不再得到保证。

⑩ M_7 管的尺寸的选择达到 I_5 和 I_6 之间所希望的电流比, 可以由下面给出的平衡方程式决定:

$$(W/L)_7 = (W/L)_5 \left(\frac{I_6}{I_5} \right) \quad (12-10)$$

⑪⑪核对增益和功耗指标:

$$A_v = \frac{2g_{m2}g_{m6}}{I_5(\lambda_2 + \lambda_3)(\lambda_6 + \lambda_7)}$$

$$P_{diss} = (I_5 + I_6)(V_{DD} + |V_{SS}|)$$

①②如果不满足增益指标，可以减小电流 I_5 和 I_6 或者增加 M_2 和 M_6 的 W/L 比。前面的计算必须重新检查以确保它们都得到满足。如果功耗太高，只能减小电流 I_5 和 I_6 。电流的减小将很可能需要增大一些宽长比以满足输入和输出摆幅。

①③模拟整个电路看是否所有指标都能满足。

至此，设计过程中没有考虑噪声或PSRR。现在初步设计已经完成，因此可以考虑这两个指标了。输入参考电压噪声主要由负载和第一级输入管引起，有热噪声和 $1/f$ 噪声。任何管子的 $1/f$ 噪声可以通过增加管子面积（即增加 WL ）来降低。任何管子的热噪声可以通过增大自身 g_m 来减小。这可以由增大 W/L 、增大电流、或者同时增大两者来实现。由负载管引起的有效输入噪声电压可以通过减小 $g_{m3}/g_{m1}(g_{m4}/g_{m2})$ 的比来减小。必须注意，这些改进噪声性能的调整不要反过来影响运算放大器的其它重要性能。

电源抑制比在很大程度上是由所采用的结构决定的。在负PSRR中的一些改进通过增大 M_5 的输出电阻来实现。这通常是在不影响其它性能的情况下成比例地增大 W_5 和 L_5 来完成。晶体管 M_7 应当按照适当的匹配来调整。

12.2.2 手算过程

设计指标：

相位裕度：	600	负载电容：	10PF
开环增益(低频)：	5000V/V	共模输入范围：	-1V~2V
输出电压：	-2V~2V(CL only)	电源电压：	Vdd=-Vss=2.5V
压摆率：	10V/us	直流功耗：	<2mW
单位增益带宽：	>5MHz	输出信号：	单端输出

首先算出补偿电容 C_c 的最小值：

$$C_c > (2.2/10)CL = 2.2pF$$

选定 C_c 为3pF。用摆率指标和 C_c 算出 I_5 。

$$I_5 = SR(C_c) = 30uA$$

下面用ICMR的要求计算 $(W/L)_3$ 值：

$$(W/L)_{3=} = \frac{I_5}{(K'_N)[V_{DD} - V_{in}(\text{最大}) - |V_{T03}|(\text{最大}) + V_{T1}(\text{最小})]^2}$$

$$= \frac{30 \times 10^{-6}}{(50 \times 10^{-6})[2.5 - 2 - 0.85 + 0.55]^2} = 15$$

因此:

$$(W/L)_3 = (W/L)_{4=15}$$

现在我们可以检查镜极点p3 的值, 确保大于 10GB, 设Cox=2.47fF/um²。求得镜极点为:

$$\frac{g_{m3}}{2C_{gs3}} = \frac{-\sqrt{2K_P'S_3I_3}}{2(0.667)W_3L_3C_{ox}} = 2.81 \times 10^9 \text{ rad/s}$$

或者 448MHz。于是p3 和z3 在这个设计中没有影响, 因为p3>>10GB。

计算跨导gm1:

$$gm1 = GB.Cc = (5 \times 10^6)(2\pi)(3 \times 10^{-12}) = 94.25 \mu S$$

宽长比 (W/L) 1 直接由gm1 得到如下:

$$(W/L)_1 = (W/L)_2 = \frac{g_{m1}^2}{(K_2')(I_5)} = \frac{(94.25)^2}{2 \times 110 \times 15} = 2.79 \approx 3.0$$

计算 V_{DS5} :

$$\begin{aligned} V_{DS5}(\text{饱和}) &= V_{in}(\text{最小}) - V_{SS} - 2\left(\frac{I_5}{\beta_1}\right)^{1/2} - V_{T1}(\text{最大}) \\ &= (-1) - (-2.5) - \sqrt{\frac{30 \times 10^{-6}}{110 \times 10^{-6} \times 3}} - 0.85 = 0.35V \end{aligned}$$

确定了 V_{DS5} 后, 得到 $(W/L)_5$:

$$(W/L)_5 = \frac{2(I_5)}{(K_5')V_{DS5}(\text{饱和})^2} = \frac{2(30 \times 10^{-6})}{(110 \times 10^{-6})(0.35)^2} = 4.49 \approx 4.5$$

⑧到这里, 运算放大器的第一级设计完成了。为了使相位裕度大点, 既极点p2 离原点足够远点。让第二极点 (p2) 等于 2.2GB以确定S6 和I6。

$$g_{m6} = 2.2g_{m2}\left(\frac{C_L}{C_C}\right)$$

$$g_{m6} \geq 10g_{m1} \geq 942.5 \mu S$$

设gm6=942.5uS并计算出gm4 为 150uS, 如果 $V_{GS4} = V_{GS6}$, 我们可以写出:

$$\frac{g_{m6}}{S_6 = S_4 g_{m4}} = 15 \times \frac{942.5}{150} = 94.25 \approx 94$$

如果知道了 g_{m6} 和 S_6 ，就可以用下面的公式来定义直流 I_6 ：

$$I_6 = \frac{g_{m6}^2}{2(K_P)(W/L)_6} = \frac{(942.5 \times 10^{-6})^2}{(2)(50 \times 10^{-6})(94)} = 94.5 \mu A \approx 95 \mu A$$

从 I_6 解出 W_6/L_6 ：

$$\frac{W_6}{L_6} = \frac{g_{m6}}{K_6 V_{DS6}(\text{饱和})} \approx 15$$

因为由上面得到的 94 的宽长比较大，因此最大输出电压指标会得到满足。

M_7 管的尺寸的选择达到 I_5 和 I_6 之间所希望的电流比，可以由下面给出的平衡方程式决定：

$$(W/L)_7 = (W/L)_5 \left(\frac{I_6}{I_5} \right) = 4.5 \times \left(\frac{95 \times 10^{-6}}{30 \times 10^{-6}} \right) = 14.25 \approx 14$$

现在让我们检查 V_{out} (最小) 的指标 (虽然 M_7 的 W/L 比已经足够大，以致这一步可能不需要)。 V_{out} (最小) 的值是：

$$V_{\min}(\text{输出}) = V_{DS7}(\text{饱和}) = \sqrt{\frac{2 \times 95}{110 \times 14}} = 0.351V$$

这比期望的值小。

至此，设计初步完成。

核对增益和功耗指标：

$$P_{diss} = (I_5 + I_6)(V_{DD} + |V_{SS}|) = 5V \times (30 \mu A + 95 \mu A) = 0.625mW$$

$$A_v = \frac{2g_{m2}g_{m6}}{I_5(\lambda_2 + \lambda_3)(\lambda_6 + \lambda_7)} = \frac{2(92.45 \times 10^{-6})(942.5 \times 10^{-6})}{30 \times 10^{-6}(0.04 + 0.05)95 \times 10^{-6}(0.04 + 0.05)} = 7696V/V$$

增益指标得到满足。如果想得到更高的增益，一种简单的办法是将 W 和 L 的值增大两倍，因为 λ 的减小将使增益增大 20 倍。下图为初步设计结果，下一步将仿真。

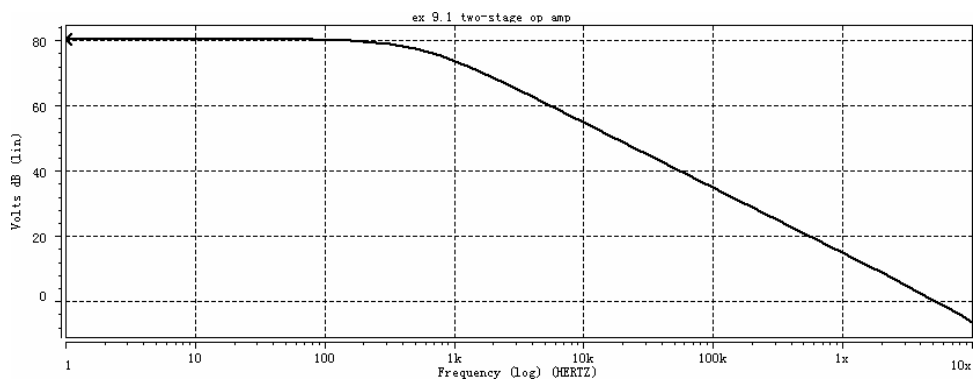

```

.MODEL NMOS1 NMOS VT0=0.70 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
+MJ=0.5 MJSW=0.38 CGB0=700P CGS0=220P CGD0=220P CJ=770U CJSW=380P
+LD=0.016U TOX=14N
.MODEL PMOS1 PMOS VT0=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
+MJ=0.5 MJSW=0.35 CGB0=700P CGS0=220P CGD0=220P CJ=560U CJSW=350P
+LD=0.014U TOX=14N
.ends
.op
*.tf v(3) vil(test in resistance/out resistance)
*.dc vil -0.005 0.005 100u
*.print dc v(3)
.ac dec 10 1 10MEG
.print ac vdb(3) vp(3)
.end

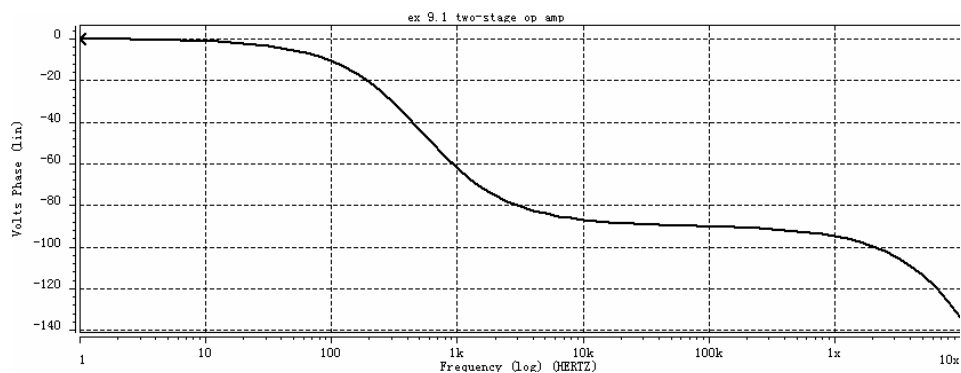
```

电路的开环特性输入网表文件如上所示。转移幅频、相频响应如图 12-6 所示。

增益频谱特性



(a)



(b)

图 12-6 开环特性增益曲线 (a) 和相位曲线 (b)

从图 12-6 我们可以直接读出一下结果：Gain=80dB；Phase Margin=65o；GB=5MHz
输入输出特性

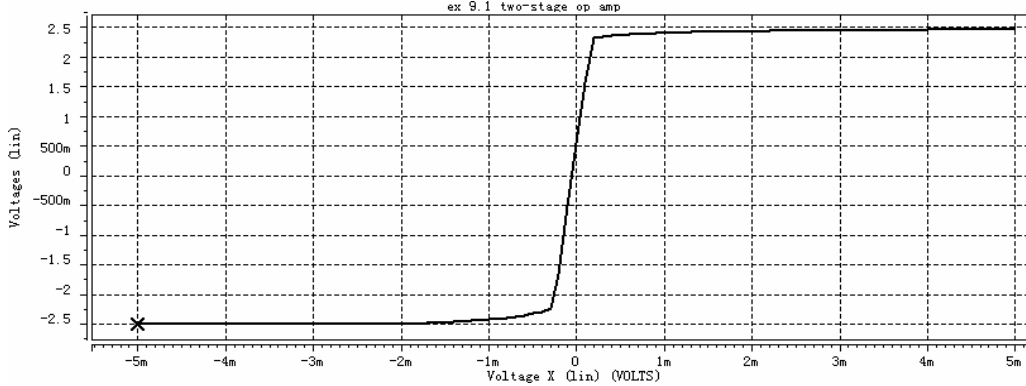


图 12-7 输入输出特性曲线

从图中我们得出输出摆，电压的正向摆幅约为 2.48V，负向摆幅约为 -2.5 V，二者稍微有些差异。

12.3.2 闭环特性仿真

```
EXAMPLE 10.2 UNITY GAIN CONFIGURATION.
.option post=2 numdgt=7 tnom=27
VIN+ 1 0 PWL(0 -2 10N -2 20N 2 2U 2 2.01U
-2 4U -2 4.01U
+ -.1 6U -.1 6.01U .1 8U .1 8.01U -.1
10U -.1)
VDD 4 0 DC 2.5 AC 1.0
VSS 0 5 DC 2.5
CL 3 0 20P
X1 1 3 3 4 5 OPAMP
```

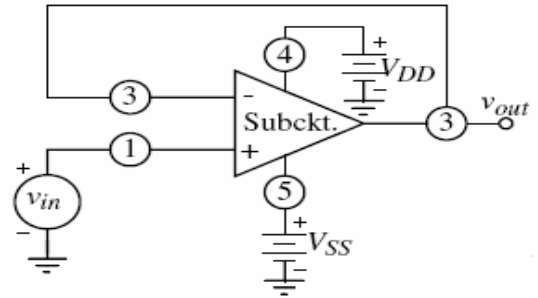


图 12-8 运放闭环特性测试图

```
.subckt opamp 1 2 6 8 9
M1 4 2 3 3 NMOS1 W=3U L=1U AD=18P AS=18P PD=18U PS=18U
M2 5 1 3 3 NMOS1 W=3U L=1U AD=18P AS=18P PD=18U PS=18U
M3 4 4 8 8 PMOS1 W=15U L=1U AD=90P AS=90P PD=42U PS=42U
M4 5 4 8 8 PMOS1 W=15U L=1U AD=90P AS=90P PD=42U PS=42U
M5 3 7 9 9 NMOS1 W=4.5U L=1U AD=27P AS=27P PD=21U PS=21U
M6 6 5 8 8 PMOS1 W=94U L=1U AD=564P AS=564P PD=200U PS=200U
M7 6 7 9 9 NMOS1 W=14U L=1U AD=84P AS=84P PD=40U PS=40U
M8 7 7 9 9 NMOS1 W=4.5U L=1U AD=27P AS=27P PD=21U PS=21U
cc      5      6      3pf
Iref    8      7      dc 30u
*rset    8      7      131.16k
```

```
.MODEL NMOS1 NMOS VTO=0.70 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
+MJ=0.5 MJSW=0.38 CGBO=700P CGSO=220P CGDO=220P CJ=770U CJSW=380P
+LD=0.016U TOX=14N
.MODEL PMOS1 PMOS VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
+MJ=0.5 MJSW=0.35 CGBO=700P CGSO=220P CGDO=220P CJ=560U CJSW=350P
+LD=0.014U TOX=14N
.ends
```

```
.DC VIN+ -2.5 2.5 0.1
.PRINT DC V(3) I(X1.M5)
.TRAN 0.05U 10U 0 10N
.PRINT TRAN V(3) V(1)
.AC DEC 10 1 10MEG
.PRINT AC VDB(3) VP(3)
.END
```

共模范围特性

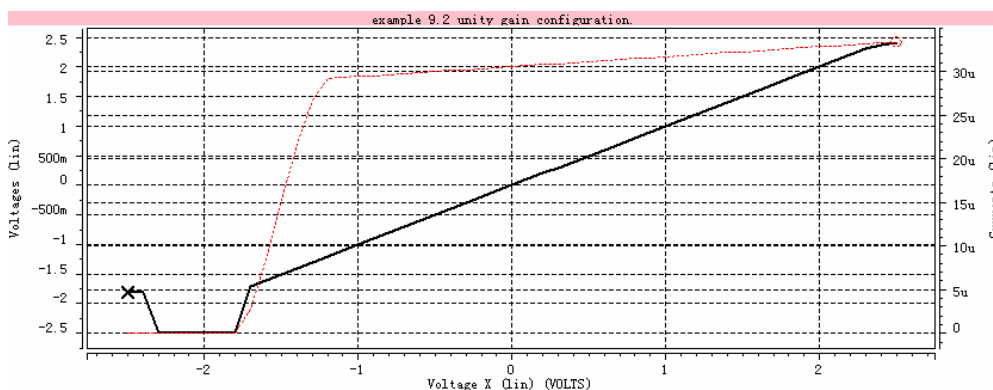


图 12-9 共模特性曲线

由图 12-9 可以看出，共模范围是从 -1.2 到 +2.4。注意，共模范围的下限是由 M5 的电流达到静态值而确定的。

转换速率（摆率）特性

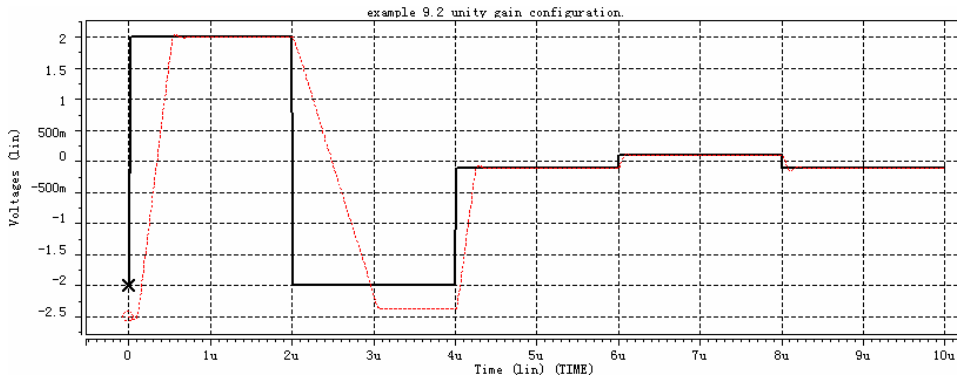


图 12-10 单位增益瞬态响应

通过瞬态分析得到图 12-10。从图可以看出大信号和小信号瞬态响应分别由将一个 2V 和 0.2V 脉冲作用到单位增益结构所决定。从这图上数据可见：正摆率是 $10 \text{ V}/\mu\text{s}$ ，负摆率也是 $-6.7 \text{ V}/\mu\text{s}$ 。在图中有一个小的负过冲，原因是由 C_c 确定的期望摆率值，对负载电容充电的电流有点较小。在正摆动时，M6 可以提供足够的电流即刻对变化予以响应。然而，负摆动持续过去的终点直到输出级能够按照单位增益反馈网络跟上响应。我们可以增大相位裕量，来减小或者消除负过冲。负过冲比正过冲大，就是因为下降时间的相位裕量比上升间的相位裕量小。

功率的测量

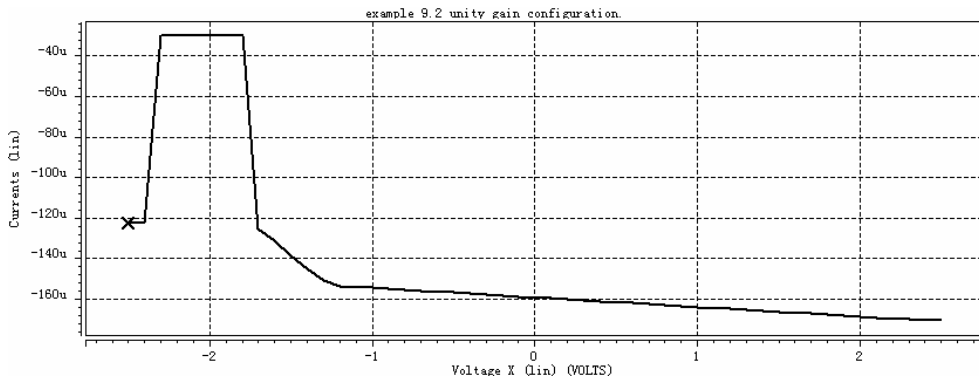


图 12-11 总电流曲线

从图可以得出，流过电源的电流最大没有超过 0.18mA。也就是说最大功耗为 0.9mW。

12.3.3 结果汇总

以上是具体的电路结构图和仿真结果，对其性能指标列表可得表：

表 12.2 运放的性能指标仿真结果

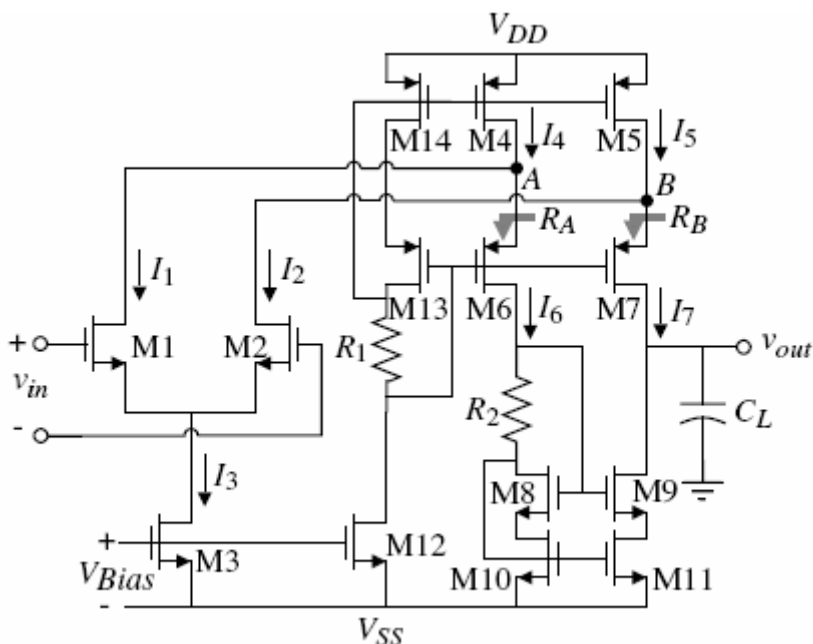
性能参数	单位	要求指标	达到指标
直流增益	dB	74	80
GB	MHz	5	5
相位裕度	度	60	65
输出摆幅	V	± 2	-2.5~2.48
共模输入范围	V	-1~2	-1.2~2.4
压摆率	V/ μ s	10	10, -7
功耗	mW	2	0.9
电源电压	V	± 2.5	± 2.5
输出信号	——	单端	单端
负载电容	PF	10	10

仿真结果与设计指标的比较见表 12.2。可以看出，设计几乎是令人满意的。微小的调节可以通过改变W/L比或直流电流使放大器工作在指定的范围。下一步仿真中应该改变模型参数值，典型的是 K 、 V_T 、 γ 及 λ ，确保即使工艺有所改变也能满足指标。

第 13 章 共源共栅运算放大器分析与设计

13.1 折叠共源共栅运放的电路结构

如图 13-1 所示, 这种结构用共源共栅输出级与一个不寻常的差分放大器级联, 达到一个大得输入共模范围, 这样折叠共源共栅运算放大器提供自补偿, 良好的输入共模范围以及两级运算放大器的增益。它改进了两级运算放大器的输入共模范围和电源电压抑制特性, 而且稳定性好。

图 13-1 n 沟道输入折叠共源共栅运算放大器

折叠共源共栅电路在差分放大器中不要求准确的电流平衡，因为额外的直流可以流进或流出电流镜。在电路结构中，因为M1 和M2 的漏极连接到M4 和M5 的漏极，因此可以获得正输入共模电压。需要设置折叠共源共栅运算放大器的偏置电流 I_3 、 I_4 和 I_5 ，不至于使共源共栅电流镜的直流电流为零。如果电流为零，就会使重新导通有个时延，因为寄生电容必须被充电。例如：设 V_{in} 足够大，从而使M1 导通，M2 截止，那么，所有的 I_3 电流流过M1 而不流过M2，结果 $I_1 = I_3$ ， $I_2 = 0$ 。如果 I_4 和 I_5 小于 I_3 ，那么 I_6 将会是零。为了避免这种情况， I_4 和 I_5 的值通常设在 I_3 和 $2I_3$ 之间。

13.2 折叠共源共栅运算放大器的小信号模型

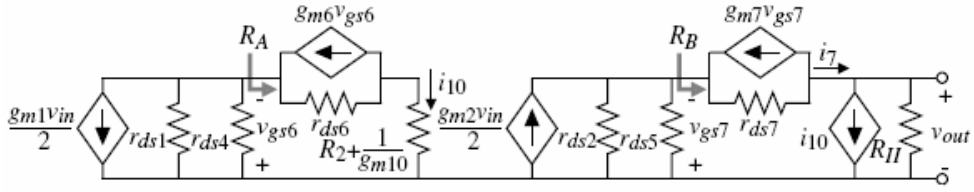


图 13-2 折叠共源共栅运算放大器的小信号模型

折叠共源共栅运算放大器的小信号差分输入电压增益如图 11-2 所示。标注为 R_A 和 R_B

电阻是分别从M6 和M7 的源极看进去的电阻。则求得 R_A 和 R_B 分别为：

$$R_A = \frac{r_{ds6} + R_2 + \frac{1}{g_{m10}}}{1 + g_{m6}r_{gs6}} \approx \frac{1}{g_{m6}} \quad (13-1)$$

和

$$R_B = \frac{r_{ds7} + R_9}{1 + g_{m7}r_{gs7}} \approx r_{ds} \quad (13-2)$$

式中：

$$R_9 \approx g_{m9}r_{ds9}r_{ds11} \quad (13-3)$$

图 13-2 的小信号电压传递函数可如下求得。电流 i_{10} 写为：

$$i_{10} = \frac{-g_{m1}(r_{ds1} \parallel r_{ds4})v_{in}}{2[R_A + (r_{ds1} \parallel r_{ds4})]} \approx \frac{-g_{m1}v_{in}}{2} \quad (13-4)$$

电流 i_7 可以表示为：

$$i_7 = \frac{g_{m2}(r_{ds2} \parallel r_{ds5})v_{in}}{2[\frac{R_9}{g_{m7}r_{ds}} + (r_{ds2} \parallel r_{ds5})]} = \frac{g_{m2}v_{in}}{2[1 + \frac{R_9(g_{ds2} + g_{ds5})}{g_{m7}r_{ds7}}]} \approx \frac{g_{m2}v_{in}}{2(1+k)} \quad (13-5)$$

式中低频不平衡因子k定义为：

$$k = \frac{R_9(g_{ds2} + g_{ds5})}{g_{m7}r_{ds7}} \quad (13-6)$$

k的典型值大于1，输出电压 v_{out} 等于 i_7 与 i_{10} 之和流过 R_{II} ，因而，

$$\frac{v_{out}}{v_{in}} = \left(\frac{g_{m1}}{2} + \frac{g_{m2}}{2(1+k)}\right)R_{II} = \left(\frac{2+k}{2+2k}\right)g_{m1}R_{II} \quad (13-7)$$

式中的输出电阻 R_{II} 为：

$$R_{II} \approx g_{m9}r_{ds9}r_{ds11} \parallel [g_{m7}r_{ds7}(r_{ds2} \parallel r_{ds5})] \quad (13-8)$$

图 13-1 折叠共源共栅运算放大器的频率响应主要由输出极点确定，输出极点为：

$$p_{out} = \frac{-1}{R_{II}C_{out}} \quad (13-9)$$

式中， C_{out} 是从运算放大器的输出节点到地的所有电容。输出极点成为主极点取决于没有其他小于GB值的极点，GB值等于式(13-7)和(13-9)的乘积。非主极点在M6、M8、M10和M11的漏极节点A和B。

我们应该注意到，折叠共源共栅电路在差分放大器中不要求准确的电流平衡，因为额外的电流可以流出或流进电流镜。因为M1和M2的漏极连接到M4和M5的漏极，因此可以获得正输入共模电压。应该设置折叠共源共栅运算放大器的偏置电流I4，I3和I5，不至于使共源共栅电流镜的直流电流为零。如果电流为零，就会导致使重新导通有个时延，因为寄生电容必须被充电。例如，设 v_{in} 足够大，从而使M1导通，M2截至，那么所有的I3电流流过M1不流过M2，结果 $I_1=I_3$ ， $I_2=0$ 。如果I4和I5小于I3，那么I6将会是零。为了避免这种情况，I4和I5的值通常设在I3和2I3之间。不过这种折叠结构，功耗会较大，折叠点处寄生电容高等缺点。

13.3 折叠共源共栅运算放大器的设计方法

表 13-1 本次设计给定的设计指标要求

性能参数	要求	性能参数	要求
相位裕度	>60 度	负载电容	10PF
开环增益（低频）	5000V/V	共模输入范围	-1.5V~2.5V
输出电压	-2V~2V	电源电压	Vdd = -Vss = 2.5V

压摆率	>10V/us	直流功耗	<5mW
单位增益带宽	>10MHz	输出信号	单端输出

表 11-2 折叠共源共栅运算放大器相关指标的计算步骤

步骤	关系/要求	设计公式/约束条件	注释
1	摆率	$I_3 = SR * C_L$	—
2	输出共源共栅的偏置电流	$I_4 = I_5 = 1.2I_3 \sim 1.5I_3$	避免共源共栅的零电流
3	最大输出电压 V_{out} (最大)	$S_5 = \frac{2I_5}{K'_P V_{SD5}^2} \quad S_7 = \frac{2I_7}{K'_P V_{SD7}^2}$ <p>假设 $S_4 = S_{14} = S_5$ 及</p> $S_{13} = S_6 = S_7$	V_{SD5} (饱和) = V_{SD7} (饱和) = $\frac{V_{DD} - V_{out\max}}{2}$
4	最小输出电压 V_{out} (最小)	$S_{11} = \frac{2I_{11}}{K'_N V_{SD11}^2}$ $S_9 = \frac{2I_9}{K'_N V_{SD9}^2}$ <p>假设 $S_{10} = S_{11}$ 及</p> $S_8 = S_9$	V_{SD9} (饱和) = V_{SD11} (饱和) = $\frac{V_{out\min} - V_{SS} }{2}$
5	自偏置共源共栅	$R_1 = V_{DS13} \text{ (饱和)} / I_{12}$ $R_2 = V_{DS8} \text{ (饱和)} / I_6$	—
6	$GB = g_{m1} / C_L$	$S_1 = S_2 = \frac{g_{m1}^2}{K'_N I_3} = \frac{GB^2 C_L^2}{K'_N I_3}$	—
7	最小输入CM	$S_3 = \frac{2I_3}{K'_N [V_{in\min} - V_{SS} - \sqrt{\frac{I_3}{K'_N S_1}} - V_{T1}]^2}$	—

8	最大输入CM	$S_4 = S_5 = \frac{2I_4}{K'_P (V_{DD} - V_{in\max} + V_{T1})^2}$	S_4 和 S_5 必须满足或超过第三步的要求
9	差模电压增益	$\frac{v_{out}}{v_{in}} = \left(\frac{g_{m1}}{2} + \frac{g_{m2}}{2(1+k)} \right) R_{II} = \left(\frac{2+k}{2+2k} \right) g_{m1} R_{II}$	—
10	功耗	$P_{diss} = (V_{DD} - V_{SS})(I_3 + I_{10} + I_{11} + I_{12})$	—

手算过程：

根据上表的方法，可以得到下面的结果：

$$I_3 = SR \times C_L = 10 \times 10^6 \times 10^{-11} = 100\mu A$$

选择 $I_4 = I_5 = 125\mu A$

下一步，我们看到 $0.5[V_{DD} - V_{out}(\text{最大})]$ 的值是 $(0.5V) / 2$ 或 $0.25V$ ，于是：

$$S_4 = S_5 = S_{14} = \frac{2 \times 125\mu A}{50\mu A / V^2 \times (0.25V)^2} = \frac{2 \times 125 \times 16}{50} = 80$$

假设 M_6 和 M_7 电流处于最坏情况，得出：

$$S_6 = S_7 = S_{13} = \frac{2 \times 125\mu A}{50\mu A / V^2 \times (0.25V)^2} = \frac{2 \times 125 \times 16}{50} = 80$$

$0.5[V_{out}(\text{最小}) - |V_{SS}|]$ 的值也是 $0.25V$ ，可以得出 S_8 、 S_9 、 S_{10} 和 S_{11} 的值为：

$$S_8 = S_9 = S_{10} = S_{11} = \frac{2 \times I_8}{K'_N V_{DS8}^2} \frac{2 \times 125\mu A}{110\mu A / V^2 \times (0.25V)^2} = 36.36$$

R_1 和 R_2 的值等于 $0.25V / 125\mu A$ 或 $2k\Omega$ 。在第六步中，由 GB 的值得出 S_1 和 S_2 为：

$$S_1 = S_2 = \frac{GB^2 \times C_L^2}{K'_N I_3} = \frac{(20\pi \times 10^6)^2 (10^{-11})^2}{110 \times 10^{-6} \times 100 \times 10^{-6}} = 35.9$$

最小输入共模电压定义 S_3 为：

$$S_3 = \frac{2I_3}{K_N' \left[Vin(\text{最小}) - V_{SS} - \left(\frac{I_3}{K_N' S_1} \right)^{1/2} - V_{T1} \right]^2}$$

$$= \frac{200 \times 10^{-6}}{110 \times 10^{-6} \left[-1.5 + 2.5 - \left(\frac{100}{110 \times 35.9} \right)^{1/2} - 0.75 \right]^2} = 91.6$$

我们必须检查S4 和S5 是否足够大以满足最大输入共模电压。2.5 的最大输入共模电压要求：

$$S_4 = S_5 \geq \frac{2I_4}{K_P' [V_{DD} - Vin(\text{最大}) + V_{T1}]^2}$$

$$= \frac{2 \times 125 \mu A}{50 \times 10^{-6} \mu A / V^2 (0.7V)^2} = 10.2$$

此值远小于 80。实际上，当S4=S5=80 时，最大输入共模电压是 3V。最后，得出S12 为：

$$S_{12} = \frac{125}{100} S_3 = 114.53$$

功耗是：

$$P_{diss} = 5V(125\mu A + 125\mu A + 125\mu A) = 1.875mW$$

小信号电压增益需要用以下的值来估算：

$$S4, S5, S13, S14: g_m = \sqrt{2 \times 125 \times 50 \times 80} = 1000\mu S \text{ 和}$$

$$g_{ds} = 125 \times 10^{-6} \times 0.05 = 6.25\mu S$$

$$S6, S7: g_m = \sqrt{2 \times 75 \times 50 \times 80} = 774.6\mu S \text{ 和 } g_{ds} = 75 \times 10^{-6} \times 0.05 = 3.75\mu S$$

$$S8, S9, S10, S11: g_m = \sqrt{2 \times 75 \times 110 \times 36.36} = 774.6\mu S$$

$$\text{和 } g_{ds} = 75 \times 10^{-6} \times 0.04 = 3\mu S$$

$$S1, S2: g_{mI} = \sqrt{2 \times 50 \times 110 \times 35.9} = 628\mu S \text{ 和 } g_{ds} = 50 \times 10^{-6} \times 0.04 = 2\mu S$$

于是得出：

$$R_9 \approx g_{m9} R_{ds9} R_{ds11} = (774.6\mu S) \left(\frac{1}{3\mu S} \right) \left(\frac{1}{3\mu S} \right) = 86.07 M\Omega$$

$$R_{II} \approx (86.07M\Omega) \parallel (774.6\mu S) \left(\frac{1}{3.75\mu S} \right) \left(\frac{1}{2\mu S} \parallel \frac{1}{6.25\mu S} \right) = 19.04M\Omega$$

$$k = \frac{R_9(g_{ds2} + g_{ds4})}{g_{m7}r_{ds7}} = \frac{86.07M\Omega(2\mu S + 6.25\mu S)(3.75\mu S)}{774.6\mu S} = 3.4375$$

小信号、差模输入电压增益是：

$$A_{vd} = \left(\frac{2+k}{2+2k} \right) g_{m1} R_{II} = \left(\frac{2+3.4375}{2+2 \times 3.4375} \right) 0.628 \times 10^{-3} \times 19.40 \times 10^{-6} = 7464V/V$$

该增益大于指标的要求，但这应该是允许的。

用共源共栅结构的运算放大器可以使设计者优化二阶性能指标，这一点在传统的两级运算放大器中是不可能的。特别是共源共栅技术对提高增益、增加PSRR值和在输出端允许自补偿是有用的。这种灵活性允许在CMOS工艺中发展高性能无缓冲运算放大器。目前，这样的放大器已被广泛用于无线电通信的集成电路中。

13.4 折叠共源共栅运算放大器的仿真

在现代IC的设计过程中，电路的计算机仿真起着重要的作用。通过我们对上面电路的分析及介绍，随着人们对半导体器件工作过程的本质认识，已经建立起了对电路工作过程模拟的越来越精确的模型。与特定工艺提供的仿真模型参数相结合，使得电路仿真结果愈来愈与实际芯片的最后测量参数值相符合，这就大大节约了芯片的设计、制造成本，为现代IC设计的快速、方便、精确提供了一条捷径。

EX 11.1 CASCODE OP AMPS

```
.option post=2 numdgt=7 tnom=27
*VIN+ 1 0 DC 0 pw1(0 -1 10n -1 20n 1 1u 1 1.01u -1 2u -1 2.01u -.1 3u -.1
3.01u .1
*+4u .1 4.01u -.1 5u -.1)
VIN+ 1 0 DC 0 ac 1
VNI- 2 0 dc 0 ac 0
VDD 3 0 DC 2.5
VSS 0 4 DC 2.5
CL 5 0 10PF
X1 1 2 3 4 5 OPAMP
.SUBCKT OPAMP 1 2 3 4 5
m1 8 1 6 4 NMOS1 l=1u w=35.9u
m2 9 2 6 4 NMOS1 l=1u w=35.9u
m3 6 7 4 4 NMOS1 l=1u w=91.6u
m4 8 11 3 3 PMOS1 l=1u w=80u
m5 9 11 3 3 PMOS1 l=1u w=80u
```

```

m6  13 12 8 8  PMOS1 1=1u  w=80u
m7  5  12 9 9  PMOS1 1=1u  w=80u
m8  14 13 15 4 NMOS1 1=1u  w=36.36u
m9  5  13 16 4 NMOS1 1=1u  w=36.36u
m10 15 14 4 4  NMOS1 1=1u  w=36.36u
m11 16 14 4 4  NMOS1 1=1u  w=36.36u
m12 12 7  4 4  NMOS1 1=1u  w=114.53u
m13 11 12 10 10 PMOS1 1=1u  w=80u
m14 10 11 3 3  PMOS1 1=1u  w=80u
R1  11 12 2K
R2  13 14 2K
VBIAS 7 0 -1.6
.MODEL NMOS1 NMOS VTO=0.70 KP=110U GAMMA=0.4 LAMBDA=0.04 PHI=0.7
+MJ=0.5 MJSW=0.38 CGBO=700P CGSO=220P CGDO=220P CJ=770U CJSW=380P
+LD=0.016U TOX=14N
.MODEL PMOS1 PMOS VTO=-0.7 KP=50U GAMMA=0.57 LAMBDA=0.05 PHI=0.8
+MJ=0.5 MJSW=0.35 CGBO=700P CGSO=220P CGDO=220P CJ=560U CJSW=350P
+LD=0.014U TOX=14N
.ENDS

.op
*.tf v(3) vil
.dc VIN+ -0.005 0.005 100u
.print dc v(5)
.ac dec 10 1 10MEG
.print ac vdb(5) vp(5)

*.dc VIN+ -2.5 2.5 0.1
*.iplot v(5)
*.tran 0.05u 5u 0 10n
*.print v(5) v(1)
.end

```

13.4.1 开环特性的仿真

采用如图 13-3 所示的电路图可以成功的仿真出折叠共源共栅运算放大器的开环特性。

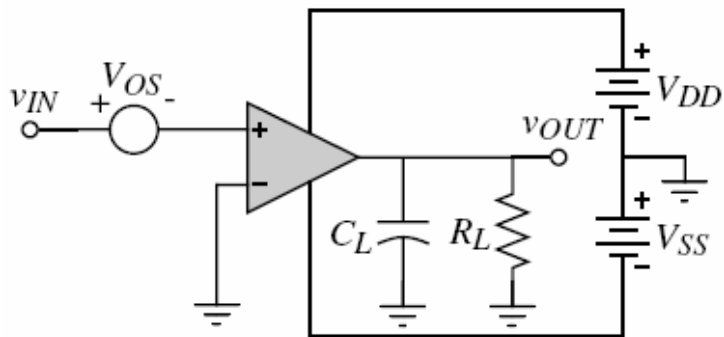


图 13-3 开环增益测试图

1) 开环传输特性的仿真

折叠共源共栅运算放大器的同相输入端加上直流扫描电压，从-2.5V扫到 2.5V，其直流传输特性如图 13-4 所示。

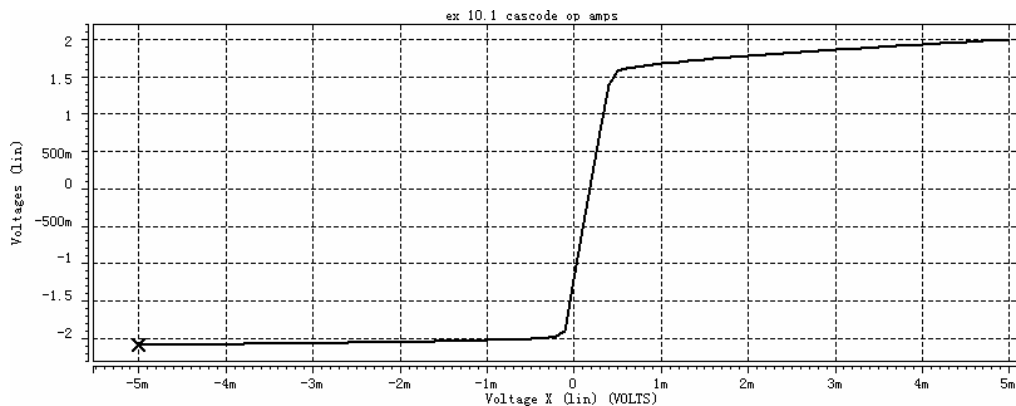


图 13-4 折叠共源共栅运算放大器的开环传输特性分析

从图 13-4 中可以看出电压的正向摆幅为 1.8V，负向摆幅为-2.2V。

2) 开环传递函数频率响应

对于折叠共源共栅运算放大器的交流特性，我们从运算放大器的开环幅频、相频响应方面进行分析。

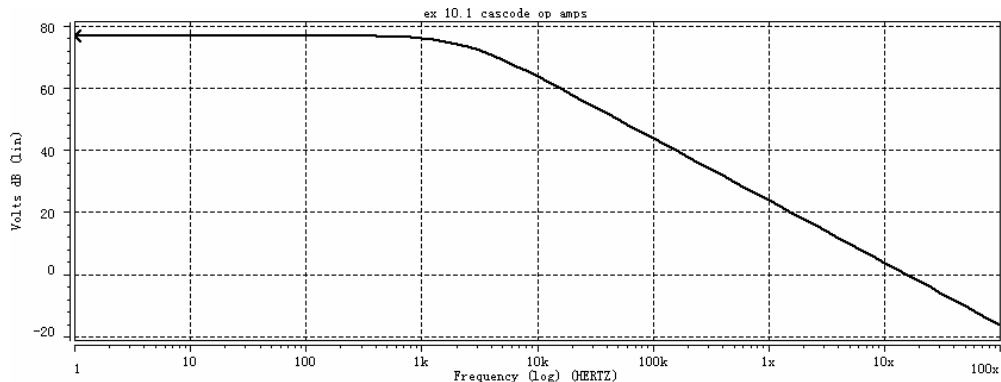


图 13-5 折叠共源共栅运算放大器的幅频分析

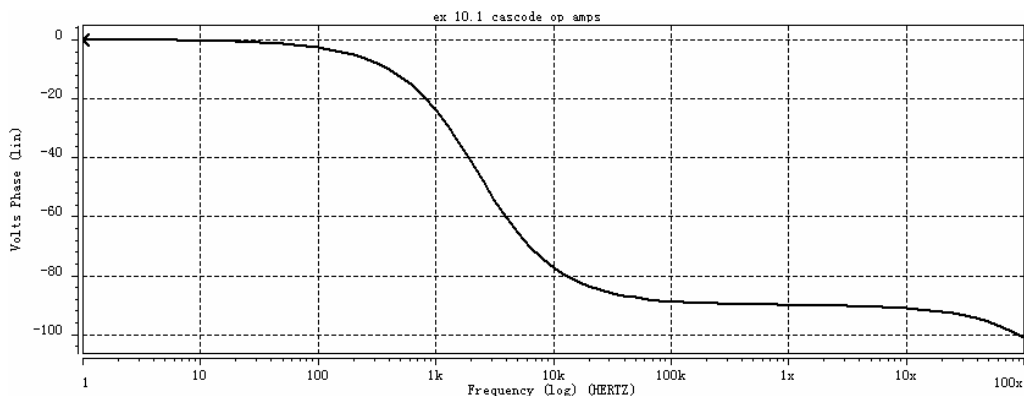


图 13-6 折叠共源共栅运算放大器的相频分析

从图 13-5 中可以看出，该运算放大器的开环电压增益为 77dB，约为 7000 V/V，大于 5000 V/V，GB 为 11MHz，满足设计要求。从图 13-6 中可以看出，该运算放大器的相位裕度为 90 左右，大于 60^0 ，满足设计的要求。

13.4.2 闭环特性分析

采用如图 11-7 所示的电路图可以成功的仿真出折叠共源共栅运算放大器的闭环特性。

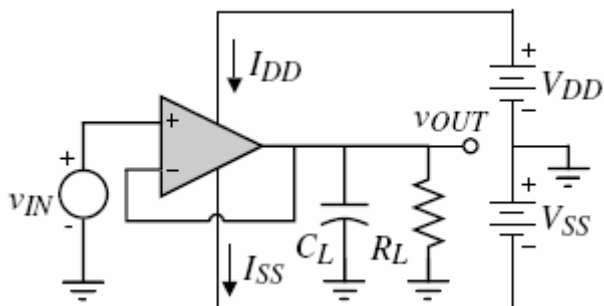


图 13-7 运算放大器的闭环特性测试图

1) 输入共模特性仿真

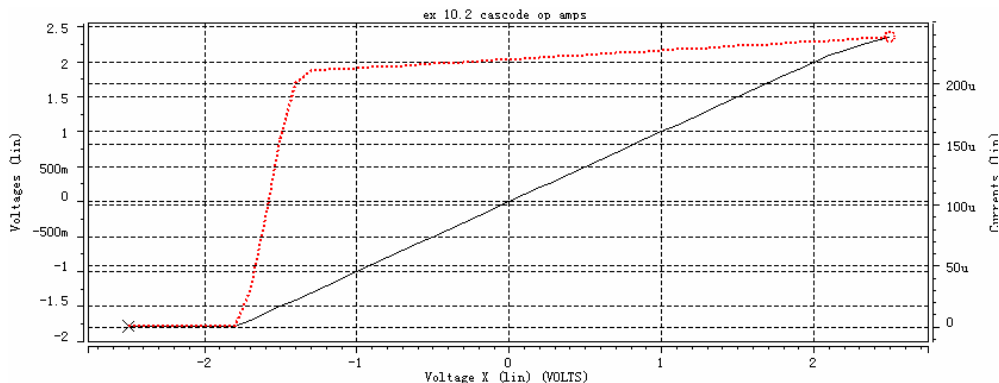


图 13-8 折叠共源共栅运算放大器的输入共模特性

从图 13-8 中可以看出，当折叠共源共栅运算放大器的同相输入端加上直流扫描电压，

从-3.0V扫到 3.0V时，最小输入共模电压为-1.5V，最大输入共模电压为 2.5V，达到了设计要求。

2) 单位增益瞬态响应

通过测试我们得到运算放大器的瞬态特性为：

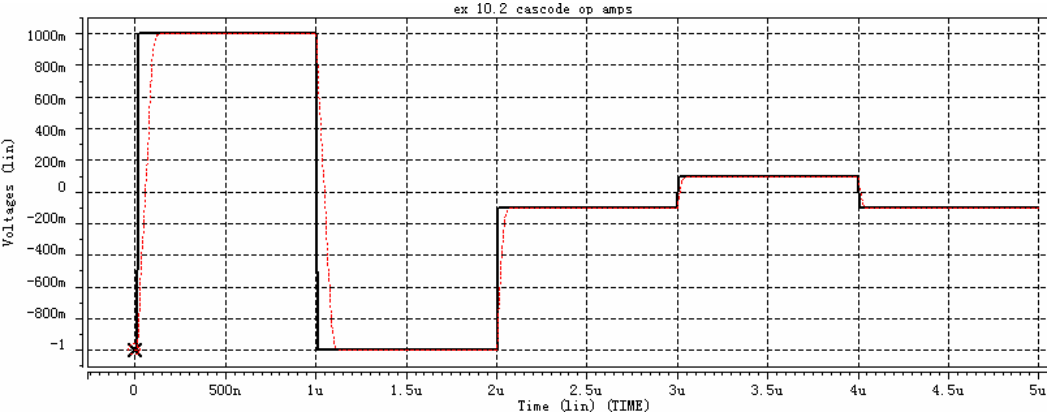


图 13-9 折叠共源共栅运算放大器的瞬态特性

由图 13-9 可以明显看出，在一定的输入脉冲条件下，电路的输出摆率约为 20V/us，大于 10 V/us，满足设计要求。

13.4.3 结果汇总

以上是对具体的性能仿真测试图及仿真结果，整个折叠共源共栅运算放大器的性能总结如表 13-3 所示：

表 13-3 折叠共源共栅运算放大器的性能参数

性能参数	仿真结果	性能参数	仿真结果
相位裕度	70°	开环增益(低频)	5910 V/V
输出电压	-2.5V~2.5V	共模输入范围	-1.8V~2.5V,
GB	10MHz	输出信号	单端输出
压摆率	26V/us	直流功耗	1.875mW

第 14 章 运算放大器工程设计

设计一款工程用运算放大器，考虑多级运算放大器设计的指标与结构之间的关系以及运算放大器的设计思路。

14.1 设计指标

设计一个驱动容性负载的CMOS运算放大器作为缓冲放大器使用，其具体的指标为：

相位裕度：	600	负载电容：	60PF
开环增益(低频)：	85dB	共模输入范围：	-1.5V~2.5V
输出电压：	-3V~3V(CL only)	电源电压：	Vdd=-Vss=5V
压摆率：	3V/us	直流功耗：	<4mW
单位增益带宽：	>2MHz	输出信号：	单端输出
共模抑制比：	CMRR>80dB		

14.2 放大器结构的确定

1、根据增益要求确定放大器的最小级联数

由于单级CMOS放大器的电压增益通常为 20—60dB，根据所提出的设计指标，其增益要求不小于 85dB，因此至少需要两级放大器级联。

2、根据所需驱动电容负载确定运算放大器的输出级

由于要求该放大器驱动大电容负载（60pF），并实现缓冲放大，所以采用源极跟随器作为输出级，以避免负载对前一级增益的影响。

由以上两点可以初定运算放大器为三级级联结构。

基本结构定下来后，则需对所要求达到的具体指标进行初步分配，其分配原则是：

①由于运算放大器要求的共模输入范围大，即体现在对第一级放大器要求共模输入范围大，而根据分析可知，该级放大器的增益不能很高（共模输入与增益是一对矛盾体），所以第一级的增益设计为 30~40dB。

②由于输出级（第三级放大器）设计为源极跟随器，其增益为 1，为了实现总的增益要求，第二级的增益要求达到 60~70dB。

另外，为了实现缓冲放大，使放大器能稳定工作，在电路中采用RC补偿，并为了实现片内补偿的要求。利用密勒补偿方法，以减小补偿电容和电阻值。

3、具体电路形式

进行电路设计之前，必须先确定所选工艺，假定所采用的为N阱CMOS工艺。

（1）输入级的确定

由于该放大器要求在工作电源为±5V时，其共模输入范围要达到±3V，因此第一级放大器（输入级）只能采用最简单的差分放大器。

由于采用的是N阱CMOS工艺，则采用PMOS管作为差分输入对管就可避免其衬底偏置效应，而采用PMOS管作为输入对管还可减小放大器的噪声，因此在本设计中输入级的差分输

入对管为PMOS管。另外输入级采用PMOS管为输入对管，而第二级采用NMOS输入，则可实现电平位移作用，因而放大器中可以省一级电平位移电路。

(2) 中间级的确定

为了满足系统增益要求，第二级（中间级）采用共源共栅放大器，但输出幅度将受到限制（由于后一级采用共源电路，要求输出幅度大）。

(3) 输出级的确定

为了提高驱动能力，输出级采用共源电路并以PMOS管作为输入管，以避免衬底偏置效应，但由于电平位移的作用使输出幅度下降。

另外，由于输出级电流较大，则需采用独立的偏置电路。

(4) 补偿方式的确定

为了使运算放大器能稳定工作，必须采用补偿，为了实现内补偿，在本设计中采用RC补偿方式，并且电阻R由NMOS管组成。

由以上讨论确定运算放大器电路。

14.3 选择工艺参数

假定所采用的为N阱CMOS工艺。

14.4 各级放大器参数的初步考虑

14.4.1 输入级—差分输入级

差分放大器的指标很多，而对于不同侧重点的放大器所设计的电路是不一样的，即差分放大级设计方法多种多样，先要确定所需设计的放大器在系统所起的主要作用（即主要指标）作为设计思路初步确定其参数，而把其余的指标作为验证手段，反复计算直至所有的指标都能满足设计要求。

该电路的最大特点是用做缓冲放大，因此输入共模范围必须和输出幅度相等。而这一指标必须由输入级完成，所以输入级的差分放大器的输入共模范围必须作为一个主要设计指标来考虑。

(1) 正向共模范围VCM

(2) 负向共模范围VCM

(3) 增益

(4) 计算CMRR

(5) HSPICE验证

输入级电路中每一个MOS管的宽长比、流过电流及偏置点电位均已知，所以可通过HSPICE模拟验证。验证是否达到设计指标时，分以下三个步骤：

①验证其静态工作点是否正确，此时应假定放大器的输入为0。

②验证共模范围是否满足设计要求，此时应假定放大器的输入信号为共模电压。

③验证放大器的增益是否满足设计要求，此时放大器的输入信号应为差模信号。

14.4.2 主增益级的设计

主增益级不但要实现增益的要求，而且其输出幅度必须达到设计要求，在直流工作情

况下，还要考虑输出失调电压。另外还应该注意极点分裂和对工艺的灵敏度等问题。

14.4.3 输出级的设计

根据电路压摆率的要求确定工作电流。

14.4.4 偏置电路的设计

(1) 主增益级的偏置电路

(2) 输出级的偏置电路

14.4.5 验证

采用HSPICE对所设计的电路进行仿真验证其直流、各支路电流、各点电位、增益、功率是否与设计相同，并计算开环频率特性，求出频率极点和单位增益带宽。

14.4.6 频率补偿设计

对于多级放大器而言，其频率补偿电路的设计至关重要，由于该放大器用做缓冲放大，是一个二级放大器，一般为两个主极点频率。

该运算放大器设计完毕后，接下来是进行版图设计，但由于在实际工艺流片中存在诸多误差，特别是横向扩散的存在，所以必须在版图设计初步完成后进行参数提取后的HSPICE模拟，若不能达到设计要求，则必须进行版图的修正，再进行模拟，直至满足设计要求。

14.5 实例：一个带缓冲级运算放大器

基于下列假设求运算放大器的增益和频率响应（假设 $C_c = 5\text{pF}$ ）。假设输入差动对的偏置电流为 $I_{DS} = 100\mu\text{A}$ ，电源 $V_{DD} = -V_{SS} = 2.5\text{V}$ ， $R_L = 10\text{k}\Omega$ 。并假设下列工艺参数：

$\mu\text{nCox} = 96\mu\text{A}/\text{V}^2$ ， $\mu\text{pCox} = 32\mu\text{A}/\text{V}^2$ ， $\gamma = 0.5\text{V}^{1/2}$ ， $\phi_F = 0.35\text{V}$ ， $\alpha = 5 \times 10^6 \sqrt{\text{V}}/\text{m}$ ，且 $V_{tn} = -V_{tp} = 0.8\text{V}$ 。为了计算输出阻抗，假设第一级晶体管的漏极-栅极电压等于 0.5V ，但是第二级和第三级的晶体管 $V_{DGi} = 1\text{V}$ 。最后，不假设M8的衬底与源极相连，而是假设M8的衬底与负电源相连。

解：首先计算偏置电流。因为 $I_{DS5} = 100\mu\text{A}$ ，有

$$I_{D1} = I_{D2} = I_{D3} = I_{D4} = I_{D5} / 2 = 50\mu\text{A}$$

$$I_{D6} = I_{D7} = (W_6 / W_5) I_{D5} = 100\mu\text{A}$$

且

$$I_{D8} = I_{D9} = (W_9 / W_7) I_{D7} = 167\mu\text{A}$$

现在我们可以计算M1、M2、M7和M8的跨导。通过

$$g_{m1} = g_{m2} = \sqrt{2\mu_p C_{ox} \left(\frac{W}{L}\right)_1 I_{D1}} = 0.775 \text{mA/V}$$

$$g_{m7} = 1.90 \text{mA/V}, \quad g_{m8} = 3.16 \text{mA/V}。$$

接着，我们需要推算晶体管的输出阻抗。要求这个阻抗，我们用式

$$r_{dsi} \approx \alpha \frac{L_i}{I_{Di}} \sqrt{V_{DGi} + V_{ti}} \quad (\text{忽略了短沟道效应}, \alpha \text{ 是一个技术相关的参数, 约为}$$

$5 \times 10^6 \sqrt{V/m}$) 和第一级晶体管的 $V_{DG1} = 0.5V$ 而第二级漏极-栅极电压为 $1V$ 的近似。这里应该提到的是，这些非常粗略的漏极-栅极电压近似是合理的，因为上式只有中等的精确度，最多 50%。晶体管输出阻抗的这些值一旦运用 SPICE 分析就可以在后来修正。运用上式我们求得第一级所有晶体管的输出阻抗为

$$r_{ds1} = r_{ds2} = r_{ds3} = r_{ds4} = 182 \text{k}\Omega$$

第二级晶体管的输出阻抗为

$$r_{ds6} = r_{ds7} = 107 \text{k}\Omega$$

但是输出级晶体管的输出阻抗为

$$R_{ds8} = r_{ds9} = 64 \text{k}\Omega$$

我们需要计算的最后参数为 $M8$ 的体效应电导。用式 $g_s = \frac{g_m \gamma}{2\sqrt{V_{SB} + 2\phi_F}}$ 并假设 V_{out} 接

地使得 $V_{SB8} = 2.5V$ ，这样就有 $g_{s8} = 0.44 \text{mA/V}$ 。

最后

$$A_{v1} = g_{m1} (r_{ds2} \parallel r_{ds4}) = 70.2 \text{V/V}$$

$$A_{v1} = -g_{m7} (r_{ds6} \parallel r_{ds7}) = -102 \text{V/V}$$

$$A_{v3} = \frac{g_{m8}}{G_L + g_{m8} + g_{s8} + g_{ds8} + g_{ds9}} = 0.85 \text{V/V}$$

这样，总增益等于 $A_{v1} A_{v2} A_{v3} = -6090 \text{V/V}$ 。这里需要再一次提到的是，这个结果是一个粗略的近似并应该用 SPICE 检验。手算方法的好处是看增益是如何被不同的设计参数所影响的。

$$\text{由 } g_{m1} = 0.771 \text{mA/V} \text{ 和式 } \omega_{ta} = \frac{g_{m1}}{Cc} = \frac{0.771 \times 10^{-3}}{5 \times 10^{-12}} = 154.2 \text{Mrad/s}$$

这样，我们求得 $f_{ia} = \omega_{ia} / (2\pi) = 24.5 \text{ MHz}$

网表：

EX12 Buffered Op Amps

.option post=2 numdgt=7 tnom=27

.option brief

Vdd 1 0 dc 2.5

Vss 7 0 dc -2.5

M10 2 2 1 1 pmos w=25u l=1.6u

M11 3 2 1 1 pmos w=25u l=1.6u

M14 2 3 4 7 nmos w=25u l=1.6u

M12 3 3 5 7 nmos w=25u l=1.6u

M15 4 5 6 7 nmos w=100u l=1.6u

M13 5 5 7 7 nmos w=25u l=1.6u

rb 6 7 8k

M5 8 2 1 1 pmos w=300u l=1.6u

M1 10 9 8 1 pmos w=300u l=1.6u

M2 12 11 8 1 pmos w=300u l=1.6u

M3 10 10 7 7 nmos w=150u l=1.6u

M4 12 10 7 7 nmos w=150u l=1.6u

vin- 9 0 dc 0

vin+ 11 0 dc 0 ac 1

M6 13 2 1 1 pmos w=300u l=1.6u

M8 1 13 14 7 nmos w=500u l=1.6u

M7 13 12 7 7 nmos w=300u l=1.6u

M9 14 12 7 7 nmos w=500u l=1.6u

cc 15 13 5pF

M16 15 3 12 7 nmos w=100u l=1.6u

.op

.ac dec 20 0.1k 100Meg

.print vdb(14)

.MODEL nmos NMOS LEVEL=3, TOX=1.8E-8, LD=0.08U,

+U0=500, VMAX=2.0E5, PHI=0.6, GAMMA=0.5,

+NSUB=2.5E16, VTO=0.7, NFS=8.2E11, CGS0=2.5E-10,

+CGB0=2.5E-10, CJSW=2.5E-10, CGD0=2.5E-10, MJ=0.5,

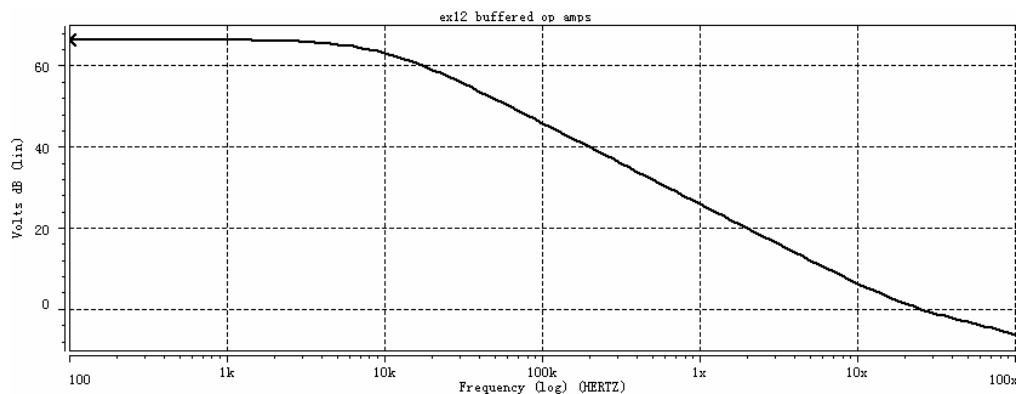
+CJ=2.5E-4, PB=0.9, IS=1.0E-16, JS=1.0E-4

```

+KF=600E-27  AF=0.8      NLEV=2      RS=600
+RD=600      ETA=0.05    KAPPA=0.007  THETA=0.06
+ACM=2      XJ=2.7E-7    DELTA=0.7
.MODEL pmos PMOS  LEVEL=3,      TOX=1.8E-8,      LD=0.08U,
+U0=165,      VMAX=2.7E5,      PHI=0.80,      GAMMA=0.75,
+NSUB=5.5E16,      VTO=-0.7,      NFS=7.6E11,      CGS0=2.5E-10,
+CGB0=2.75E-10,      CJSW=3.4E-10,      CGD0=2.5E-10,      MJ=0.5,
+CJ=3.7E-4,      PB=0.8,      IS=1.0E-16,      JS=1.0E-4
+KF=400E-27  AF=1.0      NLEV=2      RS=1200
+RD=1200      ETA=0.12    KAPPA=1.5    THETA=0.135
+ACM=2      XJ=2.3E-7    DELTA=0.3
.end

```

仿真结果:



频率曲线如上所示，其中我们可以看到，直流增益为 67dB(即 2240V/V)。运算放大器的增益与手算结果不同，因为例子中晶体管输出阻抗值只是一个粗略的估计。显示的单位增益频率为 25MHz，这与手算结果非常接近，因为这个计算并不依赖糟糕的模型变量。

第四部分 集成电路版图设计

第 15 章 九天版图设计工具简介

15.1 引言

版图 (Layout) 包含了器件尺寸、各层拓扑定义等器件相关的物理信息数据, 是集成电路从设计走向制造的桥梁。集成电路制造厂家根据版图物理信息数据来制造掩膜。根据复杂程度, 不同工艺需要的一套掩膜可能有几层到十几层。一层掩膜对应于一种工艺制造中的一道或数道工序。掩膜上的图形决定着芯片上器件或连接物理层的尺寸, 因此版图上的几何图形尺寸与芯片上物理层的尺寸直接相关。由于器件的物理特性和工艺的限制, 芯片上物理层的尺寸进而版图的设计必须遵守特定的规则。这些规则是各集成电路制造厂家根据本身的工艺特点和技术水平而制定的, 因此, 不同的工艺就有不同的设计规则。设计者只能根据厂家提供的设计规则来进行版图设计。

一般来讲, 设计规则反映了性能和成品率之间可能是最好的折衷。规则越保守, 能工作的电路就越多 (即成品率越高); 然而, 规则越富有进取性, 则电路性能改进的可能性也越大, 但这种改进可能是以牺牲成品率为代价的。

从设计的观点出发, 设计规则可以分为三部分:

1) 决定几何特征和图形几何尺寸的规定

这些规定保证各个图形彼此之间具有正确的关系。对设计人员来说, 这方面的重要考虑是: 每层掩膜上的各个图形应该相接或者互相分开; 不同掩膜上的各个图形应该套合或者也保持互相分开, 所有图形都应符合规定的要求。这些几何关系在确定诸如晶体管纵横比或电容值等最坏情况设计参数方面也很重要。

2) 确定掩膜制备和芯片制造中都需要的一组基本图形单元的强制性要求

典型的图形单元可能包括制造中所用的各块掩膜精确套准所需的对准标志, 把各个电路从晶圆切下来的划片间距以及供压焊封装用的压焊点尺寸。

以上两点要求均反映在版图的几何设计规则文件中。

3) 定义设计人员设计时所用的电参数的范围

通常, 这些电参数中包括晶体管增益、开启电压、电容和电阻的数值等, 均反映在版图的电学设计规则文件中。

一个仅仅满足了几何设计规则的版图不一定就是能够工作或者是满足电路性能指标的。大量版图的设计与元器件的参数和电路的性能相关。因此, 版图设计的另一个重要方面是电学规则。最终, 设计的版图所对应的电路必须与原始设计和模拟时所采用的电路在表示连接关系的拓扑信息和元器件参数完全一致。

15.2 版图设计的基本步骤

利用版图编辑工具设计版图的基本步骤如下：

- ①运行版图编辑工具，建立版图文件。
- ②在画图窗口内根据几何参数值调用元器件和子单元的版图。
- ③在不同的层内进行元器件和子单元之间的连接。
- ④调用DRC程序进行设计规则检查，修改错误。
- ⑤调用电路提取程序提取版图对应的元件参数和电路拓扑。

⑥与分析阶段建立的电路图文件结合进行版图与电路图对照分析，即LVS (Layout-vs-Schematic)。

- ⑦存储版图文件，供今后修改和重用。

15.3 版图设计的注意事项

在正式画版图之前，一定要先构思，也就是要仔细的想一想，每个管子打算怎样安排，管子之间怎样连接，最后的电源线、地线怎样走。对于差分形式的电路结构，最好在版图设计时也讲究对称，这样有利于提高电路性能。为了讲究对称，有时候需要把一个管子分成两个，比如为差分对管提供电流的管子就可以拆成两个、四个甚至更多。差分形式对称的电路结构，一般地线铺在中间，电源线走上下两边，中间是大片的元件。

当采用的工艺有多晶硅和多层金属时，布线的灵活性很大。一般信号线用第一层金属，信号线交叉的地方用第二层金属，整个电路与外部焊盘的接口用第三层金属。但也不绝对。比如说某一条金属线要设计允许通过的电流很大，用一条金属线明显很宽，就可以用两条甚至三条金属线铺成两层甚至三层，流过每一层金属线上的电流就小了 $1/2$ 。层与层是通过连接孔连接的，在可能的情况下适当增加接触孔数，可确保连接的可靠性。

输入和输出最好分别布置在芯片两端。例如，让信号从左边输入，右边输出，这样可以减少输出到输入的电磁干扰。对于小信号高增益放大器，这一点特别重要，设计不当会引起不希望的反馈，造成电路自激。

金属连线的宽度是版图设计必须考虑的问题。铝金属线电流密度最大为 $0.8mA/\mu m^2$ ，Metal1、Metal2 ($0.7\mu m$ 厚) 的电流密度按 $0.56mA/\mu m^2$ 设计，Metal3 ($1.1\mu m$ 厚) 按 $0.88mA/\mu m^2$ 设计。当金属中流过的电流过大时，在金属较细的部位会引起“电徙”效应（金属原子沿电流方向迁徙），使金属变窄直到截断。因此，流过大电流的金属连线应该根据需要设定宽度。

应确保电路中各处电位相同。芯片内部的电源线和地线应全部连通，对于衬底应该保证良好的接地。

对高频信号，尽量减少寄生电容的干扰；对直流信号，尽量利用寄生电容来旁路掉直流信号中的交流成分从而稳定直流。第一层金属和第二层金属之间，第二层金属和第三层

金属之间均会形成电容。

对于电路中较长的走线，要考虑到电阻效应。金属、多晶硅分别有各自不同的方块电阻值，实际矩形结构的电阻值只跟矩形的长度比有关。金属或多晶硅连线越长，电阻值就越大。为防止寄生大电阻对电路性能的影响，电路中尽量不走长线。

MOS管的尺寸（栅长、栅宽）是由电路模拟时定下来的，画MOS管时应按照这些尺寸进行。但是当MOS管的栅宽过大时，为了减小栅电阻和栅电容对电路性能的影响，需要减小每个MOS管的栅宽，为达到所需的总栅宽可以采用并联的方式。另外，对于NMOS管，应当充分保证其衬底接地，而PMOS管应当保证其衬底充分接高电平，特别是MOS管流过大电流时，应该在管子周围形成隔离环进行保护。

电阻可以用不同的材料形成，可选择性很大，设计者可根据所需电阻值的大小，阻值的精确度，电阻的面积等来确定选用何种电阻。对于电阻宽度，也需要考虑，保证可以流过足够大的电流，防止电阻被烧坏。

整个电路的有效面积可能仅仅占整个芯片面积的很小一部分，因此对于芯片中的空闲面积，可以尽量设计成电容，利用这些电容来旁路外界电源和减少地对电路性能的影响。

此外，还应注意以下几点：

①力求层次化设计。即按功能将版图划分为若干子单元，每个子单元又可能包含若干子单元，从最小的子单元进行设计，这些子单元又被调用完成较大单元的设计，这种方法大大减少了设计和修改的工作量，且结构严谨、层次清晰。

②图形应尽量简洁，避免不必要的多边形，对连接在一起的同一层应尽量合并，这不仅可减小版图的数据存储量，而且使版图一目了然。

③设计者在构思版图结构时，除要考虑版图所占的面积、输入和输出的合理分布、减小不必要的寄生效应之外，还应力求版图与电路原理框图保持一致（必要时修改框图画法），并力求版图美观大方（利用适当空间添加标识符）。

版图设计中还有众多注意要点和技巧，需要版图设计者通过实践进行体会、总结和掌握。

15.4 九天版图设计工具简介

设计管理器（Design Manager，缩写为DM）是九天（Zeni4）系统的总控模块。它对设计库、设计单元、设计视图等进行统一管理。它集成了原理图编辑器（Schematic Editor）和版图编辑器（Layout Editor）两大支柱工具，同时也包含了库列表编辑器（Library Path Editor）、工艺管理器（Technology Center）、原理图自动转换为版图工具（Netlist To Layout）、数据交换工具（Edif-In/Edif-Out 等）等多种辅助设计工具。该系统主要由四个设计模块组成：设计管理模块ZeniDM(Zeni Design Manager)、设计输入与仿真验证模块ZeniSE(Zeni Schematic Editor)、版图设计ZeniPDT模块（Zeni Physical Design Tools）、版图验证模块ZeniVERI&ZeniHVeri(Zeni Verification &Zeni Hierarchical Verification)和支持混和信号硬件描述语言的仿真器Verilog-AMS。这些模块覆盖了从原理图输入到生成最终版图的模拟集成电路设计全过程，设计管理器对这些工具的完美集成使整个设计过程变的既快捷又轻松。

15.4.1 启动设计管理器

Linux桌面环境下，鼠标右击打开控制终端（进入命令行方式）
在命令行状态下，启动设计管理器如下：

```
%dm
```

同时也意味着Zeni4 工具软件的启动。启动后的设计管理器如图 13-1 所示：

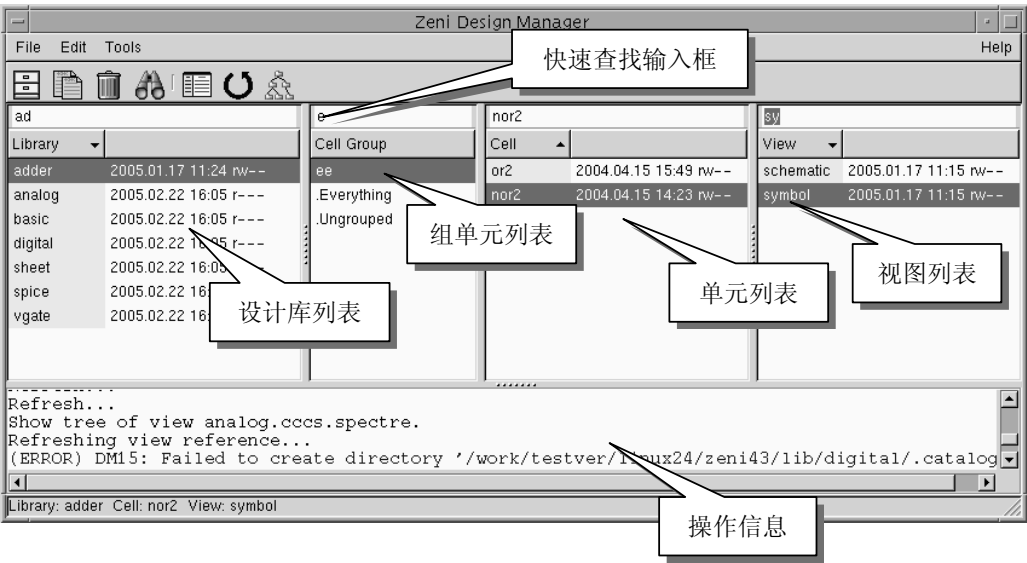


图 15-1 设计管理器

从图 13-1 可以看到，设计管理器由四个列表窗口组成，分别为设计库列表窗口、组单元列表窗口、单元列表窗口和视图列表窗口。每个列表窗口的上方对应有一个快速查找输入框，用户可以输入字符对列表项进行快速查找。其中组单元列表窗口可以由菜单命令“Edit->Cell Group->Show Group”控制其是否在设计管理器中显示。除组单元列表窗口外，每个列表窗口均分为两列，左边一列分别显示设计库名、单元名、视图名；右边一列分别显示设计库、单元、视图生成时间和读写权限。

在操作信息窗口中，设计管理器对不同级别的错误分别用不同的颜色显示：

正常操作信息--黑色

错误操作信息--红色

警告操作信息--蓝色

在设计管理器的最下方实时显示目前用户的选择层次。

15.4.2 实用工具介绍

1)Library Path Editor

其功能是对设计库进行管理。用法：激活菜单命令 Tool->Library Path Editor。对话框如下所示，该窗口显示当前所调用的库列表文件名；当前被调用库的信息及状态（是否隐藏，是否为系统库等）。系统库用红色标注，用户库用黑色标注。隐藏库仅标注在库信

息前方的，反之则不标注。设计库路径管理的内容保存在工作目录的zeni.lib文件中，如图中所示的 /space/stul/zeni.lib。

2) Technology Center

其功能主要是编辑、显示工艺层信息及工艺规则。注意此工具仅应用于版图编辑阶段。用法可以通过两种方法实现：

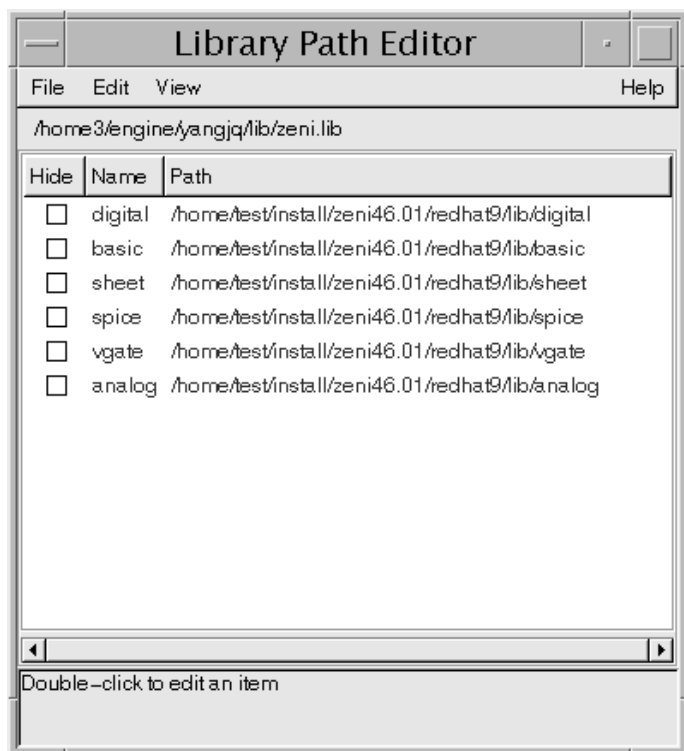


图 15-2 设计库路径管理窗口

①选中某库，激活菜单命令Tools->Technology Center。

②选中某库，点击鼠标中键或右键，从弹出式菜单中选择“Technology”命令。

如图，工艺管理器管理六大模块数据：工艺层定义（Layer）、自动打孔规则（Auto Punch）、间距规则（Space Rule）、追踪线网规则（Trace Rule）、层名与层号的对应关系（GDS Layer Map）和设计规则检查（DRC Rule）。其中，Layer的功能用来定义或显示工艺层号、层名、层的用途、填充方式、在版图编辑过程中此层是否有效、此层是否被填充、此层是否可见及此层是否可被选

择。Auto

Punch主要使用户在

版图编辑过程中可以在两层之间自动添加一个单孔、十字交叉孔或一组阵列孔单元；其定义了在哪两层之间添加孔单元，以及这个孔单元与两个工艺层的最小内边间距（Enclosure）；若添加一个十字交叉孔或一组阵列孔，各孔之间的距离由Spacing定义。Spacing Rule主要用来调整两层之间的最小间距，Trace Rule用来定义两层之间的电学连通或阻断规则，GDS Layer Map主要应用于重新定义层名和层号的对应关系，DRC rule主要定义实时几何规则检查（Real Time DRC Rule）。

如图所示，在工艺管理器中，支持将Zeni、Cadence工艺进行导入（Import），及将Zeni工艺的导出（Export）。

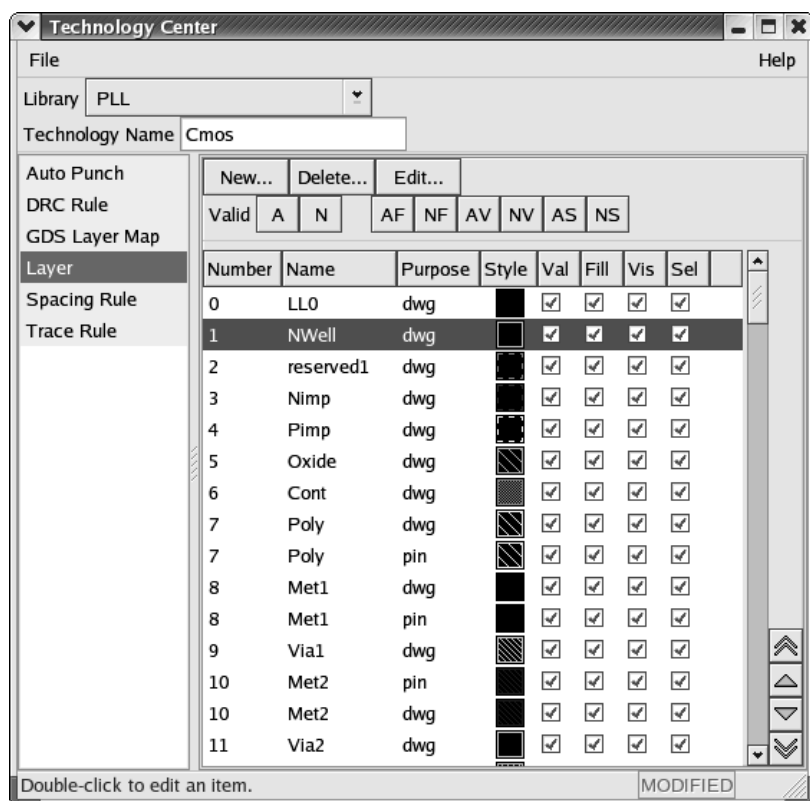


图 15-3 工艺管理器

4) Display Resource

其功能主要是提供在定义版图工艺层信息中供用户选择的颜色种类、线形和填充方案等资源信息，如图所示。用法：激活菜单命令 Tools->Display Resource。

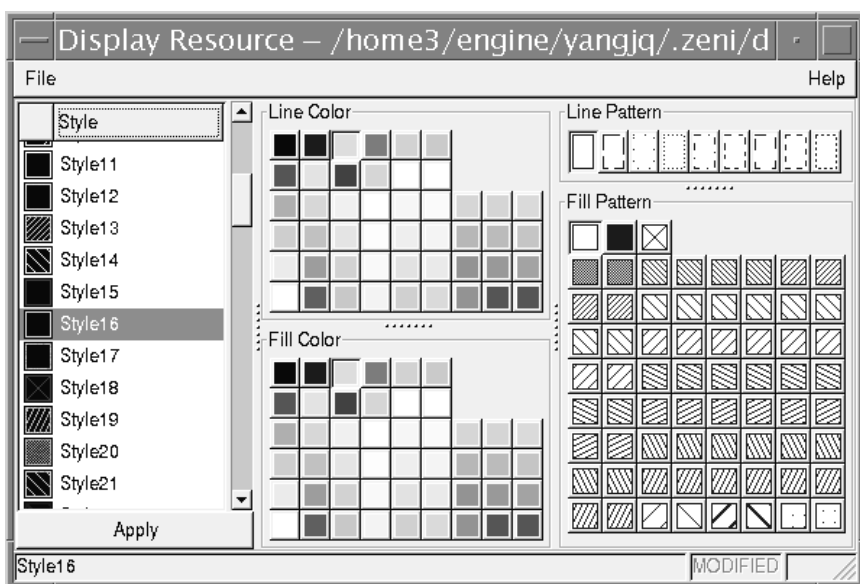


图 15-4 工艺层显示选择窗口

5) Netlist To Layout

其功能主要是将原理图数据直接转化为版图数据。这里可以通过两种方式完成数据转换：第一种，依据CDL网表及控制文件转换为版图数据。网表文件中主要描述了器件的连接关系，控制文件主要描述了器件的来源、器件的位置及参数、对外端口的名称及位置，控制文件格式请参考Zeni4 在线帮助手册。第二种，依据当前原理图设计数据直接转换为版图数据，用法：激活菜单命令 Tools->Netlist To Layout。

6) CDL — IN/Verilog — IN

其功能是将网表数据直接转化为原理图图形数据，并保持网表原有的层次关系，在原理图编辑器中层次式的显示。CDL — IN/Verilog — IN能接收的网表数据有三种：Verilog网表、CDL网表和顶层是Verilog网表而底层是CDL网表的复合网表。用法：激活菜单命令 Tools->Import->CDL/Verilog Netlist。

7) Show Tree

其功能是显示视图间的层次调用关系，并可方便的对相应的视图进行编辑操作。用法：激活菜单命令 File->Show Tree。

8) 标准数据导入\导出接口

最终设计好的集成电路版图数据要转换成集成电路制造厂能够读懂的数据格式，支持包括EDIF、GDS、CIF等标准数据格式的导入\导出（Export\Import）功能。用法：激活菜单命令 File->Import/Export，选择相应的数据格式。

15.5 频繁使用的 UNIX 命令

ls 显示文件或目录信息

[语法]

ls [-aAbcCdFfgilMnoprRstuxl] [file ...]

[常用选项]

-a 列出目录中所有项，包括以. 开头的隐含文件

-t 按最近一次修改的时间排序

-o 列出详细信息，-l列出详细信息，包括隐含文件

-R 显示全部目录及文件

-x 按多列显示

[范例]

ls -t . ; 以修改时间排序显示当前目录中的内容

pwd 返回当前目录名

clear 清除屏幕

exit 退出

cd 改变当前目录

[范例]

cd ; 回到用户根目录

cd ~user; 进入指定用户根目录中

cd .. ; 回到上层目录

cp 复制文件或目录

[语法]

cp [-r] source destination

[常用选项]

-r 复制整个目录

[范例]

cp -r ../test . ; 复制上层中test目录到当前目录中

mv 移动文件或目录

[语法]

mv [-r] source destination

[常用选项]

-r 移动整个目录

[范例]

mv -r ../test . ; 移动上层中test目录到当前目录中

rm, mkdir/rmdir , ps , kill , gzip, ta

第 16 章 反相器电路原理图设计与仿真

为了进行集成电路版图与原理图的一致性检查（LVS），用户必须通过各种基于Spice核的工具软件生成原理图网表。Zeni4 集成了图形化的电路原理图编辑环境，并可以导出电路的SPICE网表。Zeni4 的原理图编辑环境与版图验证环境集成在一个设计管理器中，便于快速查找和定位LVS错误。

16.1 启动实验环境

Step 1: `cd $WORK-DIR`

Step 2: `dm &`

实验环境将被启动。

16.2 开始一个新的设计

注：步骤 3 到 5 在此省略!!!

Step 3: 在实验设计环境下，鼠标点击菜单 `File->New->Library`。

Step 4: 用下面的信息完成新的库配置

Library Name: INV1

In Directory: /tmp

Use the Technology of Library: INV



Step 5: 完成库的配置后，点击 OK 确认退出。

Step 6: 在设计环境下，鼠标右击“PLL” library，从子菜单列表中选择“New Cell/View”命令。

Step 7: 用下面的信息完成新的单元的设置。

Library Name: PLL

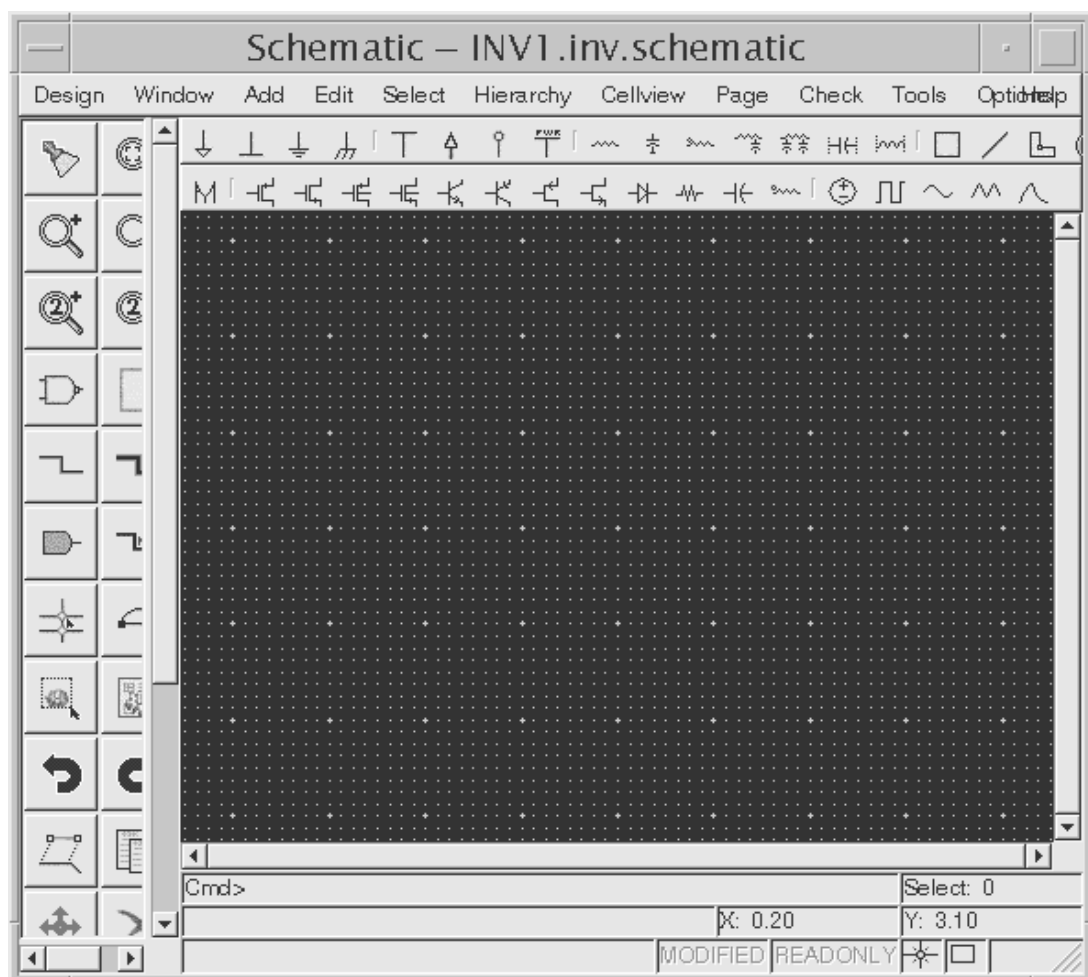
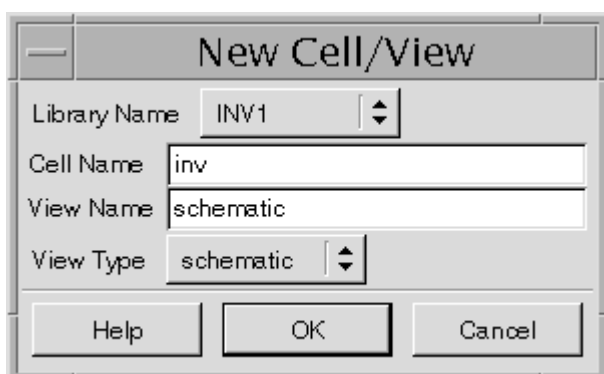
Cell Name: inv

View Name: schematic

View Type: schematic

Step 8: 完成单元的配置后, 点击 OK 确认退出.


Step 9: 在新的原理图单元被创建后, 下面的原理图编辑窗将自动弹出。



16.3 设计反相器的电路原理图

下面我们将利用电路原理图编辑工具 Zeni Schemaitc Editor 提供的功能完成反相器电

路原理图的设计。

Step 10: 从工具条中点击“pmos3”图标  .

注意:

此时，一个“Add Instance”窗体将自动出现，表明 pmos3 来自于 analog.pmos.symbol。实际上，“analog” library 是系统提供的库文件之一，是 Foundry 提供的设计包（PDK）中自带的，还有“basic”，“spice”，“sheet”，“digital”，and “vgate”等其它系统库。这些系统库是不可修改的，它们安装在\$ZENI_INSTALL_PATH/etc/zeni.lib。对比系统库，我们工作的库称 Normal Library，例如我们刚创建的 INV1，工作库放在\$WORK_DIR/zeni.lib 路径下。

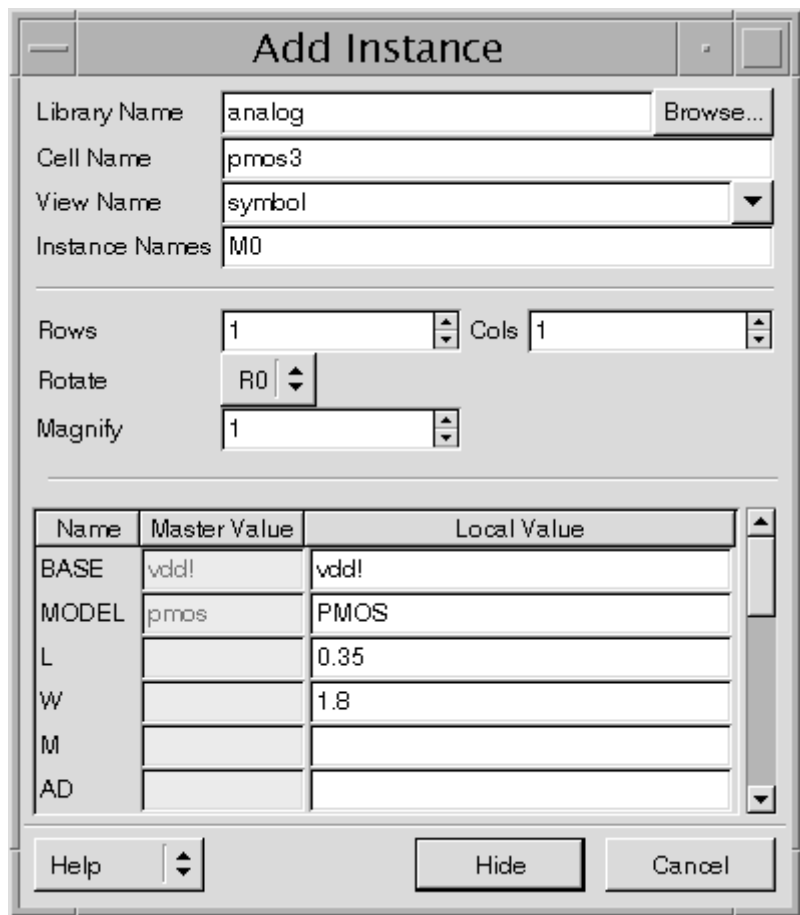
Step 11: 在 Add Instance 对话框中，填写下面参数信息，如图所示。

BASE: vdd!

MODEL: PMOS

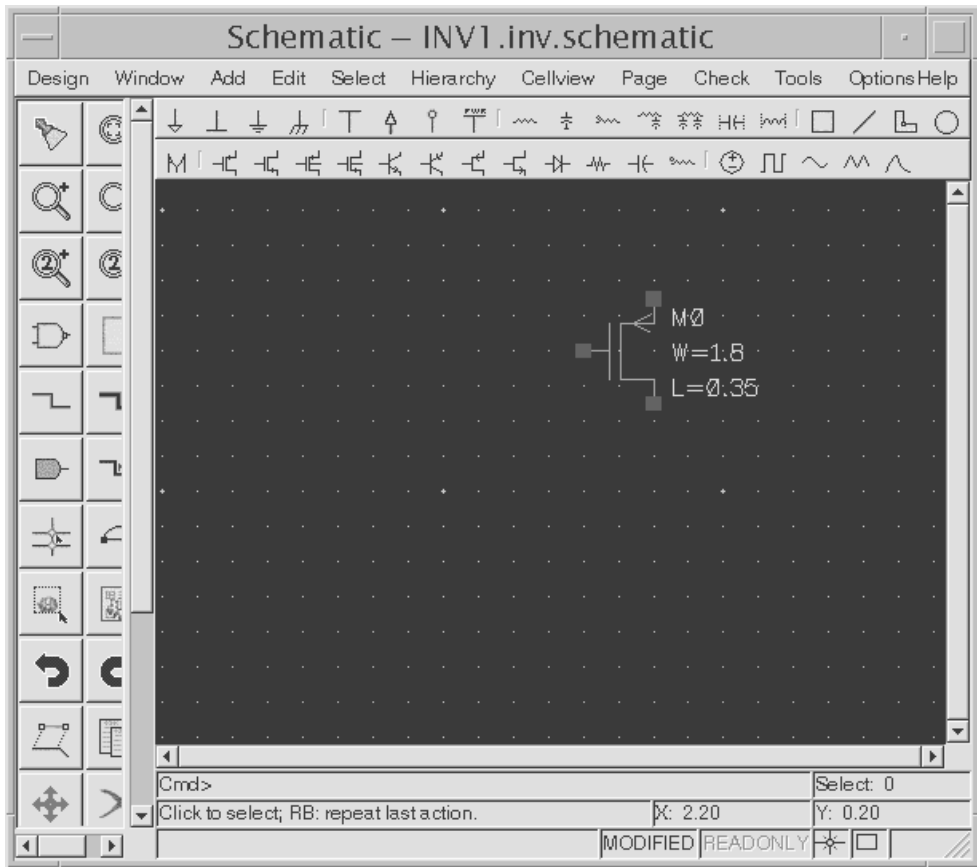
L: 0.35


W:1.8



Name	Master Value	Local Value
BASE	vdd!	vdd!
MODEL	pmos	PMOS
L		0.35
W		1.8
M		
AD		

Step 12: 完成你的 PMOS 设置后，回到原理图编辑窗（Schematic Editor window）移动光标，在你需要的位置点击鼠标左键放置 pmos3，如图。



Step 13: 同步骤 10，从工具栏选择 “nmos3”图标 ，用下面的信息完成 “Add Instance” 配置。

Instance Name: M1

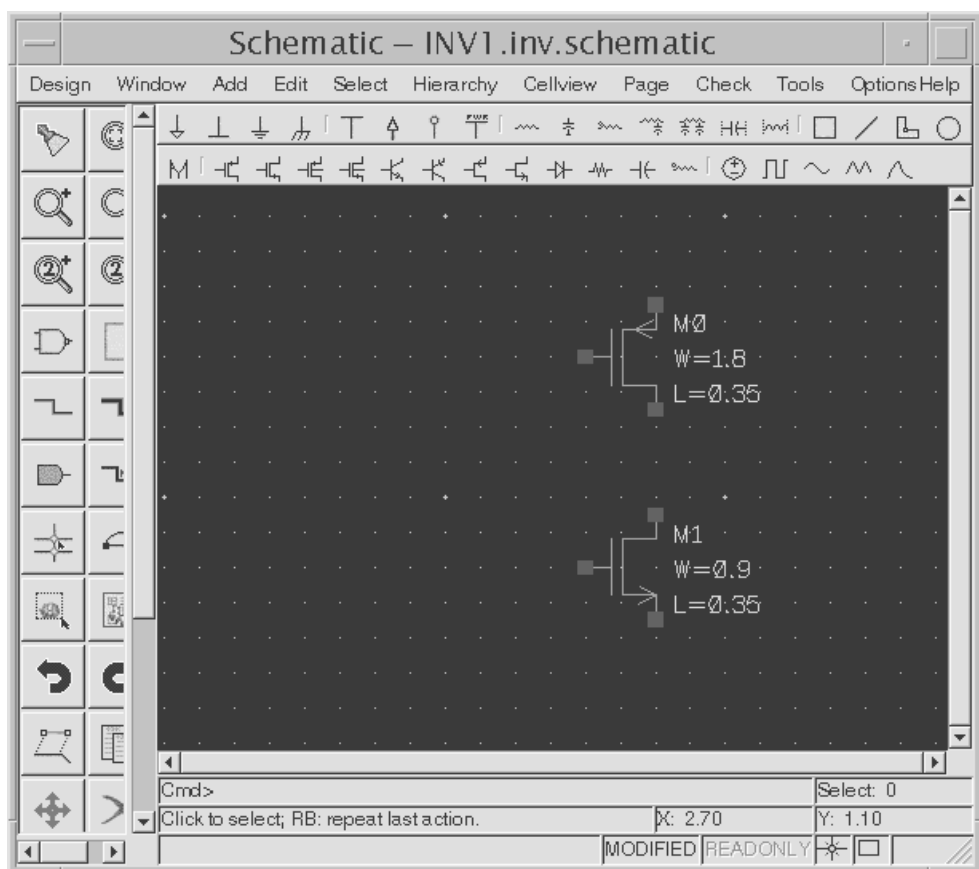
BASE: gnd!

MODEL: NMOS


L:0.35

W:0.9

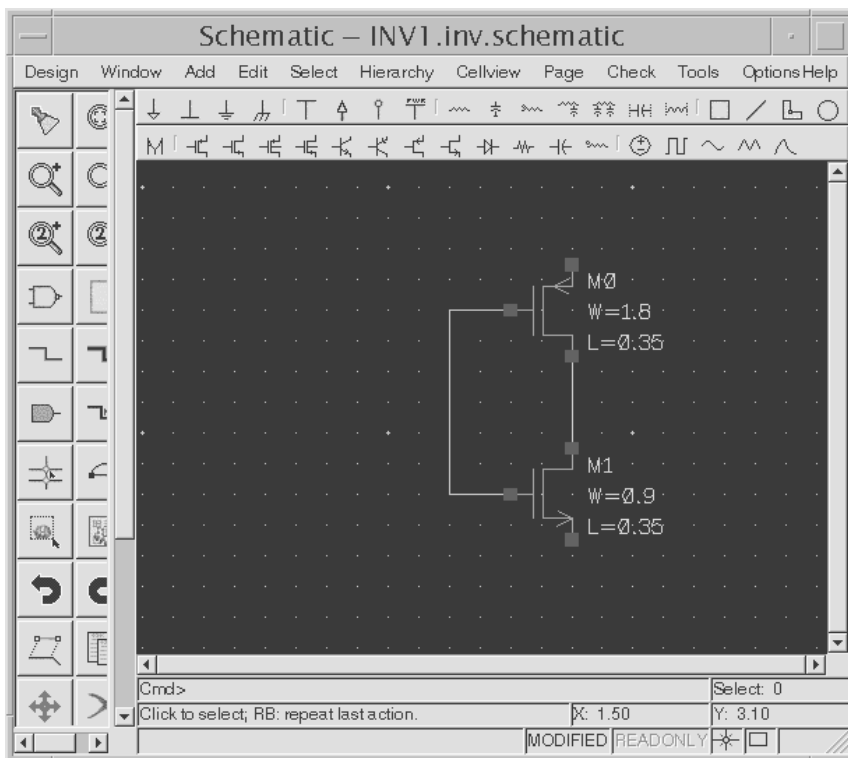
Step 14: 在原理图编辑窗中放置 nmos3，如图。



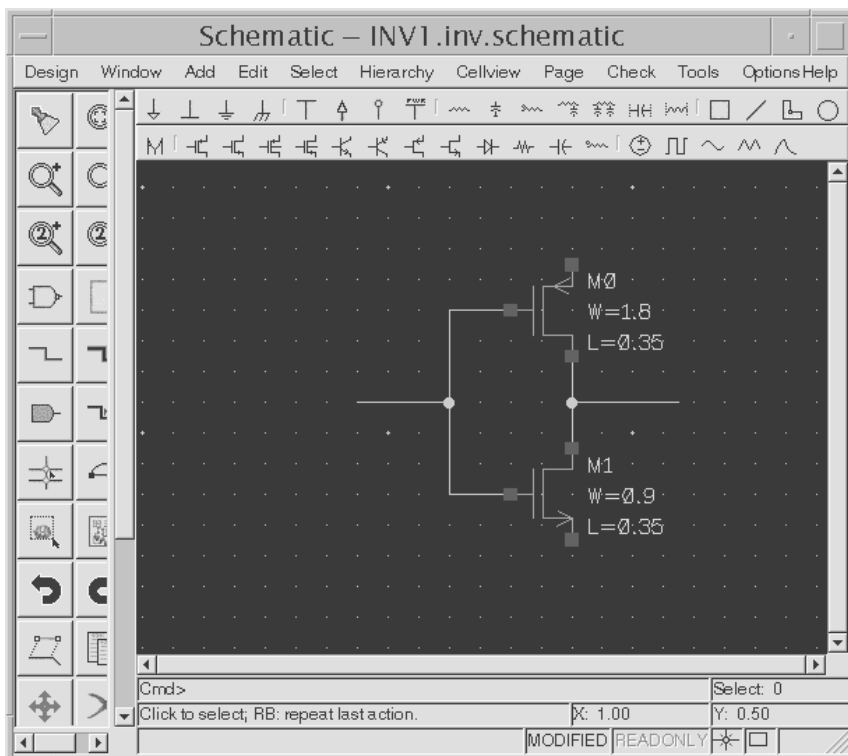
Step 15: 取消 “Add Instance” 窗体.

Step 16: 鼠标左击连线图标  或者点击菜单 Add->Wire.

Step 17: 连接 M0 和 M1 的漏极, 再连接 M0 和 M1 的栅极, 完成后用“Esc”键取消添加线的命令。

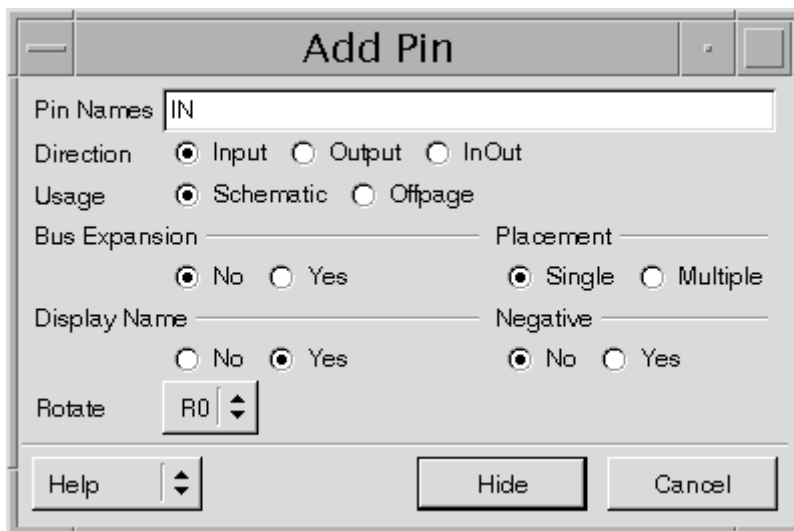


Step 18: 接着完成输入和输出接口的连线，如图。

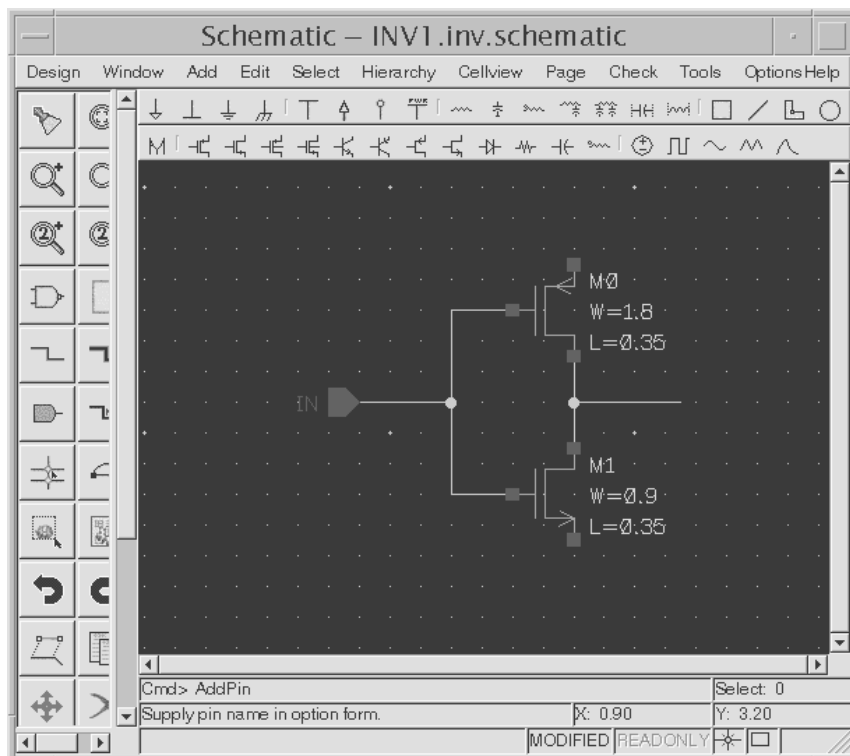


Step 19: 鼠标点击 Pin 图标  或者点击菜单 Add->Pin 添加引脚。

Step 20: 在 “Add Pin” 对话框中， 填写输入引脚： the Pin Name with “IN”; 设置 pin direction 为 “Input”。

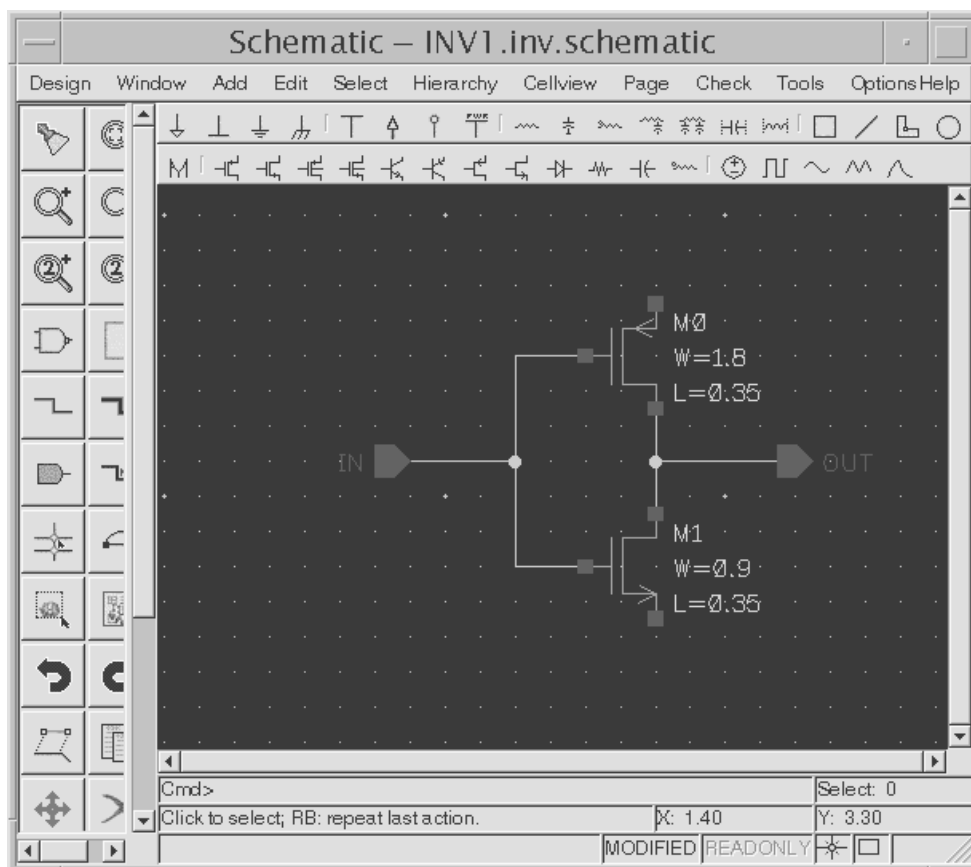


Step 21: 放输入引脚到连线的位置，如下图所示。

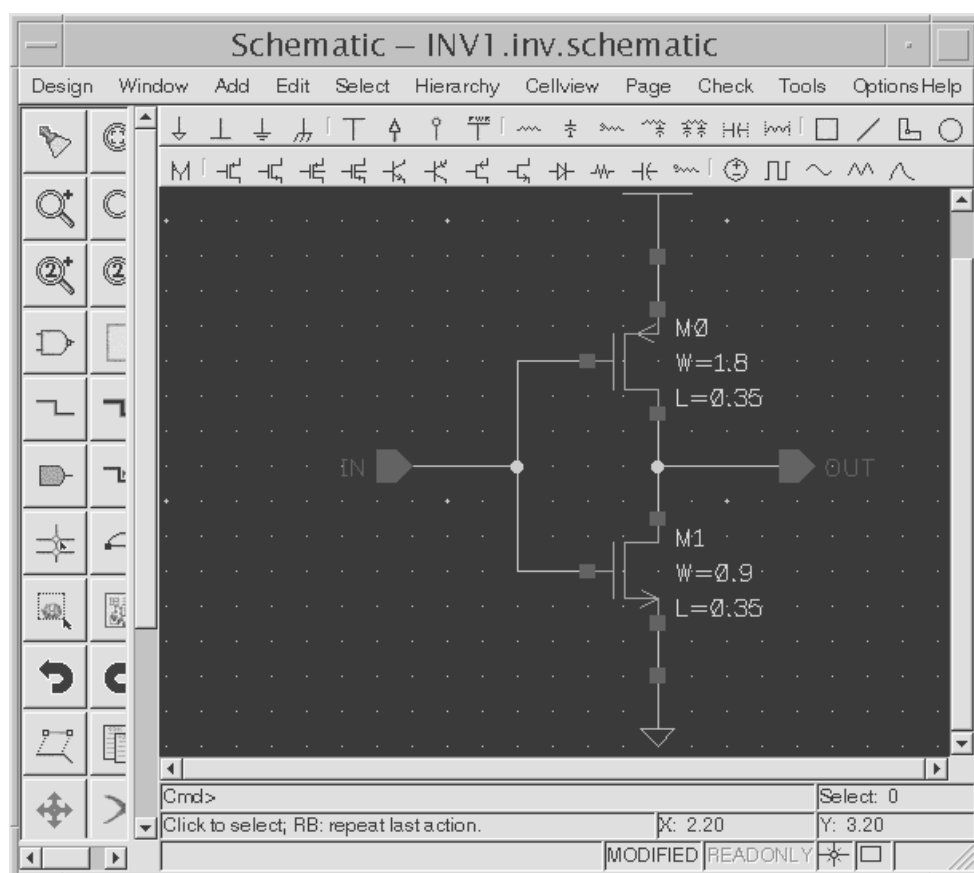


Step 22: 接着在 “Add Pin” 对话框中， 填写输出引脚： the pin name with “OUT”; 设置 pin direction 为 “Output”.

Step 23: 放输出引脚 “OUT” pin 到连线的位置，如下图所示.



Step 24: 从工具栏中鼠标点击电源 vdd 图标 (\top) 和接地 ground 图标 (\downarrow), 放置合适的位置并完成和 MOS 管脚的连线, 如下图所示.



Step 25: 到此，我们完成了反相器的设计，点击菜单 **Design->Check and Save** 检查和保存本次设计.


16.4 在电路原理图编辑器（Zeni Schematic Editor）中完成仿真

电路设计完成后需要用电路仿真工具进行验证，在实验环境下，我们调用了 spice3 仿真工具实现了电路仿真功能。

下面……

我们将在输入引脚加入信号源激励，用 spice3 仿真工具来分析电路性能。最后，我们将在波形显示窗（Zeni Waveform Viewer）中看见仿真结果的波形显示。

16.4.1 在输入引脚添加激励源

Step 1: 在 Zeni Schematic Editor window 环境下，在工具栏中鼠标左击  图标。

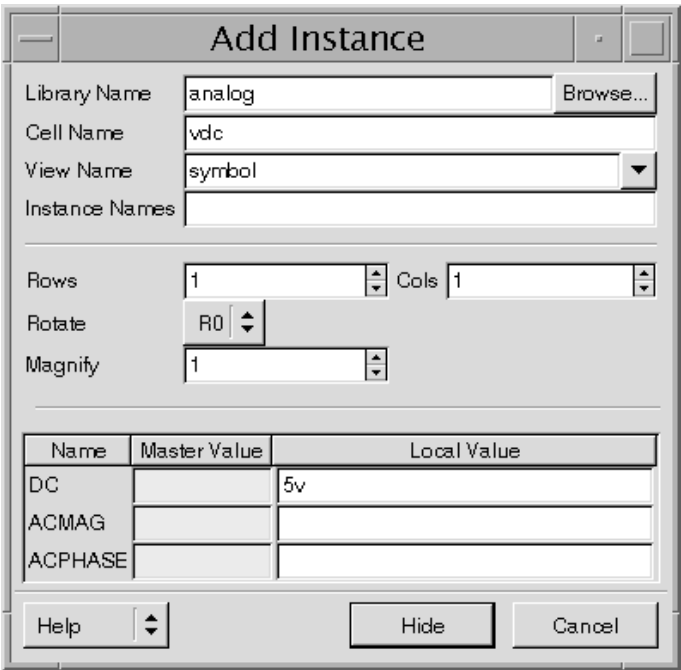
Step 2: 在 Add Instance 对话框中填写下面的激励源信息。

Library Name: analog

Cell Name: vdc

View Name: symbol

DC: 5v



The 'Add Instance' dialog box contains the following fields and controls:

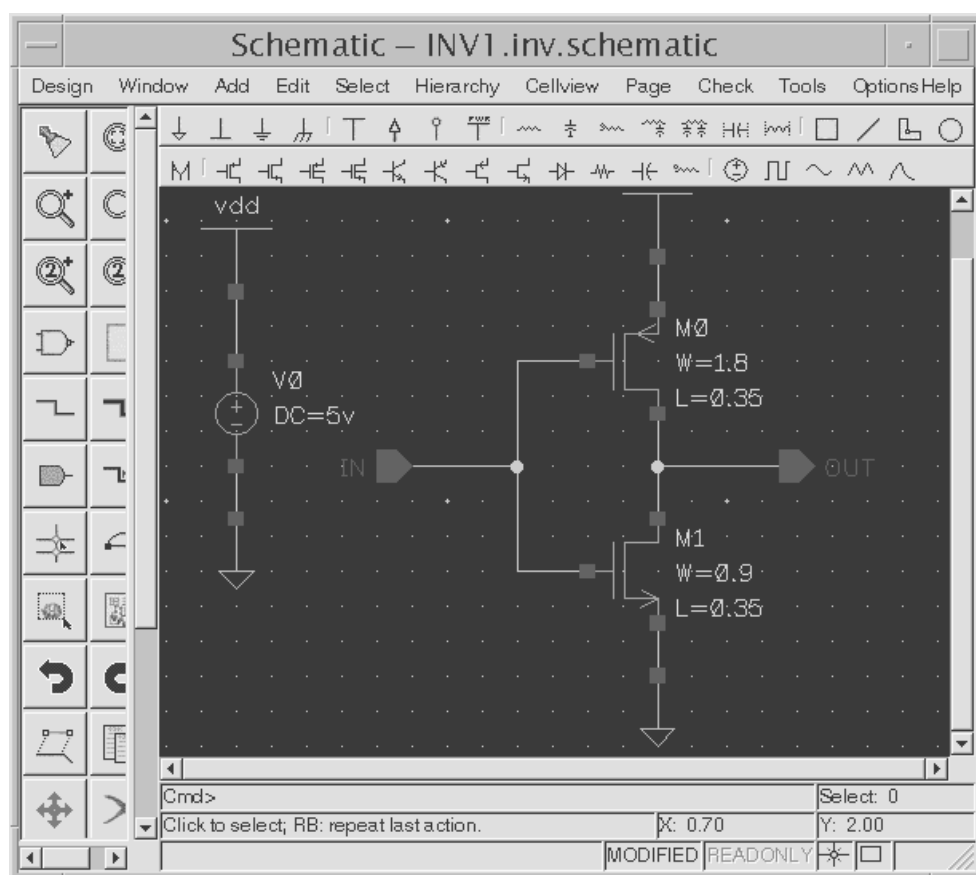
- Library Name: analog (with a 'Browse...' button)
- Cell Name: vdc
- View Name: symbol (dropdown menu)
- Instance Names: (empty text field)
- Rows: 1 (spinner)
- Cols: 1 (spinner)
- Rotate: R0 (dropdown menu)
- Magnify: 1 (spinner)
- Parameter table:

Name	Master Value	Local Value
DC		5v
ACMAG		
ACPHASE		

Buttons at the bottom: Help, Hide, Cancel.

Step 3: 把激励源放置在原理图编辑窗中合适的位置。

Step 4: 完成 vdc 和 vdd 、 gnd 的连线，如图所示。



Step 5: 点击  图标加入信号源。

Step 6: 在 Add Instance 对话框中填写下面的信息。

Library Name: analog

Cell Name: vplus

View Name: symbol

Instance Name: V1

DC: 0

V1: 0v

V2: 5v

TD: 0

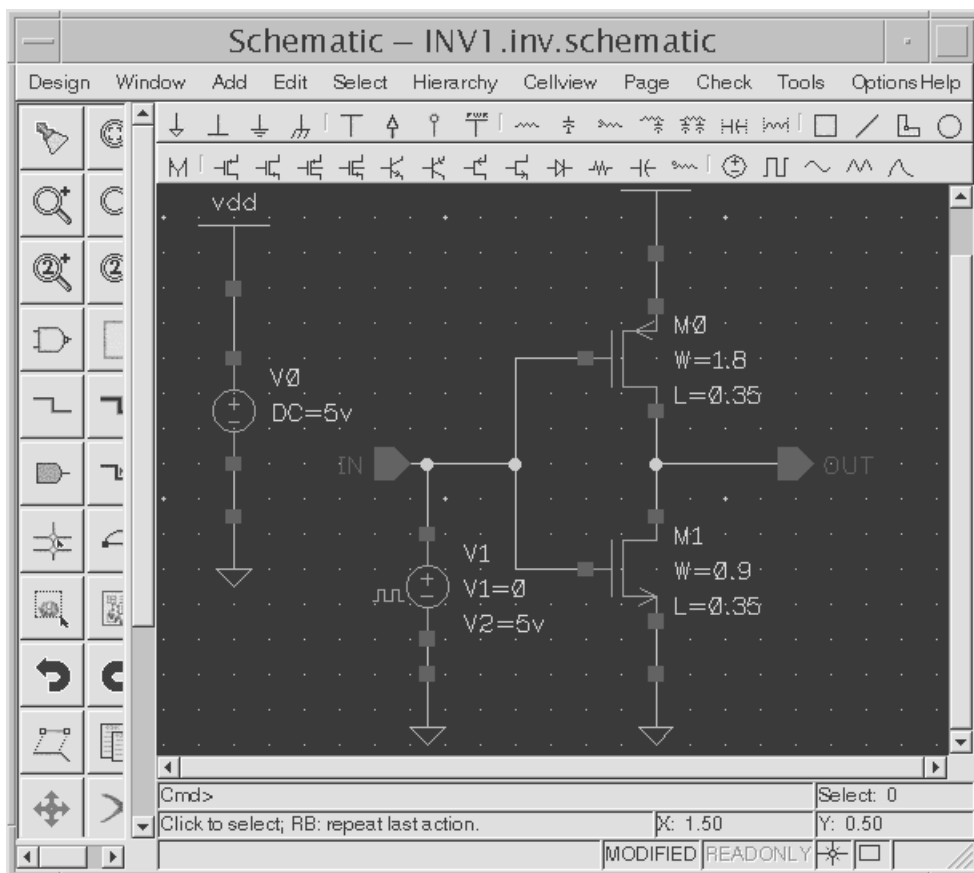
TR: 1ns

TF: 1ns

PW:20ns

PER: 40ns

Step 7: 连接信号源 vplus 和 输入引脚 “IN”，如图。

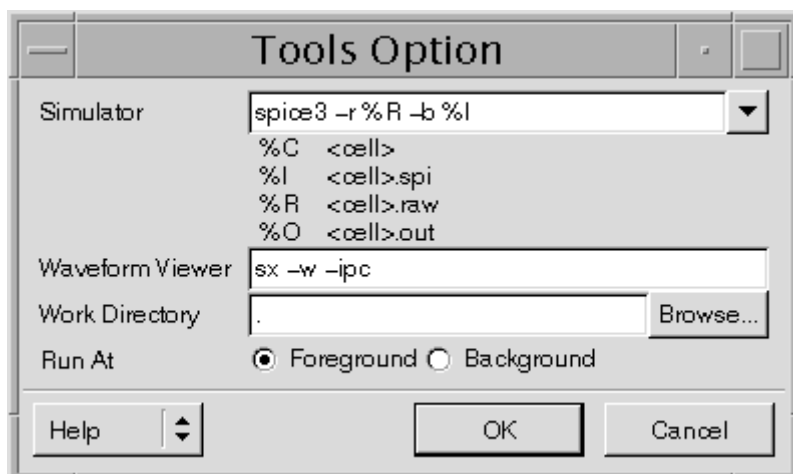


Step 8: 点击菜单 Design->Check and Save 完成检查和保存。

16.4.2 设置仿真环境

Step 9: 在原理图编辑窗（Schematic Editor window）中， 点击菜单 Options->Tools.... 工具选择对话框将自动出现。

Step 10: 设置仿真器为 spice3. 如下图所示。



Step 11: 点击 Ok 完成仿真器的选择。

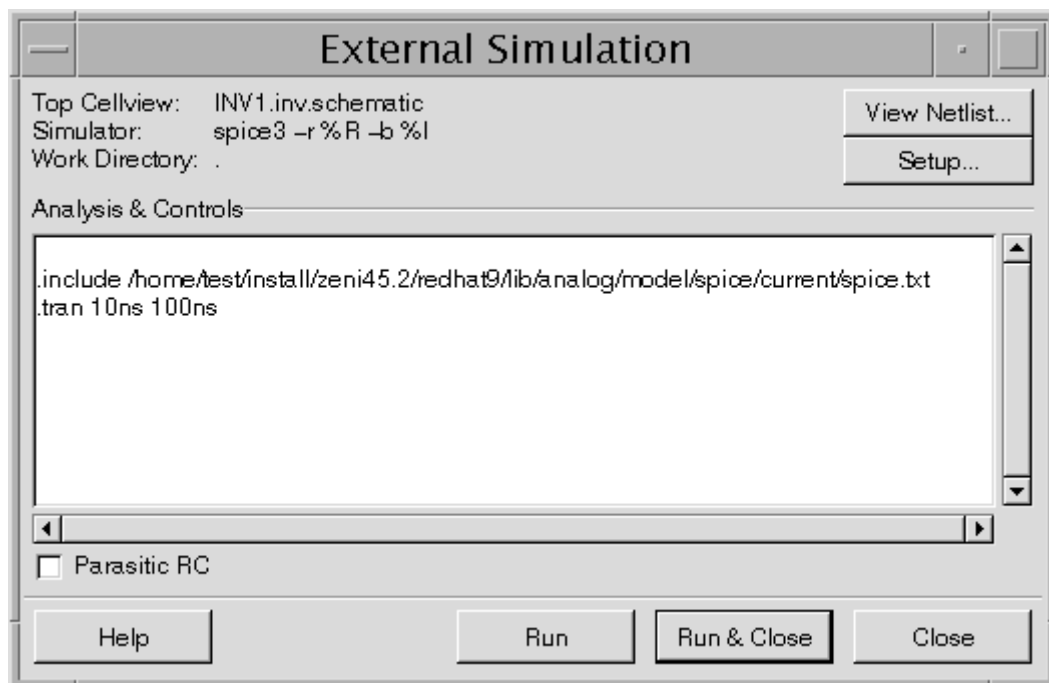
Step 12: 因为一种仿真器只接受相应的网表格式，所以按照你设置的仿真器，点击菜单 Options->Export Format->Netlist 去配置你的仿真器相应的网表格式. 针对 spice3 仿真器，配置网表格式如下。



Step 13: 点击 Ok 确认输出网表的格式。

Step 14: 点击菜单 Tools->External Simulation. 外部仿真对话框自动弹出。

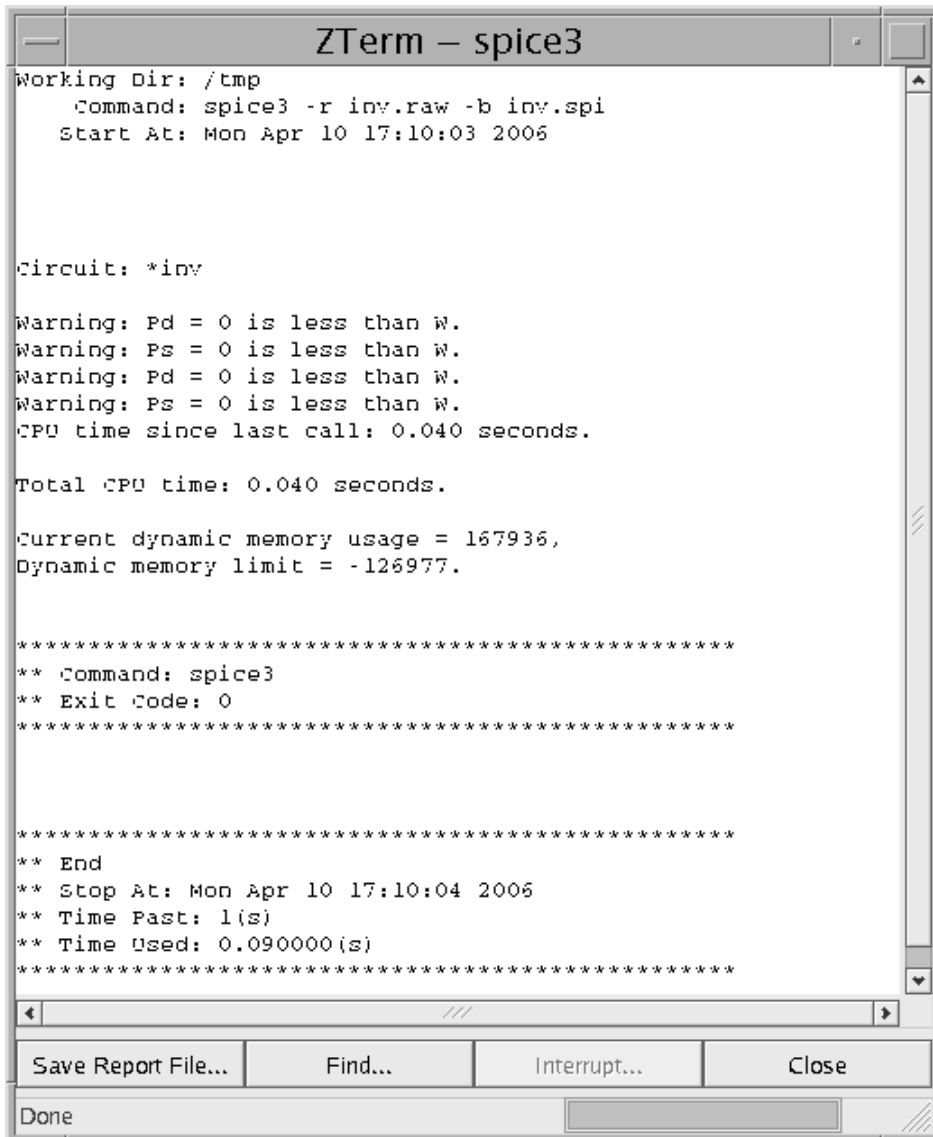
Step 15: 外部仿真对话框中, Analysis&Controls 部分, 填写电路分析的类型和控制语句如下:



Step 16: 请替换你使用的器件模型文件的位置。

Step 17: 在运行仿真之前, 你可以点击 View Netlist... 按钮去查看 Zeni Schematic Editor 工具产生的电路网表。

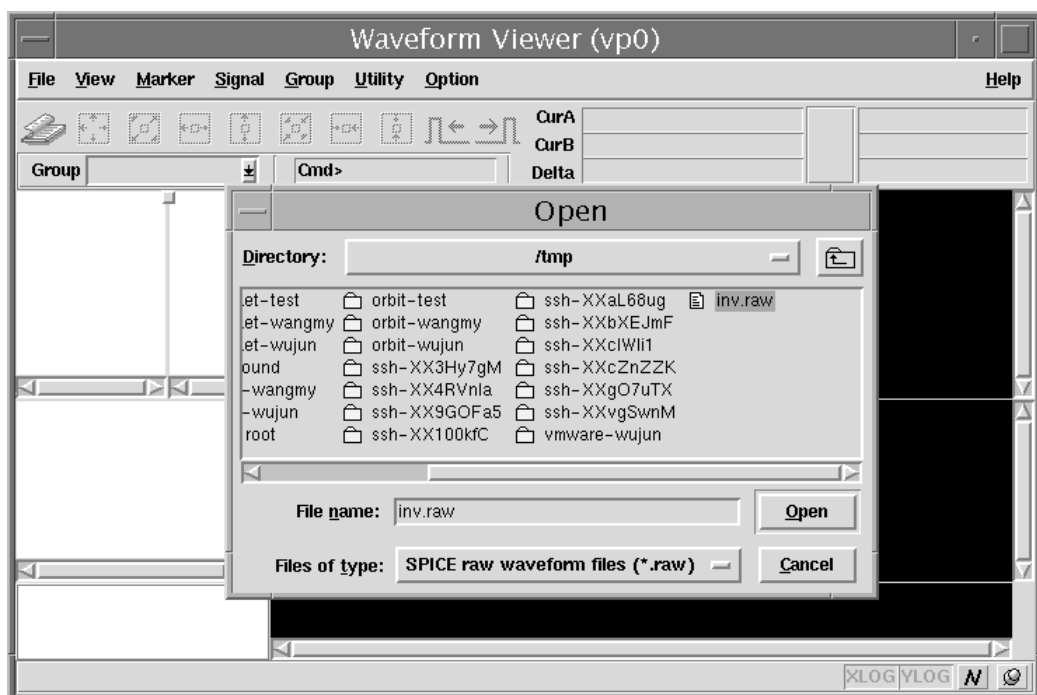
Step 18: 在 External Simulation 对话框中, 点击 Run&Close 按钮去调用 spice3 仿真器进行仿真. ZTerm-spice3 对话框如下图所示。



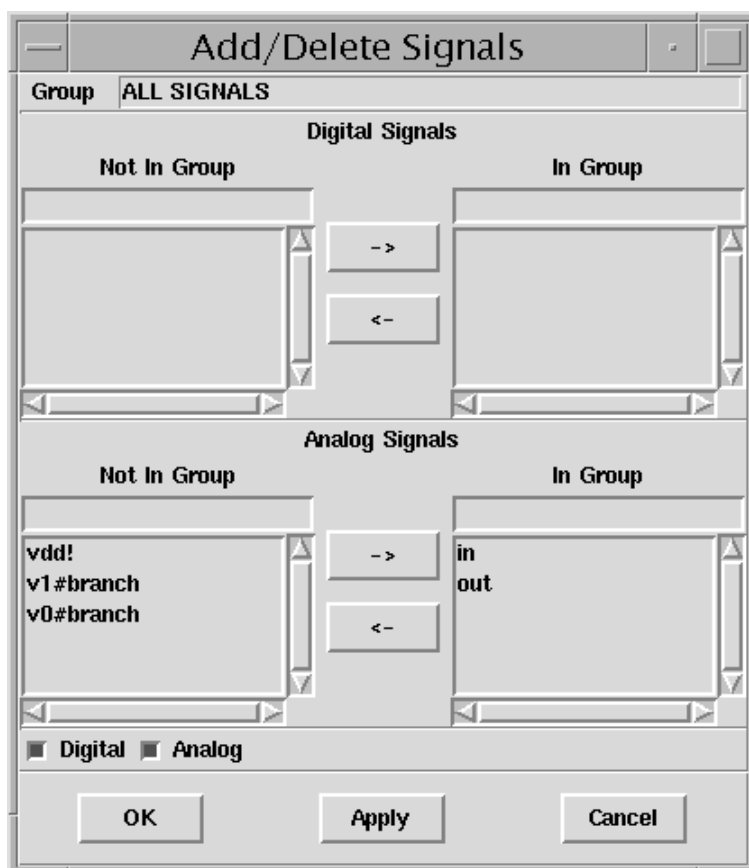
Step 19: 关闭 Zterm 对话框。

Step 20: 在九天管理环境（Zeni Design Mananger window）下， 点击菜单 Tools->Waveform Viewer 调用仿真波形。

Step 21: 在 Waveform Viewer window 环境下， 点击菜单 File->Open Plot， 打开仿真数据文件 “inv.raw”。

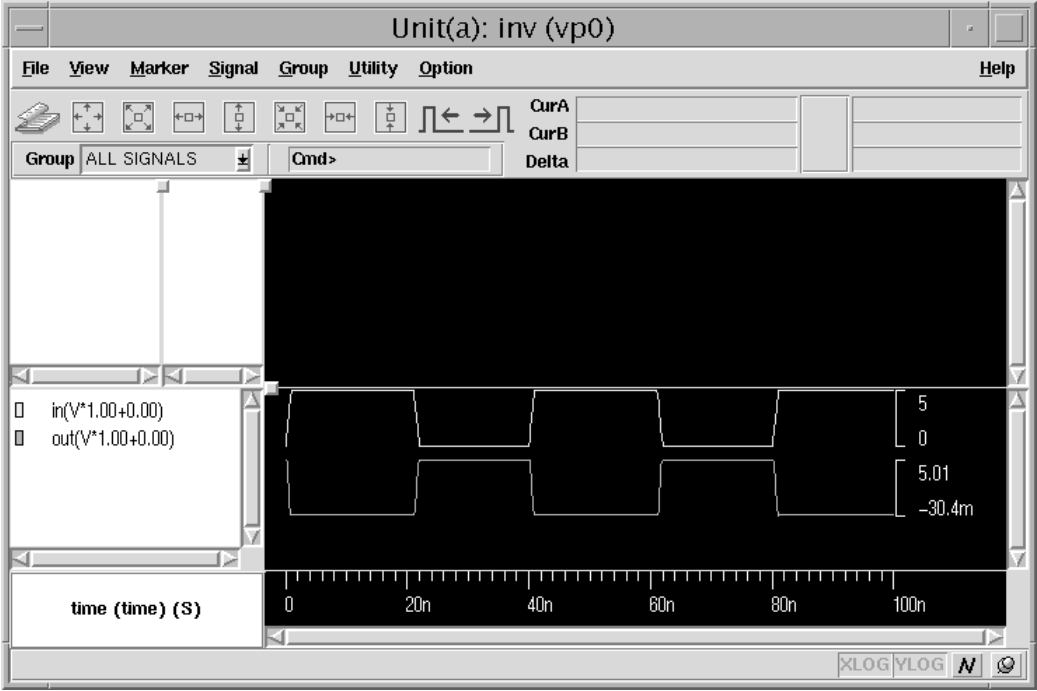


Step 22: 点击菜单 Signal->Add/Delete Signals.... 在列表中选择你要查看的信号，如图。



Step 23: 点击 Ok 完成 Add/Delete Signals 对话框。

Step 24: 在 Waveform Viewer 环境下，你会发现你选择的两个信号重叠在一起，点击菜单 Option->Custom->Analog Signal，打开 Stack 选择去分开这两个信号。



第 17 章 反相器版图编辑

版图编辑

集成电路设计者完成原理图设计后，需要在物理级进行电路实现—版图编辑，我们采用九天的版图设计工具—Zeni Physical Design Tool (ZeniPDT)。ZeniPDT 支持数字、模拟、混合电路的层次化编辑和快捷的在线版图验证功能。

在这个部分...

我们将创建反相器的两个单元 PMOS 和 NMOS，最后完成反相器的其余部分。

17.1 运行软件环境

Step 1: `cd $WORK-DIR`

Step 2: `dm &`

Step 3: 设计环境 ZDMW 将出现

17.2 设计反相器版图

创建 PMOS 单元

Step 4: 右击 PLL library，选择“New Cell/View”子菜单。

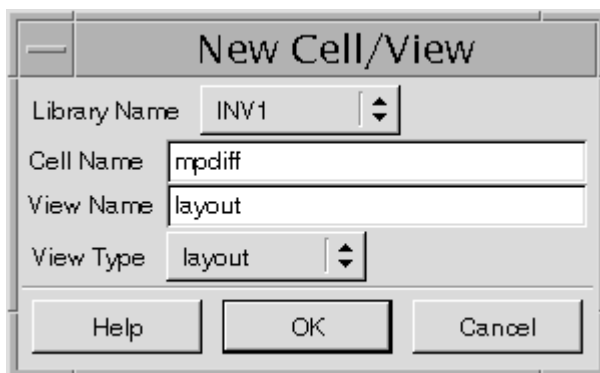
Step 5: 填写新单元信息如下，规定金属 metal 和 P 型掺杂的连接：

Library Name: PLL

Cell Name: *mpdiff

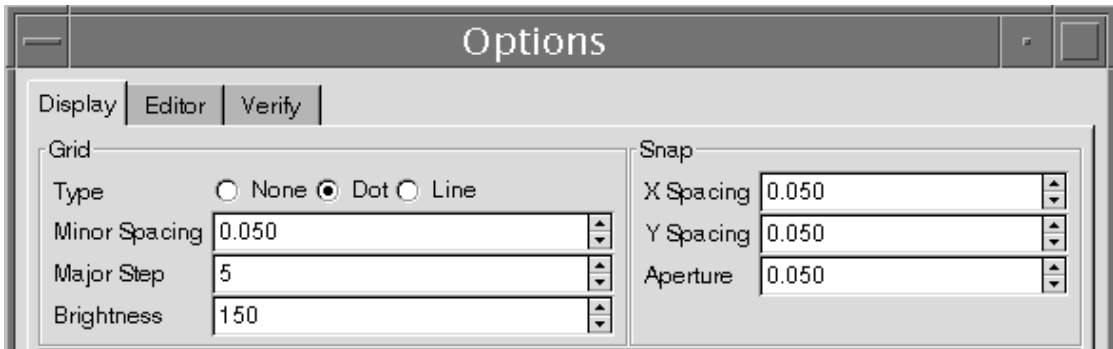
View Name: layout

View Type: layout




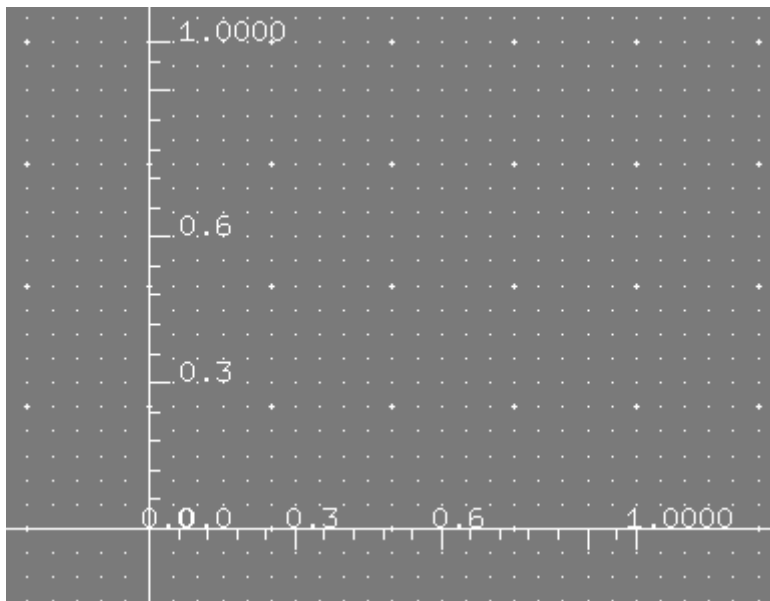
Step 6: 点击 Ok 确认 New Cell/View 信息后版图编辑界面将出现。

Step 7: 左击菜单 Options->Generic 选项， 定义版图大小如下。




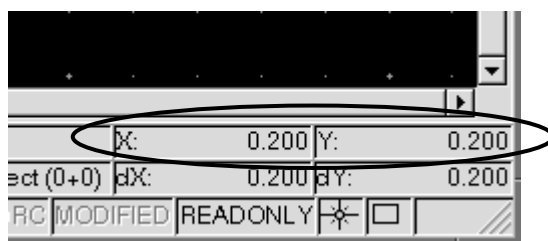
Step 8: 保存并且关闭上面的选择界面。

Step 9: 放大显示区域，鼠标左击菜单 Tools->Ruler（或者点击  图标）来确定版图坐标，在版图窗口中点击你需要测量起始点，水平的从左向右挪动指针，可以看到指针划过处出现一把尺子，在终止位置点击鼠标，完成操作，按键盘“Esc”键结束命令。

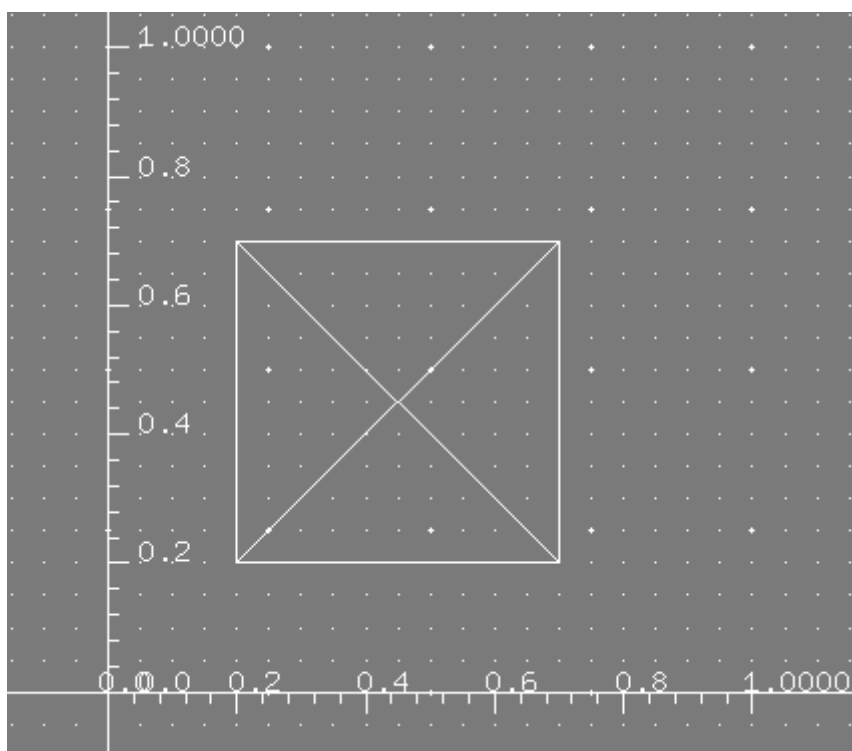


Step 10: 从 Layer 中选择“cont.dwg”层（连接层）。

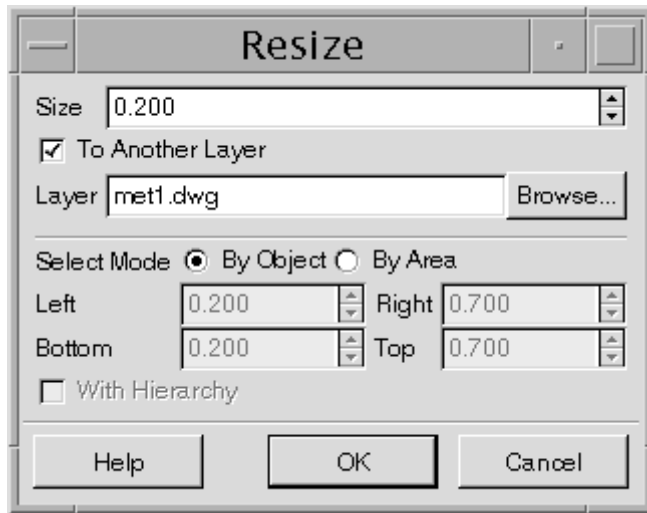
Step 11: 选择菜单 Create->Rectangle（或点击  图标）从点 (0.2, 0.2) 到 (0.7, 0.7) 画一个矩形（当前光标位置显示在版图编辑窗的右下角）。



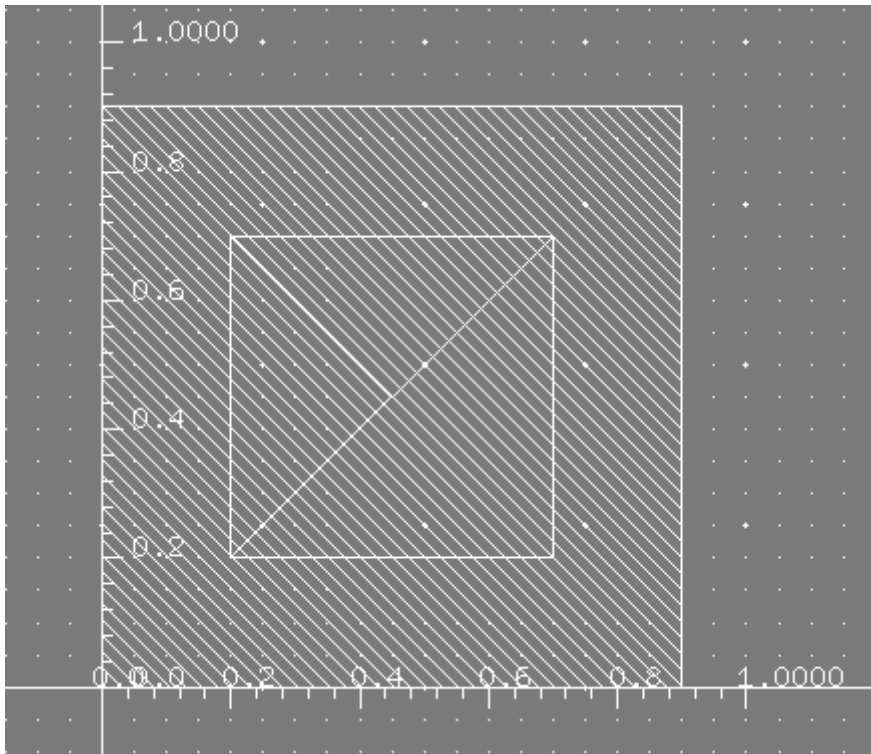
Step 12: 按“Esc”键结束命令. 添加完成的图形如下。



Step 13: 这次先选择矩形， 点击菜单 **Advanced->Resize**， 填写弹出的对话框信息如下。

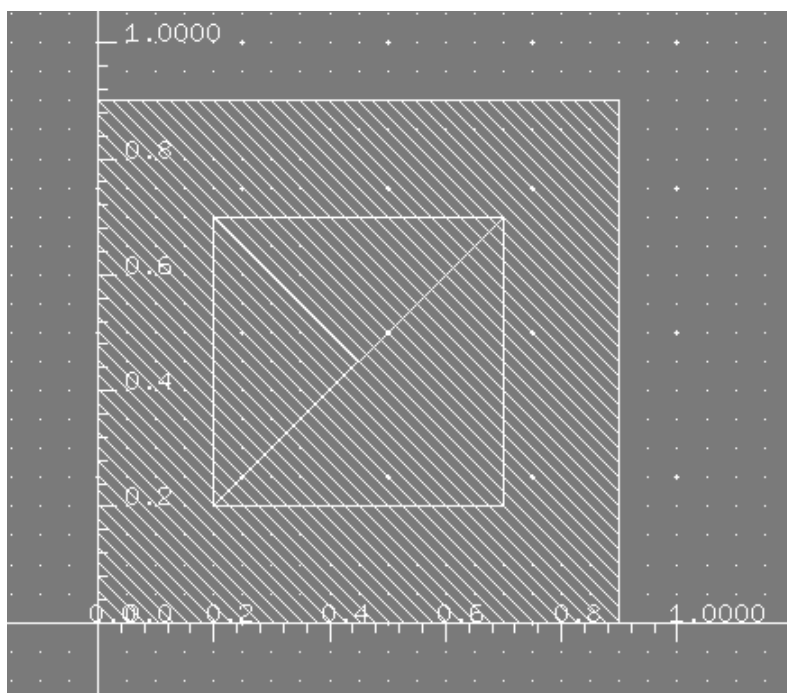



Step 14: 点击 Ok 确认. The met1 图形是自动创建比 cont 周围大 0.2um.

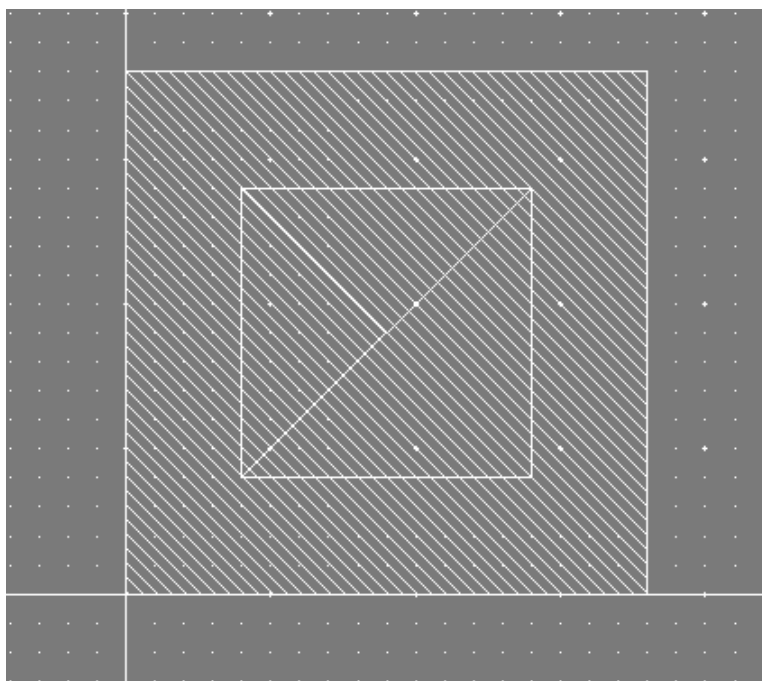



Step 15: 当然，也可以象 Step 11 一样， 用画矩形的方式来画 met1 .

Step 16: 同样，你需要创立“Pimp.dwg”层，尺寸和 met1 相同.



Step 17: 点击菜单 **Tools->Clear Ruler**（或者点击  图标）来去除刻度. 金属和 P 型掺杂的连接单元 mpdiff 显示如下.

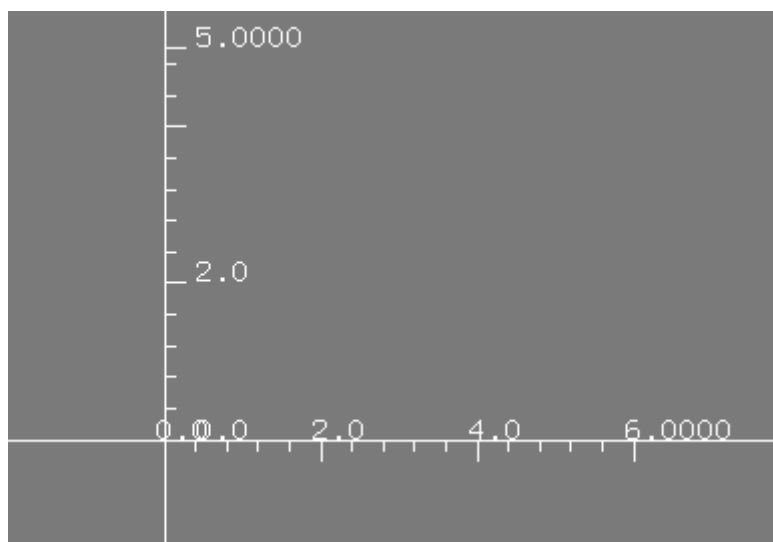


Step 18: 点击菜单 Design->Save (或点击  图标) 保存此单元 (cellview) .


Step 19: 点击菜单 Design->Close 关闭单元设计.

下面我们将创建反相器的 PMOS 管单元 (cellview) : *pmos_18.
创建单元命名如上……


Step 20: 同 Step 9: 确定版图刻度如下.



Step 21: 从版图窗口的左下方选择“Pimp.dwg”层 (P 型掺杂层, 画 P 管源漏区) .

Step 22: 鼠标左击菜单 Create->Rectangle (或点击  图标) 从点(1.3, 1.3) 到点(3.9, 3.1)
画一个矩形.

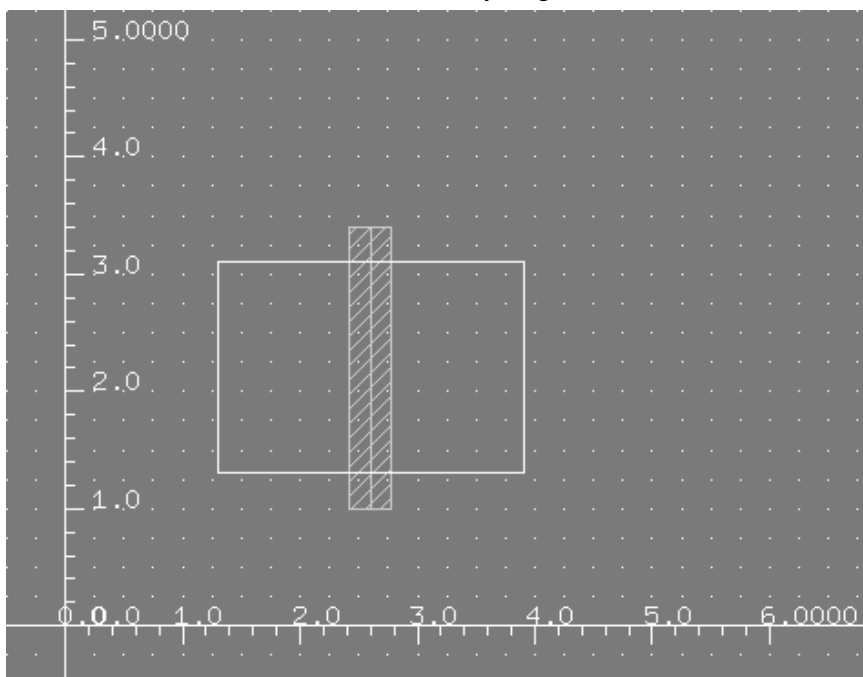
Step 23: 选择 “Poly.dwg” 层 (多晶硅层, 画 P 管栅) .


Step 24: 鼠标左击菜单 Create->Path (或 点击  图标), 将自动弹出下面对话框. (如果对话框不显示, 按 F3 键去激活. 或者打开选项 Options->Generic->Editor->Auto Popup Form)

Step 25: 填写栅极信息如下, Path 的宽即为栅长 L.



Step 26: 从点(2.6, 3.4) 到 (2.6, 1.0) 用 “Poly.dwg”层画一条路径. 双击结束命令.



Step 27: 选择菜单 Create->Instance （或者点击  图标）两次调用一个 2 行一列的子单元（即为刚才创建的*mpdiff 子单元）.

Step 28: 在弹出的对话框中填写下面的信息(mpdiff 改为*mpdiff).

Create Instance

Library Name	INV1		Browse...
Cell Name	mpdiff		
View Name	layout		
Instance Name	I0		
Rows	2	Delta Y	0.000
Columns	1	Delta X	0.000
Magnify	1.000		
Rotate	<input checked="" type="radio"/> R0 <input type="radio"/> R90 <input type="radio"/> R180 <input type="radio"/> R270		
Mirror	<input type="checkbox"/> X Mirror <input type="checkbox"/> Y Mirror		
Reference Point	<input checked="" type="radio"/> Origin <input type="radio"/> Left-Bottom Corner		

Step 29: 光标移回版图编辑区.

Step 30: 两个子单元显示在光标处. 左击点(1.3, 1.3) 放置子单元.

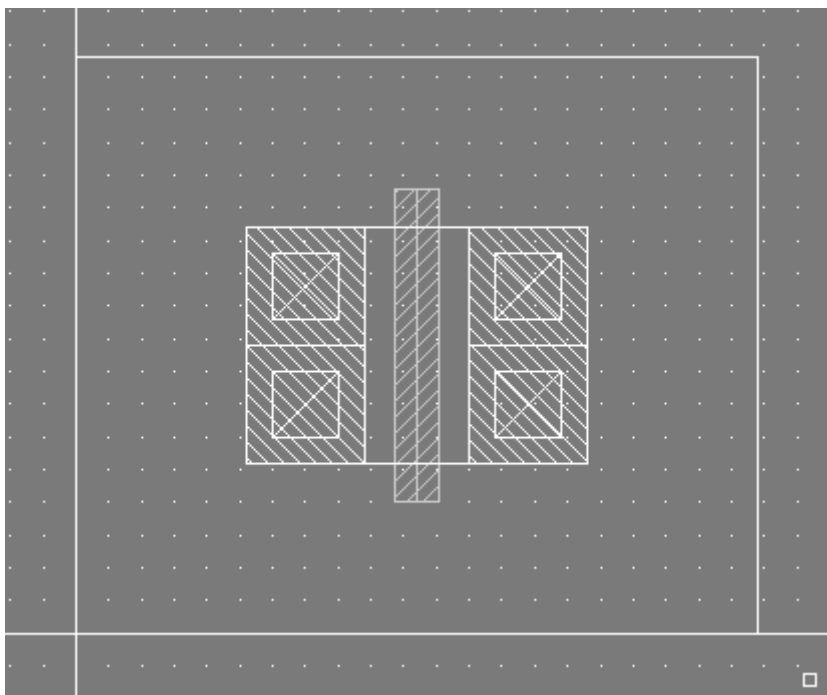
Step 31: 左击点 (3.0, 1.3) 再次放置这些单元.

Step 32: 按 “Esc” 结束命令.

Step 33: 用“nwell.dwg”层从点(0, 0) 到 (5.2, 4.4) 创建一个矩形.

Step 34: 点击  图标清除尺子.

Step 35: 最后, PMOS 单元 *pmos_18 显示如下.



Step 36: 保存、关闭 PMOS 单元.

创建 NMOS 单元

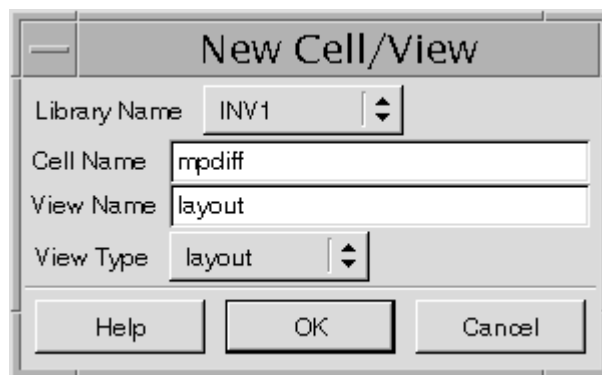
Step 37: 新建一个单元，规定 metal 和 N 型掺杂的连接，创建步骤同前创建金属和 P 型掺杂相同，填写新单元信息如下：

Library Name: INV1

Cell Name: *mndiff(注意!!!)

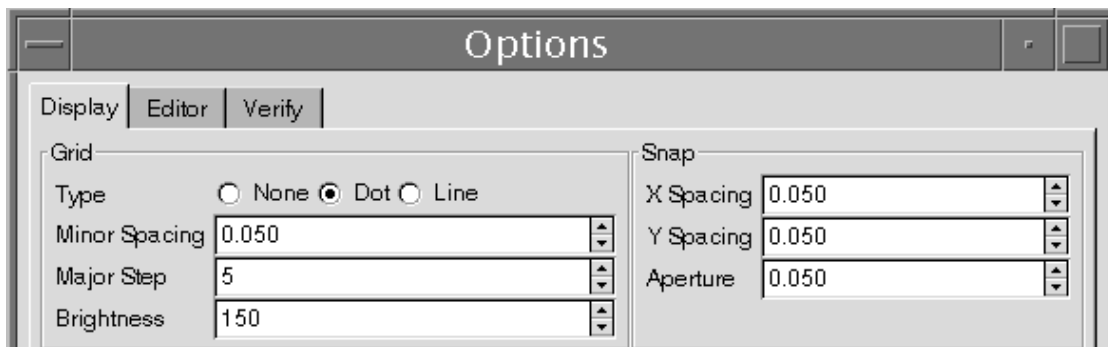
View Name: layout

View Type: layout




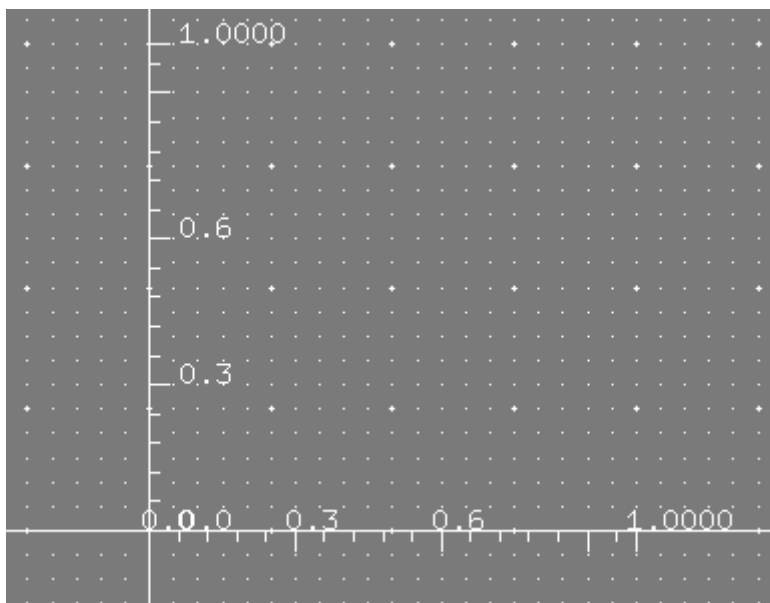
Step 38: 点击 Ok 确认 New Cell/View 信息后版图编辑界面将出现.

Step 39: 左击菜单 Options->Generic 选项， 定义版图大小如下.




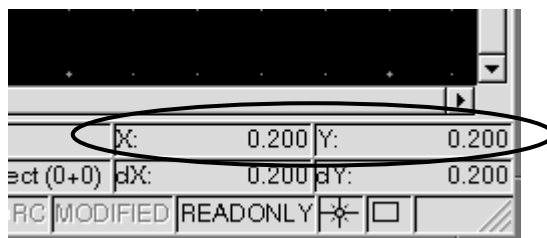
Step 40: 保存并且关闭上面的选择界面.

Step 41: 放大显示区域，鼠标左击菜单 Tools->Ruler（或者点击  图标）来确定版图坐标，在版图窗口中点击你需要测量起始点，水平的从左向右挪动指针，可以看到指针划过处出现一把尺子，在终止位置点击鼠标，完成操作，按键盘“Esc”键结束命令.

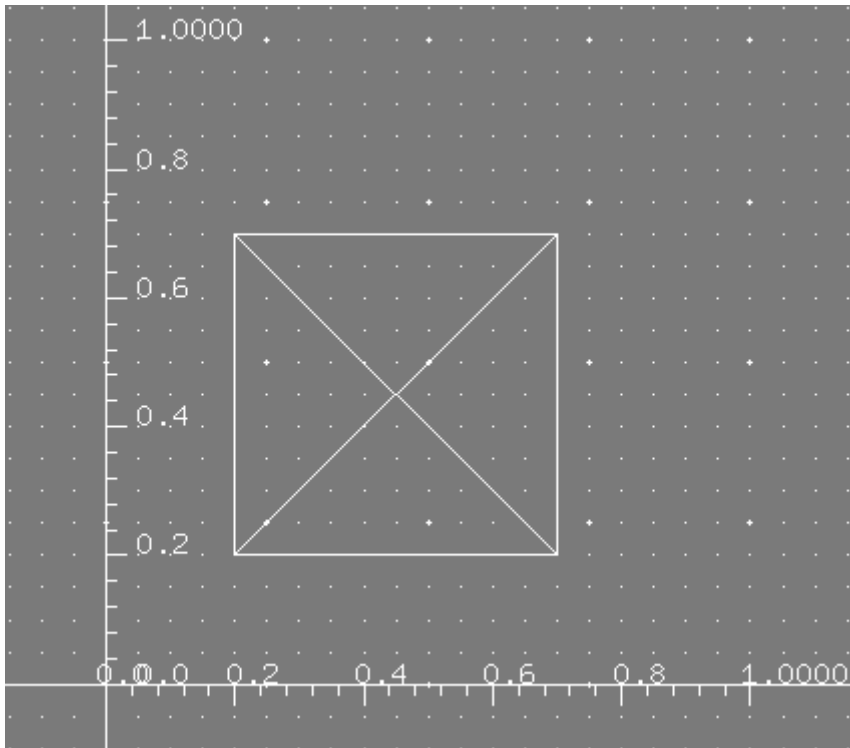


Step 42: 从 Layer 中选择“cont.dwg”层（连接层）。

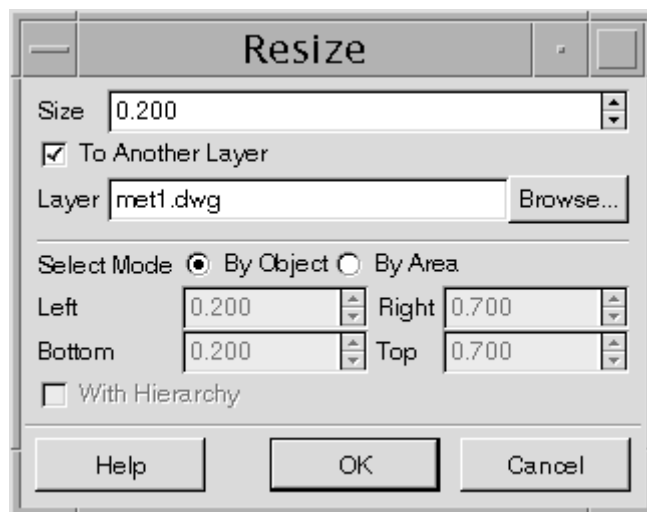
Step 43: 选择菜单 Create->Rectangle （或点击  图标）从点 (0.2, 0.2) 到 (0.7, 0.7) 画一个矩形（当前光标位置显示在版图编辑窗的右下角）。



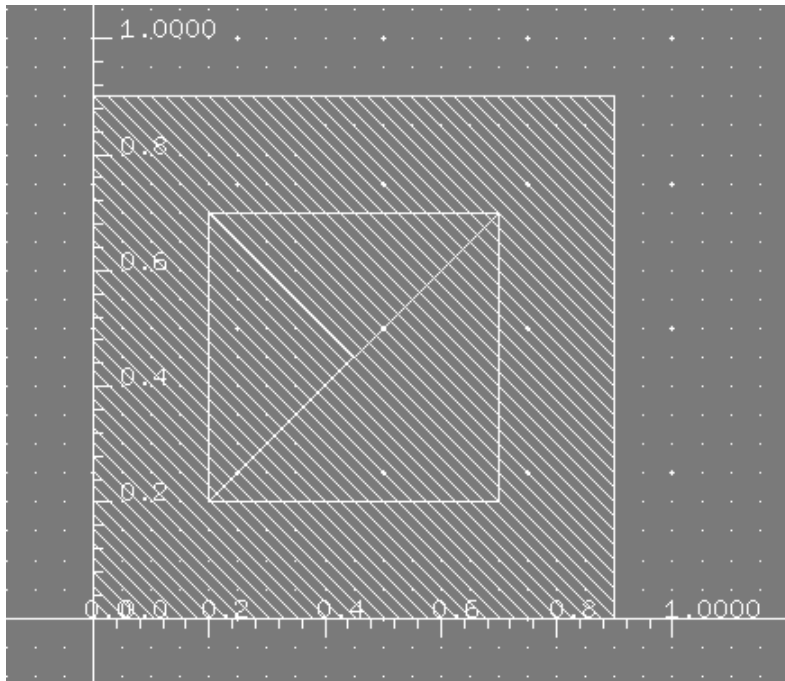
Step 44: 按“Esc”键结束命令。添加完成的图形如下。



Step 45: 这次先选择矩形， 点击菜单 **Advanced->Resize**， 填写弹出的对话框信息如下.

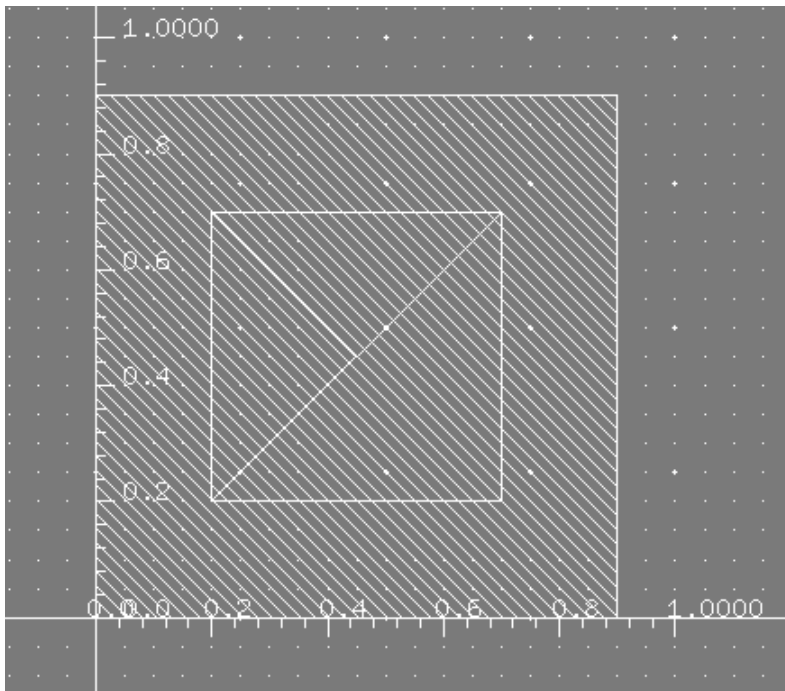


Step 46: 点击 **Ok** 确认. The met1 图形是自动创建比 cont 周围大 0.2um.



Step 47: 当然, 也可以象 Step 11 一样, 用画矩形((0, 0)到(0.9, 0.9))的方式来画 met1 .

Step 48: 同样, 你需要创立“Nimp.dwg”层, 尺寸和 met1 相同.

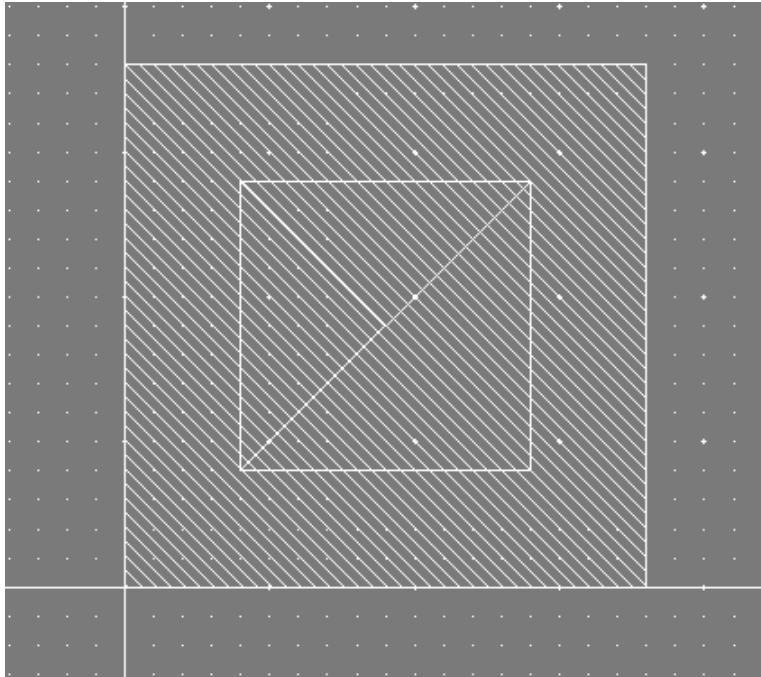


Step 49: 点击菜单 Tools->Clear Ruler（或者点击



图标）来去除刻度。金属和 N 型

掺杂的连接单元 mndiff 显示如下。



Step 50: 点击菜单 Design->Save （或点击

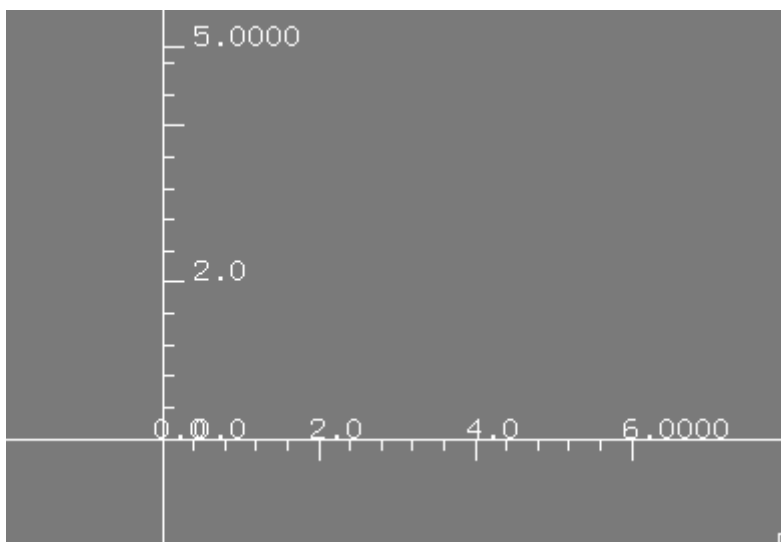


图标）保存此单元（cellview）。


Step 51: 点击菜单 Design->Close 关闭单元设计。

下面我们将创建反相器的 NMOS 管单元（cellview）：nmos_18.


Step 52: 同 Step 9: 确定版图刻度如下。



Step 53: 从版图窗口的左下方选择“Nimp.dwg”层（N型掺杂层，画N管源漏区）。

Step 54: 鼠标左击菜单 Create->Rectangle（或点击  图标）从点(0, 0.3) 到点(2.6, 1.2) 画一个矩形。


Step 55: 选择 “Poly.dwg” 层（多晶硅层，画P管栅）。

Step 56: 鼠标左击菜单 Create->Path（或点击  图标），将自动弹出下面对话框。（如果对话框不显示，按 F3 键去激活。或者打开选项 Options->Generic->Editor->Auto Popup Form）

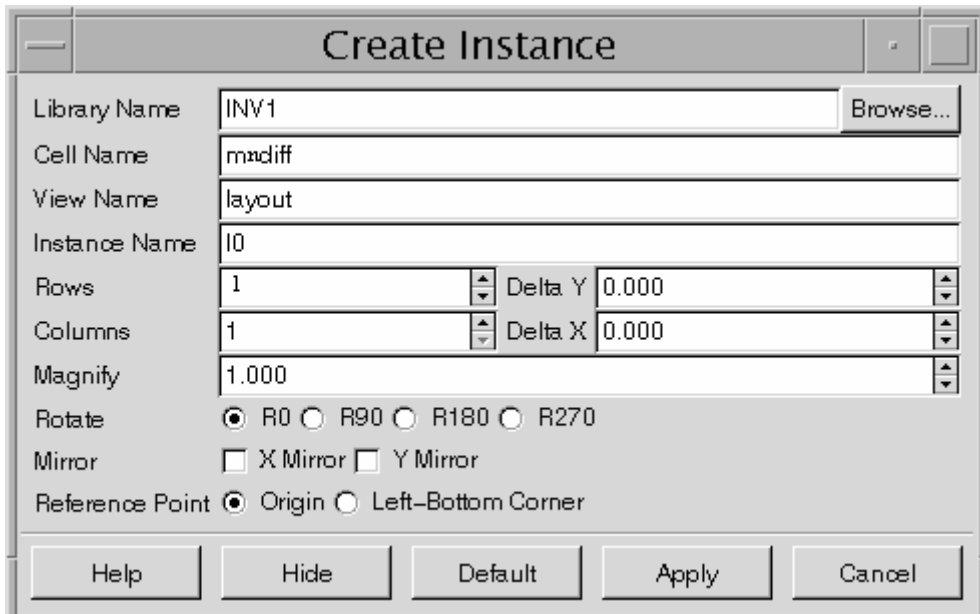
Step 57: 填写栅极信息如下，Path 的宽即为栅长 L。



Step 58: 从点(1.3, 1.5) 到 (1.3, 0.0) 用 “Poly.dwg”层画一条路径. 双击结束命令。

Step 59: 选择菜单 Create->Instance （或者点击  图标）两次调用一个 1 行 1 列的子单元（即为刚才创建的 mndiff 子单元）。

Step 60: 在弹出的对话框中填写下面的信息（注意：Cell Name 为刚才创建的 mndiff 子单元）。



Step 61: 光标移回版图编辑区。

Step 62: 子单元显示在光标处. 左击点(0.0, 0.3) 放置子单元。

Step 63: 左击点 (1.7, 0.3) 再次放置这些单元。

Step 64: 按 “Esc” 结束命令。

Step 65: 点击  图标清除尺。

Step 66: 保存、关闭 NMOS 单元。。

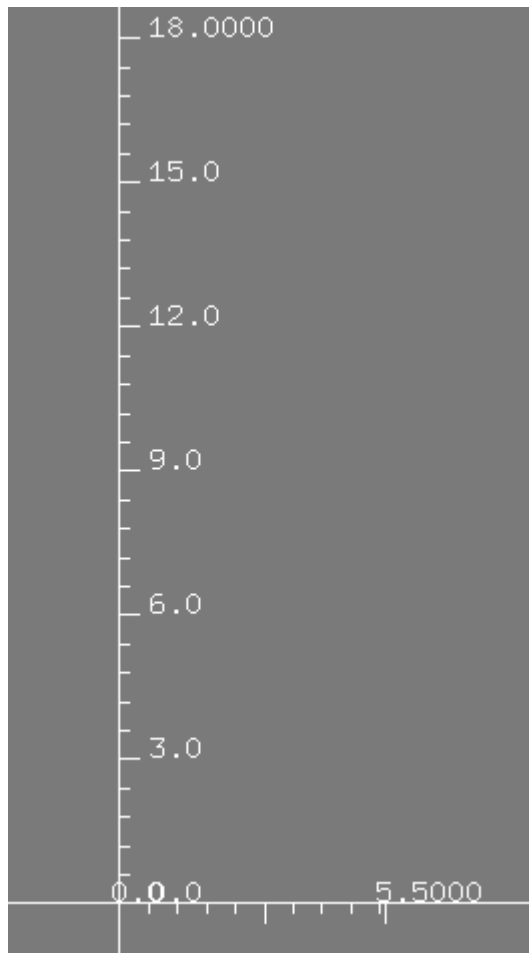
创建反相器版图


下面，我们新建一个反相器版图，将调用刚才建立的 PMOS、NMOS 单元，并画出其余部分，最后将构成完整的反相器版图。

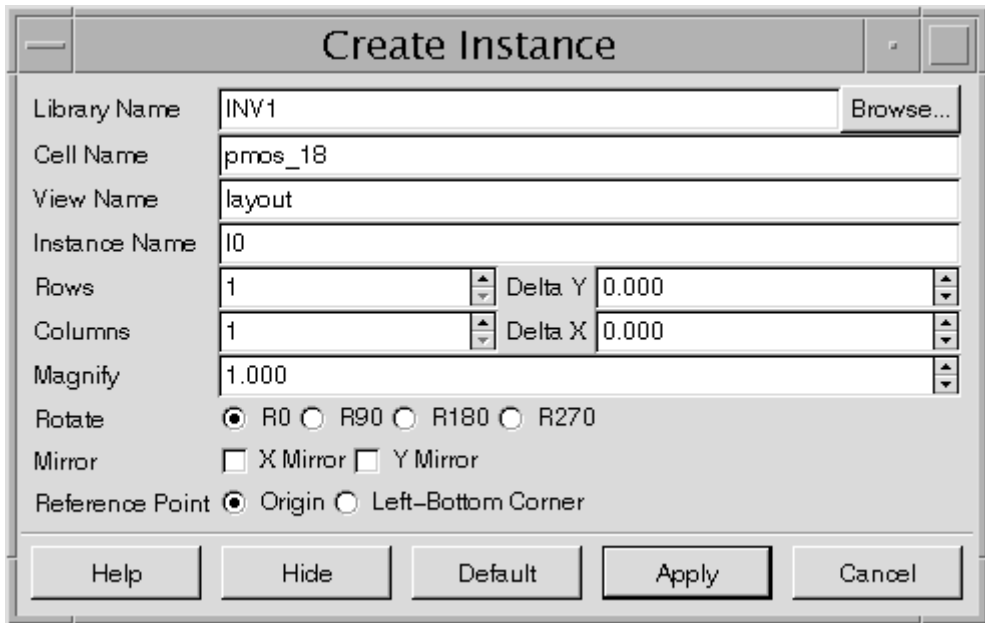
Step 67: 在设计环境 ZDMW 中，右击库 “PLL” 选择创建新的子单元 “New View”。

Step 68: 创建反相器版图“*inv”。

Step 69: 设置标尺如下。



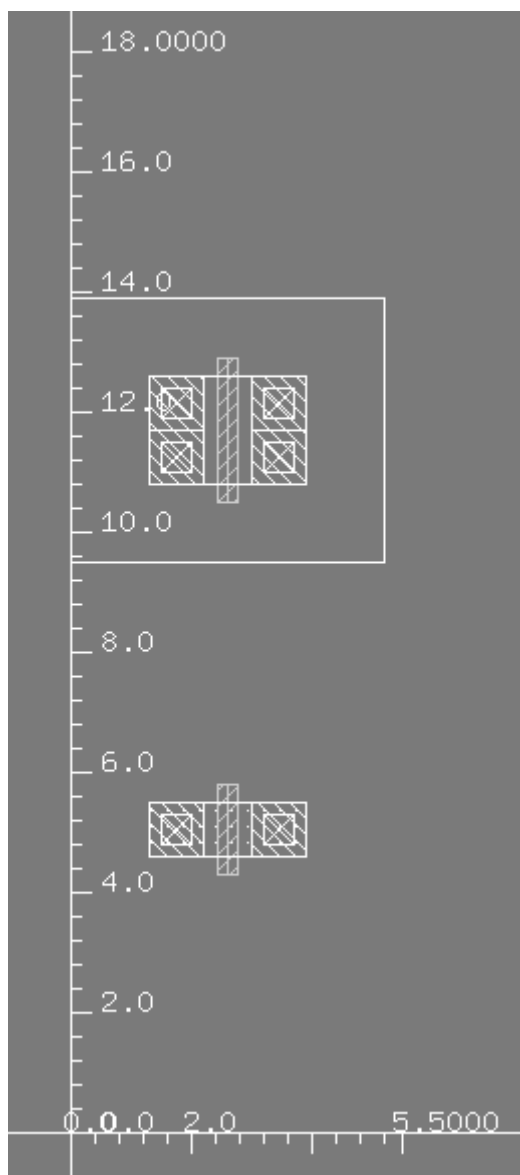
Step 70: 点击  图标添加 “*pmos_18”单元，填写信息如下。



Step 71: 移动光标回到版图编辑区点击点 (0, 9.5) 放置“*pmos_18”单元。

Step 72: 同前面画 PMOS 版图一样，调出 NMOS 版图，注意 NMOS 是直接画在衬底上，与 PMOS 画在 N 阱里不同，而且 NMOS 源漏区是 N 型掺杂。

Step 73: 在点 (1.3, 4.3) 绘制的 NMOS 如下图。



Step 74: 选择“Poly.dwg”层, 创建宽为 0.35um 的 path 从点 (2.6, 10.5) 到(2.6, 5.8) .

注: 此步骤为用多晶硅连接 PMOS 和 NMOS 的栅极

Step 75: 选择“met1.dwg”层, 创建宽为 0.35um 的 path 从点 (3.45, 10.8) 到(3.45, 5.5) .

注: 此步骤为用金属连接 PMOS 的漏区和 NMOS 的漏区


Step 76: 按照前面的方法从库 library “PLL”中创建单元“mpoly” , 规定金属和多晶硅的连接, 并且调出单元放置在点(1.7, 7.65) .

注: 此步骤为创建信号输入点, 信号通过金属 1 线连到栅极

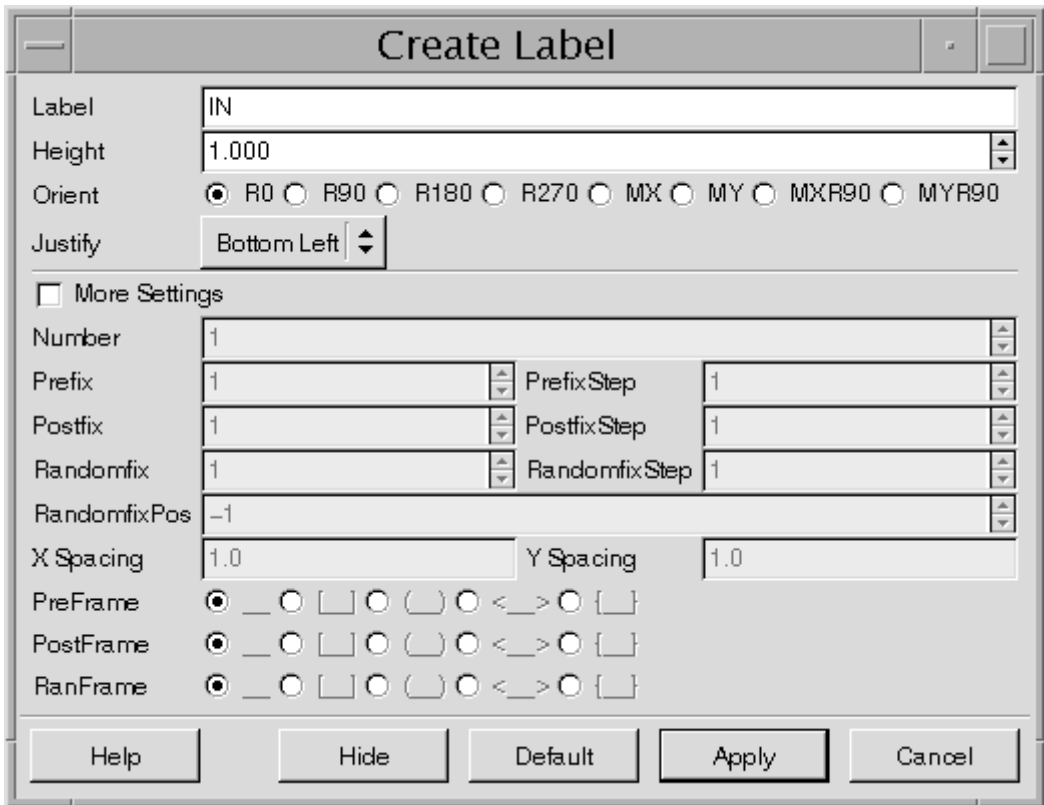
Step 77: 按照前面的方法从库 library “INV”中创建单元“m1m2” , 规定金属 1 和金属 2 的

连接，并且调出单元放置在点(1.7, 6.75) 和 (3.0, 7.65)。

注：信号从金属 2 输入，通过反相器反相后，再从金属 2 输出。

Step 78: 点击菜单 Create->Label （或点击  图标），将弹出下面的对话框。

Step 79: 填写对话框如下。



The image shows a 'Create Label' dialog box with the following fields and options:

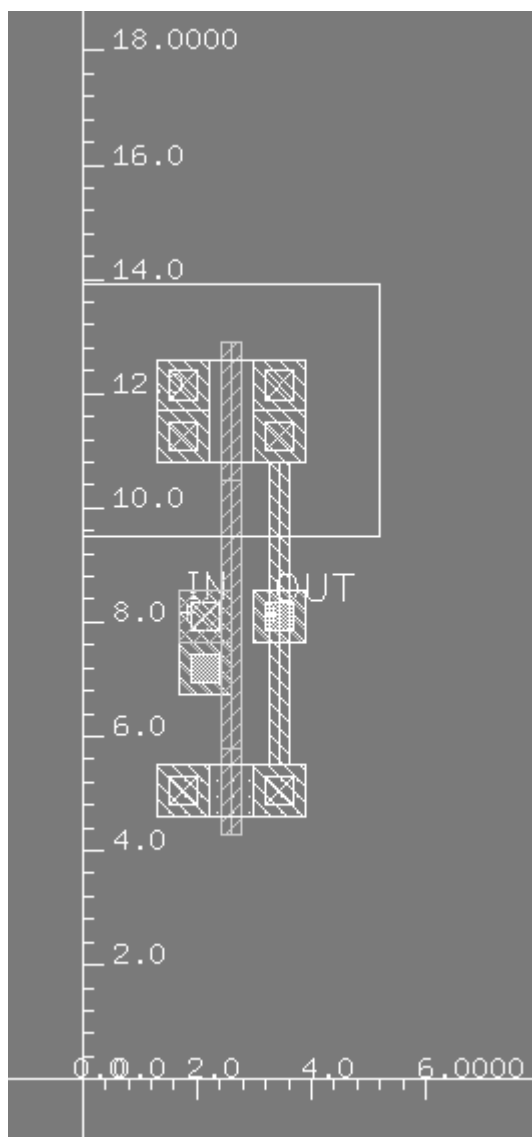
- Label:** IN
- Height:** 1.000
- Orient:** ☒ R0 ☐ R90 ☐ R180 ☐ R270 ☐ MX ☐ MY ☐ MXR90 ☐ MYR90
- Justify:** Bottom Left
- ☐ More Settings
- Number:** 1
- Prefix:** 1 **PrefixStep:** 1
- Postfix:** 1 **PostfixStep:** 1
- Randomfix:** 1 **RandomfixStep:** 1
- RandomfixPos:** -1
- X Spacing:** 1.0 **Y Spacing:** 1.0
- PreFrame:** ☒ _ ☐ [☐ (☐ <_> ☐ {
- PostFrame:** ☒ _ ☐ [☐ (☐ <_> ☐ {
- RanFrame:** ☒ _ ☐ [☐ (☐ <_> ☐ {

Buttons at the bottom: Help, Hide, Default, Apply, Cancel.

Step 80: 移动光标到版图编辑区，标号 “IN”随光标出现。

Step 81: 点击点在 “mplay”单元上确认标号 “+” 在 “mplay” 单元区。

Step 82: 同样，在“m1m2”单元添加 “OUT” 标识。



Step 83: 选择“met1.dwg”层，创建宽度为 4 的 path 从点 (0, 15.2) 到 (5.2, 15.2).

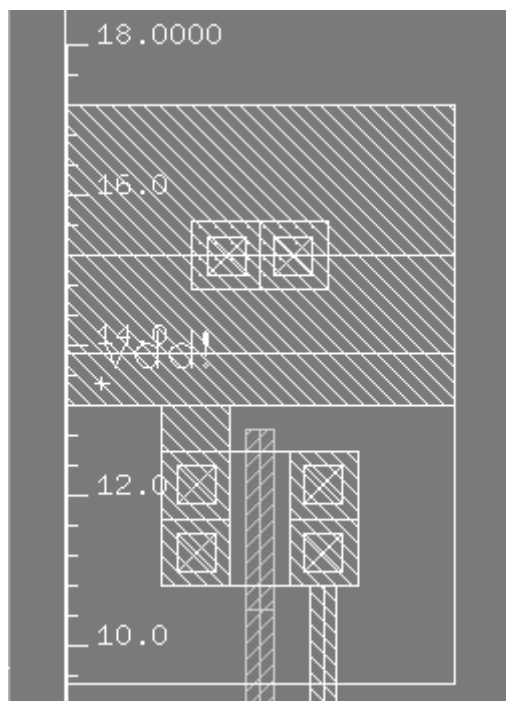
注：此为电源 VDD 的连线

Step 84: 再次选择 “met1.dwg” 创建矩形从左点 (1.3, 12.6) 到右顶点(2.2, 13.2). 图形显示如下. (注：此为将 PMOS 的源区通过金属和电源 VDD 相连)

Step 87: 点击对话框 **Hide** 并且放置在点 (1.7, 14.75)。

注：上面步骤将电源 VDD 和 N 阱通过单元“mndiff”相连。

Step 88: 选择 “met1.dwg”层创建图标“vdd!”, 字体高 1.0 并且放在 “met1.dwg”区域如下。



Step 89: 移动光标到“met1.dwg”区域并且按下键盘 “space” 键, 当前的有效层自动改变到 “met1.dwg” 层。

Step 90: 用 “met1.dwg”层, 创建宽为 4 的 path 从点 (0, 2) 到 (5.2, 2).

注：此步骤创建地线 GND

Step 91: 再用 “met1.dwg”层, 创建一个矩形从点 (1.3, 4) 到点 (2.2, 4.6).

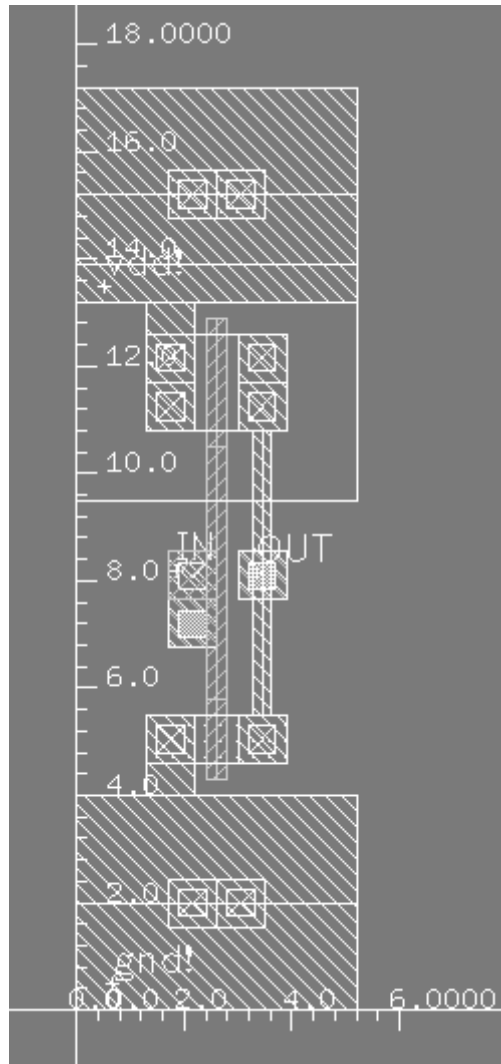
注：此步骤将 NMOS 管的源极和地线 GND 通过金属相连

Step 92: 从库 INV1 中添加单元序列“mpdiff”, 1 行 2 列, 放在(1.7, 1.55)。

注：此步骤将地线 GND 通过“mpdiff”单元和衬底相连, 即衬底接最低电位。

Step 93: 选择“met1.dwg”层创建标识 “gnd!”, 放在 “met1.dwg” 区, 字体高 1.0。

Step 94: 到此为止, 整个反相器单元 “inv” 的版图创建如下。



Step 95: 最后， 点击  图标清除尺子。

在这个实验，我们学会怎样去创建路径 **path**、矩形 **rectangle** 和单元，最后我们设计出了一个反相器的版图。

注： **ctrl+F** 命令为显示全部层。

第 18 章 反相器版图验证与参数提取

18.1 Layout DRC 版图设计规则检查

Design Rule Checks (DRC) 用来对版图进行几何设计规则检查。Zeni 4 版图编辑器提供了与版图验证工具的无缝接口，用户可以在进行版图设计的同时对版图进行验证，并且以图形的形式将验证结果返标在版图上。通过这种交互式的方式，用户可以非常方便快捷的定位版图设计中的错误，从而达到随时根据验证结果对版图进行修改，迅速消除版图设计中的错误。

在这部分....

我们将故意在版图中设置一些不满足规则的地方，然后运行 Zeni DRC 设计规则检查工具去查找、显示和管理版图出现的错误。

18.1.1 运行九天设计环境

Step 1: `cd $WORK-DIR`

Step 2: `dm &`

ZDMW 设计环境将出现。

18.1.2 打开设计

我们将使用您刚才创建的反相器的版图。

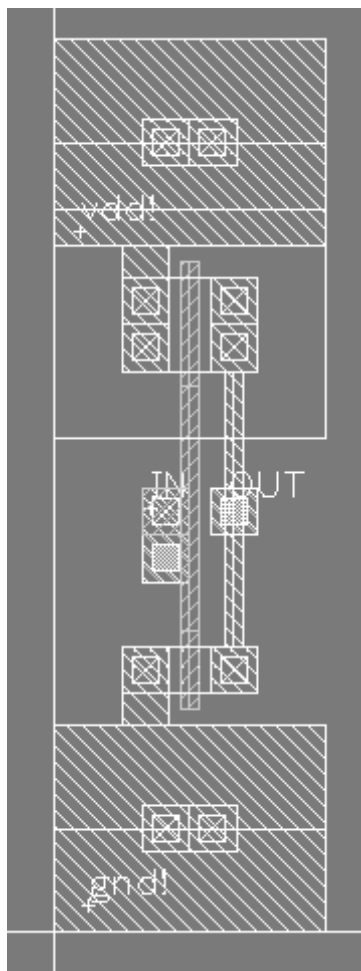
Step 3: 在 ZDMW 设计环境中，从左到右，依次鼠标左击：

`INV1`

`inv`

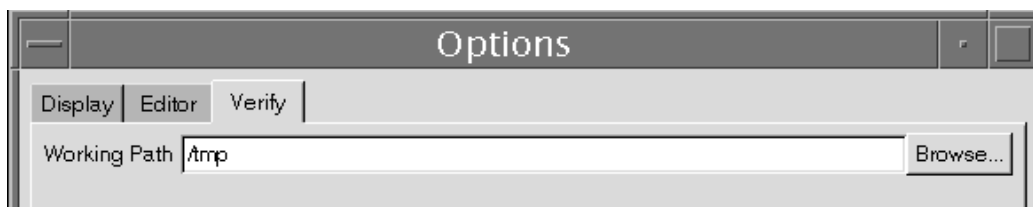
`layout` (双击打开版图单元)

反相器的版图单元打开如下：



18. 1. 3 从用户界面运行 DRC 设计规则检查

Step 4: 左击菜单 Options->Generic 命令，修改 Verify->Working Path 为 “/tmp” 或用 “Browse” 去设置为您所要的路径. 如下图。



Step 5: 保存并确认 Options form 页面。

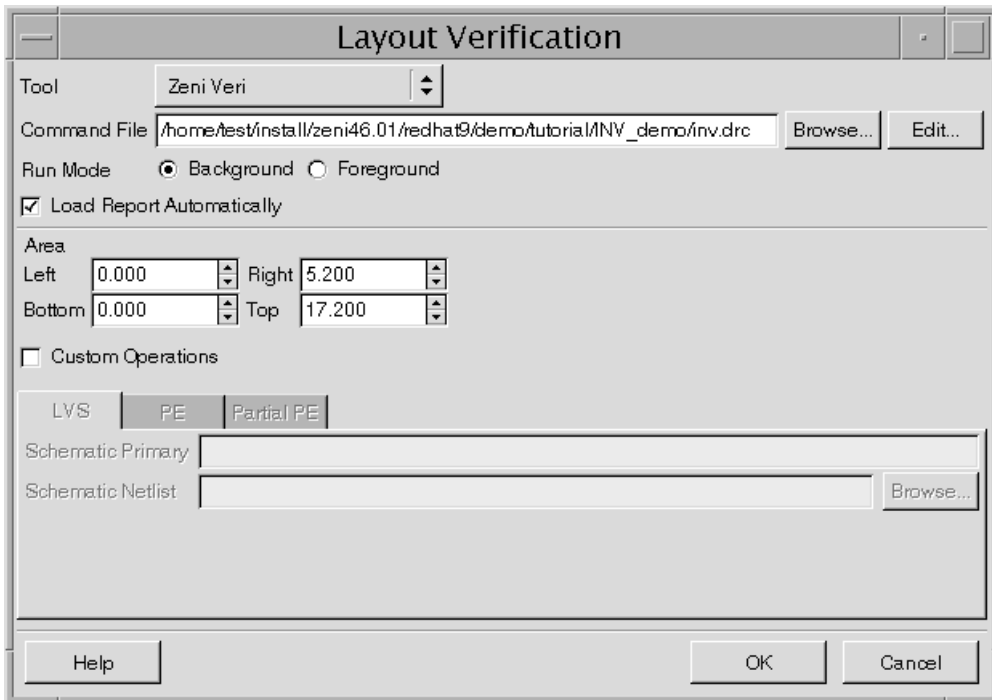
Step 6: 鼠标左击 Verify->Layout Verification，版图验证对话框将出现。

Step 7: 在“Tool”栏中选择“Zeni Veri”并按下。

Step 8: 用 “\$Zeni-install-path/demo/tutorial/INV_demo/inv.drc”填充命令区域
\$Zeni-install-path 是九天 Zeni 的安装路径。

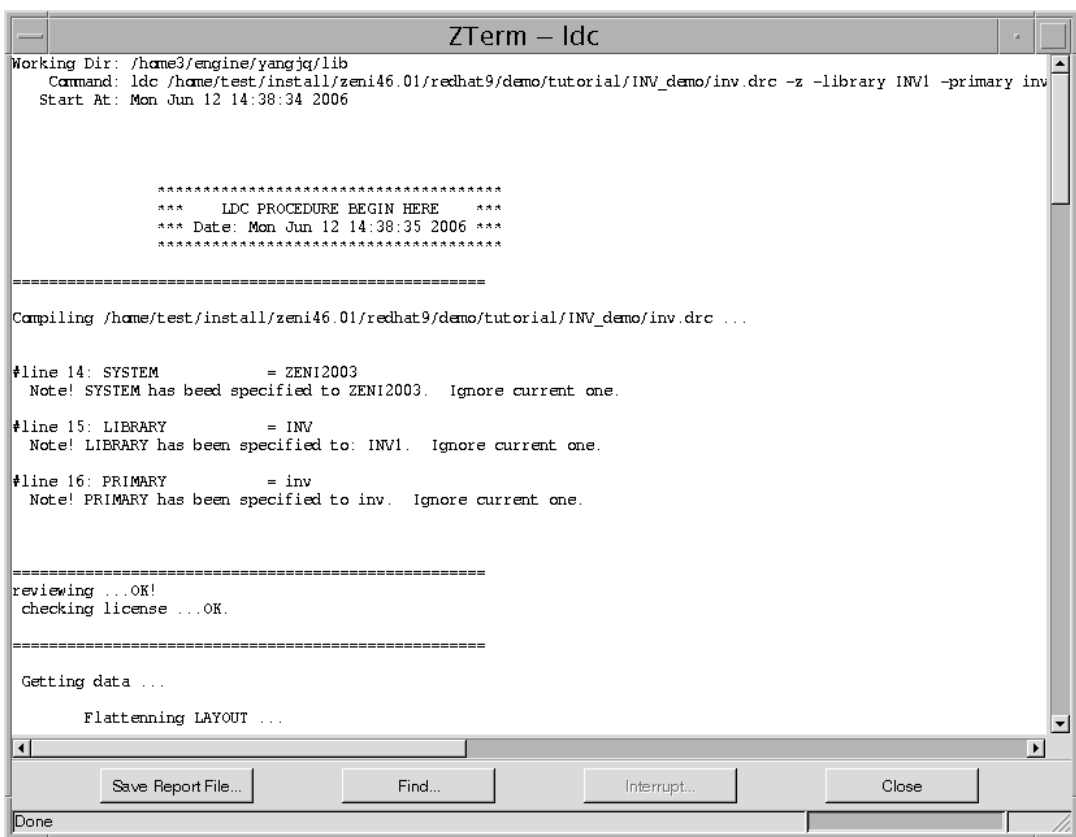
Step 9: 还可通过“Browse”按钮在文件选择对话框中选中命令文件，还能点击“Edit” 按钮去修改指定的命令文件。

Step 10: 证实你的版图验证 “Layout Verification” 对话框如下。



Step 11: 点击 “OK” 去开始 DRC 设计规则检查. “Background”模式用户可以在进行版图验证的同时进行版图编辑和修改，如果选择前台的方式进行版图验证，用户将暂时不能对版图进行编辑，只有在版图验证完成以后，用户才能对版图进行编辑. 如果用户选择了“Load Report Automatically”选项，在版图验证工具完成以后 Zeni4 版图编辑器将自动读入验证的结果并在版图上显示；如果没有选择此选项，则需要调用选择“Verify ->Load Report” 菜单读入数据文件。

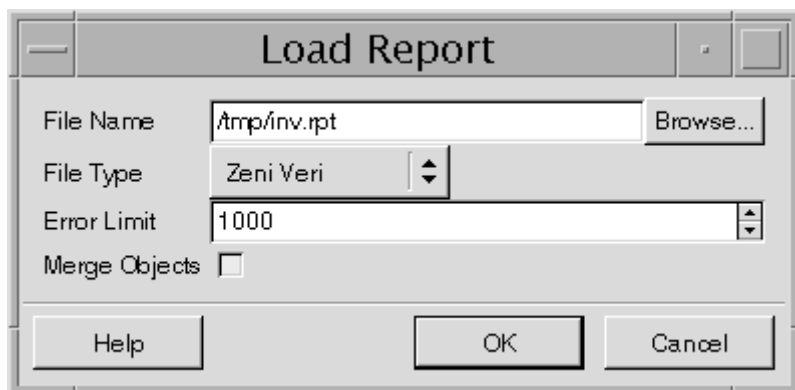
Step 12: 运行结果窗口 “Zterm-ldc” 显示如下。



Step 13: 关闭 Zterm 窗口。

18.1.4 测试并查看 DRC 错误

Step 14: 如果没有选择“Load Report Automatically”选项，则需要调用选择“Verify->Load Report”菜单读入数据文件。注意 DRC 结果文件 “inv.rpt”保存在你定义的工作路径下。在本例中保存在 “/tmp”文件夹中确认文件类型 “File Type”是 Zeni Veri 后，点击 “OK” 去装载 DRC 错误。

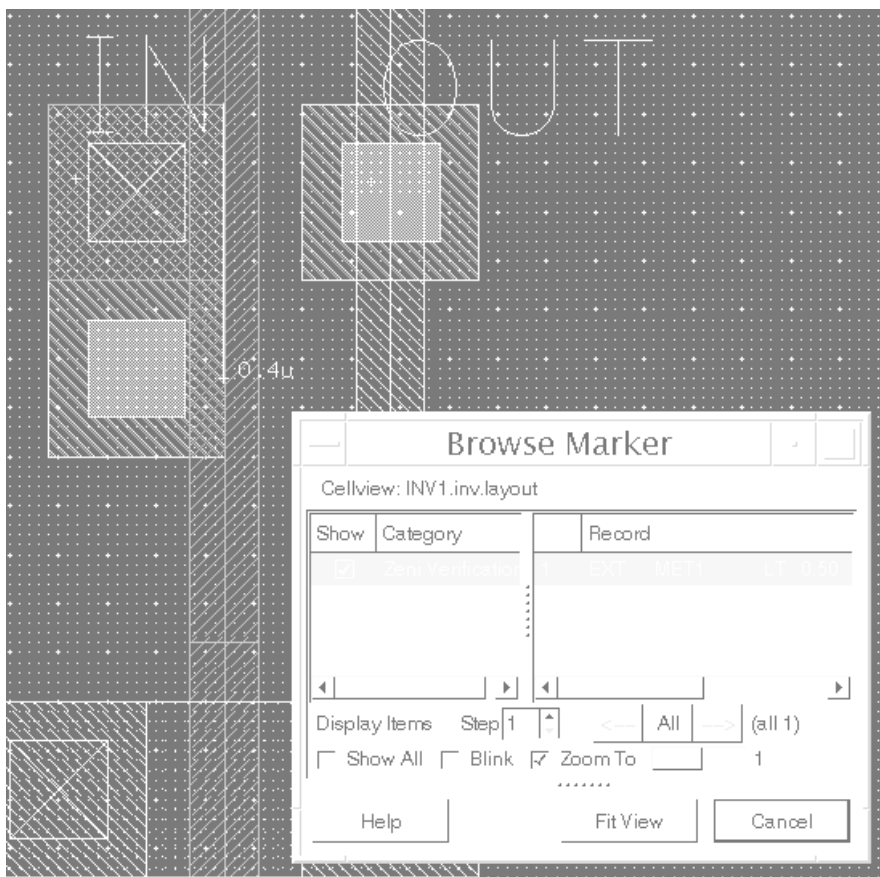


Step 15: 鼠标左击菜单 Tools->Browse Marker, 窗口将显示出来.

Step 16: 窗口被分成两部分. 左半部分列出了 Zeni4 系统支持的验证工具, 其它如 Dracula, Calibre 和 Hercules. 右半部分列出了 DRC 结果. 本例中只有一个 DRC 错误。

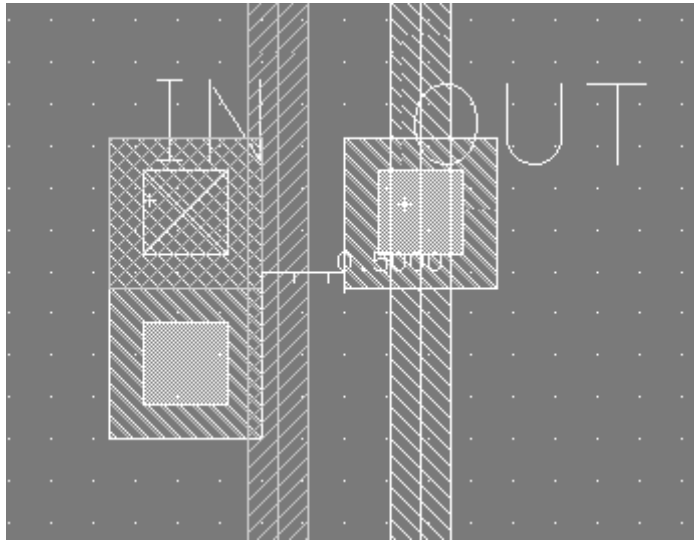
Step 17: 最好将你的“Browse Marker”窗口移到屏幕的右底部以便你能重叠的看到你的版图单元。

Step 18: 鼠标左击 DRC 错误“EXT MET1 LT 0.50 OUTPUT err9 01”, 相关的 DRC 错误以白色标记的形式显示在你的版图编辑窗口中, 如下图。



Step 19: DRC 错误显示“met1.dwg”层的外部空间应该不小于 0.50 微米. 你的版图中这个空间是 0.4 微米, 因此你需要移动“mpoly”和“m1m2”单元去扩大这个空间。

Step 20: 向左移动“mpoly” 和“m1m2”单元 0.1 微米. 两层“met1.dwg”的空间距离显示如下。



Step 21: 保存修改后的版图，再运行 DRC 检查，错误消失。

在这部分，我们学会怎么使用 Zeni DRC 工具去完成 DRC 检查，显示和改正 DRC 检查出的版图的错误。

18.2 Layout LVS 版图原理图对照

版图原理图对照 (Layout-versus-Schematic verification) 程序的一个输入文件是由电路图产生的元件表、网表和端点列表, 另一个输入文件是从版图提取出来的元件表、网表和端点列表。通过 LVS, 所有元件的参数, 所有网络的节点, 元件到节点及节点到元件的关系——扫描并进行比较。输出的结果是将所有不匹配的元件、节点和端点都列在一个文件之中, 并在电路图和提取的版图中显示出来。

在这部分...

We will use interactive LVS to do isomorphic comparison between the layout cellview and schematic cellview of inverter. And use graphic LVS debugger-LDX to find and display the layout error.

18.2.1 启动软件

Step 1: `cd $WORK-DIR`

Step 2: `dm &`

Step 3: ZDMW 设计环境出现。

Step 4: 在 ZDMW 设计环境中, 从左至右, 鼠标依次左击:

INV1

inv

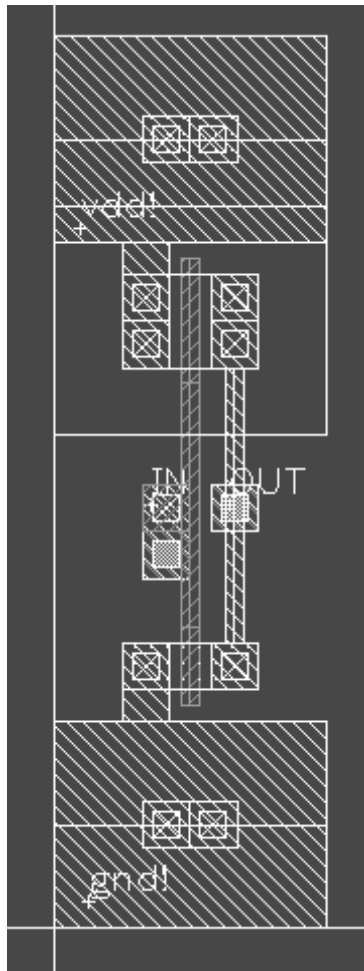
layout (双击打开版图单元)

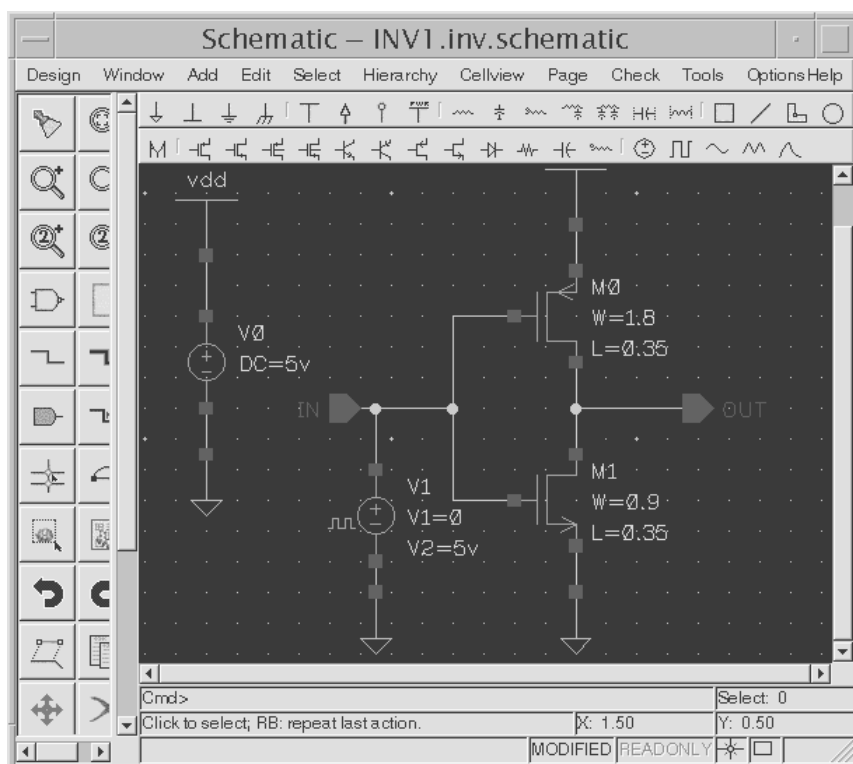
反相器版图单元打开如下。

在这个例子中, 我们将比较版图提取的网表和电路图网表, 检查它们是否一致。

18.2.2 从电路图输出 cd1 网表

Step 5: 打开电路图 “INV1.inv.schematic”。



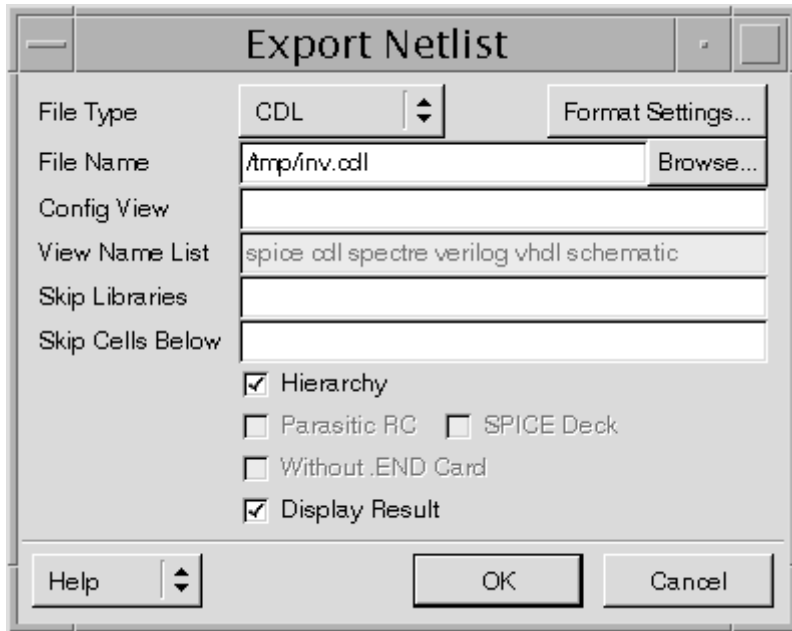


Step 6: 鼠标左击菜单 Options->Export Format->Netlist. 取消“Ground As 0”选项，选择“Global Net Support”. 取消“Flat Netlist”. 如下图所示。



Step 7: 点击“Ok”确认。

Step 8: 鼠标左击菜单 Tools->Export Netlist. 用下面的信息填写对话框，如下。



Step 9: 点击“Ok”确认，在文本编辑窗口中 cdl 网表被创建. 关闭窗口。

18.2.3 从用户界面运行 LVS

Step 10: 打开“INV1.inv.layout”版图单元。(如果版图已经打开则不需此步)

Step 11: 鼠标左击菜单 Options->Generic 命令，更改 Verify->Working Path 为 “/tmp” 或者使用 “Browse” 去设置你想要的路径。如下。



Step 12: 点击“Ok”确认。

Step 13: 鼠标左击菜单 Verify->Layout Verification, “Layout Verification” 窗口将出现。

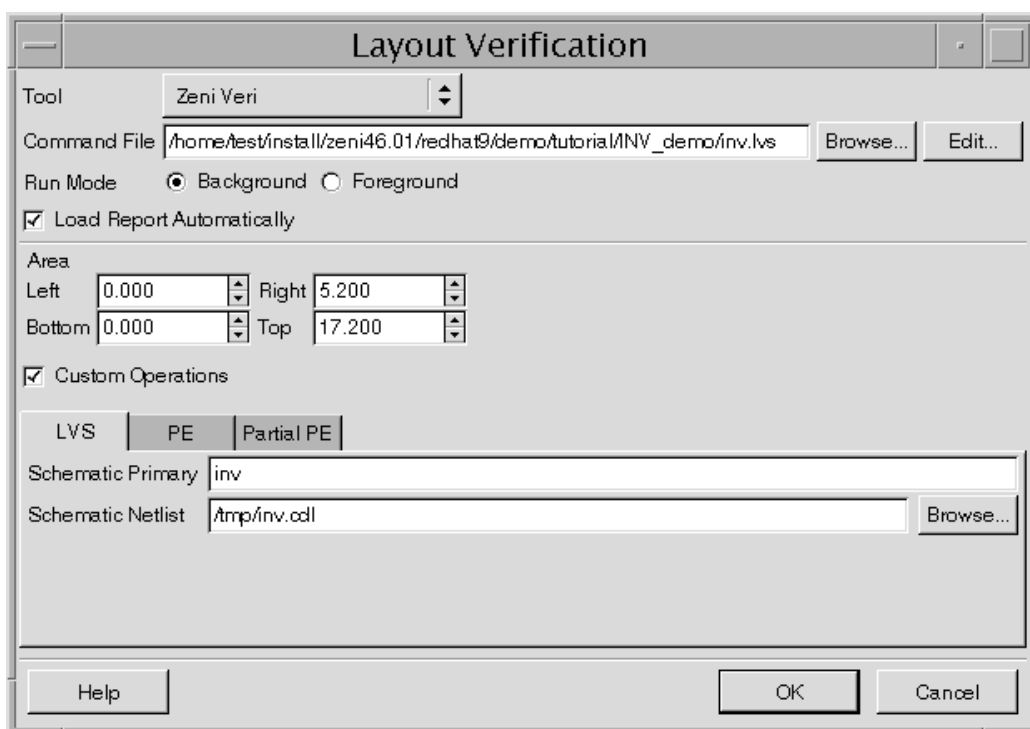
Step 14: 在“Tool” 中点击 “Zeni Veri” 按下。

Step 15: 填写命令文件如下“\$Zeni-install-path/demo/tutorial/INV_demo/inv.lvs”。
\$Zeni-install-path 是 Zeni 的安装路径。

Step 16: 你也可以点击 “Edit” 按钮去编辑命令文件。

Step 17: 选择“Custom Operations”。

Step 18: 在 LVS card 卡中分别键入 “inv” 和“/tmp/inv.cdl” 如下。



Step 19: 点击 “Ok” 确认。

Step 20: “Zterm-ldc” 窗口显示如下。

```
ZTerm - ldc

Working Dir: /home3/engine/yangjq/lib
Command: ldc /home/test/install/zeni46.01/redhat9/demo/tutorial/INV_demo/inv.lvs -z -library INV! -p
Start At: Mon Jun 12 15:58:19 2006

*****
***** LDC PROCEDURE BEGIN HERE *****
***** Date: Mon Jun 12 15:58:20 2006 *****
*****

=====

Compiling /home/test/install/zeni46.01/redhat9/demo/tutorial/INV_demo/inv.lvs ...

#line 23: SYSTEM          = ZENI2003
Note! SYSTEM has been specified to ZENI2003. Ignore current one.

#line 32: PRIMARY         = inv
Note! PRIMARY has been specified to inv. Ignore current one.

#line 33: PRIMARYVIEW    = layout
Note! PRIMARYVIEW has been specified to: layout. Ignore current one.

#line 34: library         = INV
Note! LIBRARY has been specified to: INV!. Ignore current one.

#line 36: SCH-NETLIST     = /tmp/inv.cdl
Note! SCH-NETLIST has been specified to: inv.cdl. Ignore current one.

#line 37: SCH-PRIMARY     = inv
Note! SCH-PRIMARY has been specified to: inv. Ignore current one.

Save Report File... Find... Interrupt... Close
Done
```

Step 21: 在窗口末端，你能发现现象如下的文本，意味着这两个网表一致。

```
.....

@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@
@@@@ The two netlists are isomorphic. @@@@
@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@

Loading schematic table ... done
Loading layout table ... done
Start parameter or substrate checking ...

@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@
@@@@ Device substrate is in consistence @@@
@@@@ Device subtype is in consistence @@@
@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@

=====

Outputting ...

done!

=====
```

Step 22: 关闭窗口。

如果时间允许，我建议你先按如下步骤故意产生错误。为了数据安全，我们将保存版图为另一个文件。

Step 23: 打开“INV1.inv.layout”版图单元。

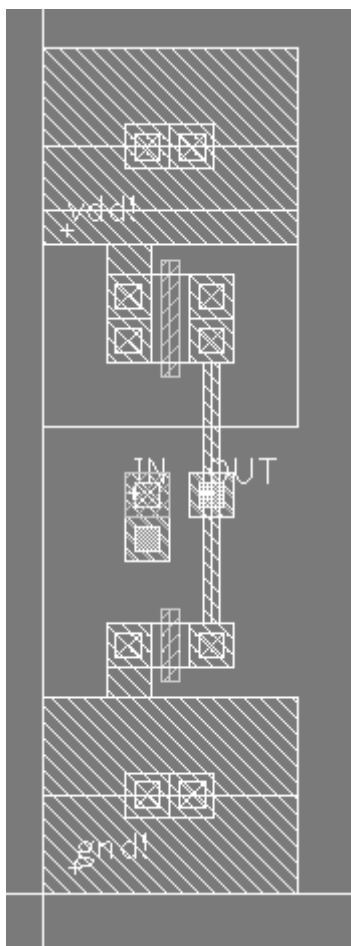
Step 24: 鼠标左击菜单 Design—>Save As.

Step 25: 用如下信息填写对话框。

Library: INV1

Cell: invlvsok

View: layout



Step 26: 点击“Ok”确认另存为对话框。

Step 27: 在“INV1.inv.layout”版图单元窗口中，点击“gpo.dwg”层，按下 Del 键删除此层，版图单元显示如下。

Step 28: 保存版图单元。

Step 29: 按上面的步骤运行 LVS。

Step 30: 点击“Ok”确认“Zterm-ldc”窗口。

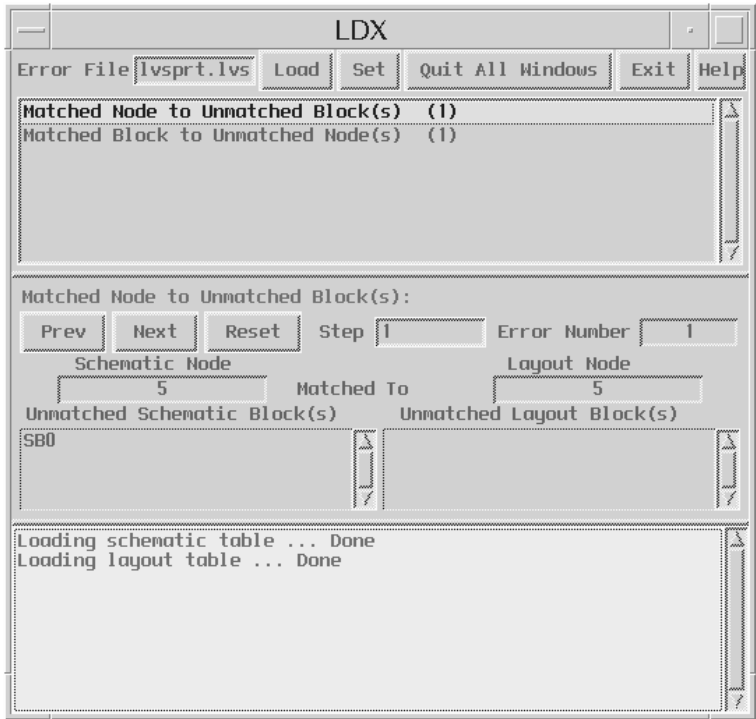
Step 31: 鼠标左击菜单 Verify->LVS Debugger. LDX 窗体显示如下。

Step 32: 键入“lvsptr.lvs”到错误文件中，前缀“lvsptr.lvs”在“inv.lvs”文件中定义的地方，正好是“PRINTFILE = lvsptr”。你也能按你所要的设置。

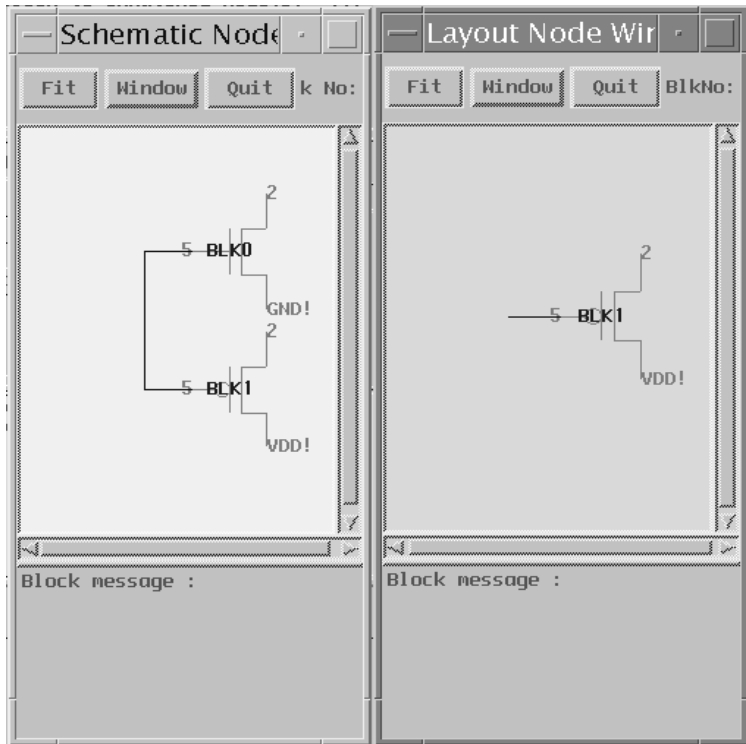
Step 33: 在 LDX 窗口中鼠标左击 Load button。

Step 34: 有 2 个不匹配的目标。

Step 35: 双击第一条。相关信息显示如下。

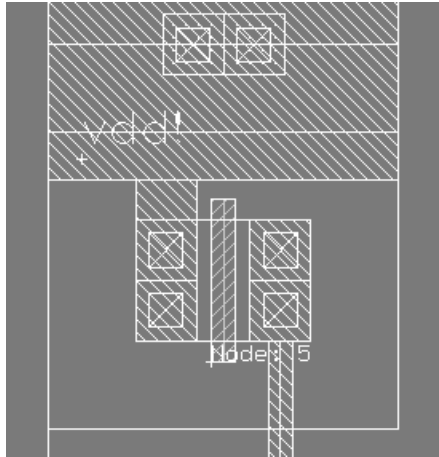


Step 36: 在“Schematic Node”和“Layout Node”中节点 “5”处单击鼠标中键 (Middle Mouse Button) ，菜单弹出。在菜单中选择“Show Node”，分别从电路图单元和版图单元中提取电路拓扑图如下。

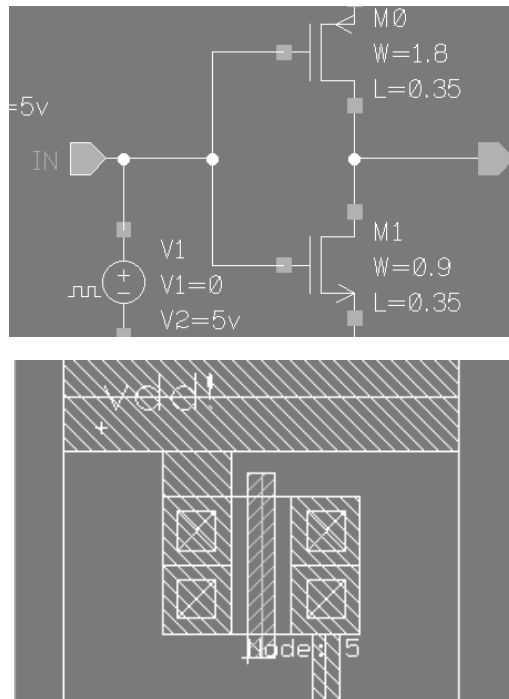


Step 37: 左边的电路拓扑图是从电路图单元中提取，右边的从版图单元中提取。比较这两个拓扑图，你能明显的看到右边的拓扑中 NMOS 丢失了，因为连接 PMOS 和 NOMS 栅极的连线丢失了。

同时，版图单元窗中顶层显示本版图单元中的错误标志。



Step 38: 在“Schematic Node”和“Layout Node”中鼠标中击节点“5”，从弹出菜单中选择“Show Error”电路图和版图单元自动打开，错误标记清晰的添加到每个单元中。



在这个部分，我们学会怎么以交互的模式运行 ZeniLVS. 在 LVS 的编译器—LDX 的帮助下，我们清楚的发现了版图的错误。

附录

0.6um 双阱 CMOS 工艺 BSIM3v3 模型参数 (2P2M)

```
*model = bsim3
*NewModel = 3
*Cadence Compatibility Mode
*These are BSIM3v3 Model Parameters
*LotName=LOT_NAME UserName=USER Date=04-22-2002

.Lib TT

.model CMOSN NMOS(
+Level= 49
* GENERAL PARAMETERS
+lmin=0.6e-6 lmax=20e-6 wmin=0.8e-6 wmax=20.0e-6
+Tnom=25.0 version = 3.1 Tox= 1.25000E-08 Xj= 2.5000000E-07
+Nch= 1.2721000E+17 llm= 1.0295000 lwn= 1.0000000
+wln= 0.9340000 wwn= 2.0000000 lint= 1.5200000E-07 ll= -3.5900000E-14
+wint= 2.0200001E-07 wl= -9.4300000E-14 ww= -5.1700000E-20
+Mobmod= 1 binunit= 2 Dwg= -2.2914280E-08 Dwb= 1.3746710E-08
* DIODE PARAMETERS
+ldif=0.00 hdif=6E-7 rsh= 0 rd= 0 rs= 0 rsc= 0 rdc= 0
* THRESHOLD VOLTAGE PARAMETERS
+Vth0= 0.7278545 K1= 0.7409649 K2= -1.5283380E-02 K3= 7.1778210
+Dvt0= 14.8549000 Dvt1= 1.0209540 Dvt2= -4.6828460E-02
+Dvt0w= -8.0227880E-02 Dvt1w= 8.8635700E+04 Dvt2w= 0.1900000
+Nlx= 0.00 W0= 1.3573220E-06 K3b= -4.7786870
* MOBILITY PARAMETERS
+Vsat= 7.7711460E+04 Ua= -7.4628200E-10 Ub= 2.6335220E-18
+Uc= 3.5986350E-11 Rdsw= 1.8026500E+03 Prwb= 1.9065101E-02
+Prwg= -3.4200580E-02 Wr= 0.9613520 U0= 4.2603870E-02 A0= 0.4940039
+Keta= -1.6965831E-02 A1= 0.00 A2= 0.9900000 Ags= 1.9959440E-02
+B0= 8.6096910E-08 B1= -4.3232750E-07
* SUBTHRESHOLD CURRENT PARAMETERS
+Voff= -9.6102280E-02 NFactor= 1.0989590 Cit= 2.3121500E-04
+Cdsc= 4.8599650E-03 Cdscb= 9.1149930E-04 Cdscd= 0.00
+Eta0= 6.2591110E-03 Etab= -1.1673500E-02 Dsub= 0.2718996
```

* ROUT PARAMETERS

+Pclm= 0.6415634 Pdiblc1= 9.6421800E-03 Pdiblc2= 1.5307820E-03
 +Pdiblc3= -0.1822976 Drout= 0.1000000 Pscbe1= 2.7371760E+08
 +Pscbe2= 4.6373430E-06 Pvag= 0.00 Delta= 1.0000000E-02
 +Alpha0= 0.00 Beta0= 30.0000000

* TEMPERATURE EFFECTS PARAMETERS

+kt1= -0.3333333 kt2= -2.6930001E-02 At= 1.2000000E+04
 +Ute= -1.6454999 Ua1= 1.1130000E-09 Ub1= -1.0460000E-18
 +Uc1= -6.6220000E-12 Kt11= 0.00 Prt= 8.4800000E+02

* CAPACITANCE PARAMETERS

+Cj= 4.350548E-04 Mj= .4223898 Pb= .9590048 Cjsw= 3.648853E-10
 +Mjsw= .1671139 Php= .5406927 Cta= 0 Ctp= 0 Pta= 0 Ptp= 0
 +JS=1.00E-14 JSW=0.00 N=1.0 Xti=3.0 Cgdo=2.0E-10 Cgso=2.0E-10
 +Cgbo=1.0E-13 Capmod= 2 NQSMOD= 0 Elm= 5 Xpart= 0
 +cgsl= 2.0000000E-10 cgdl= 2.0000000E-10 ckappa= 1.9920000
 +cf= 0.00 clc= 8.0259140E-09 cle= 2.0475841 Dlc= 1.5184E-07
 +Dwc= 2.015E-07)

.model CMOSF PMOS(

+Level= 49

* GENERAL PARAMETERS

+lmin=0.6e-6 lmax=20e-6 wmin=0.8e-6 wmax=20.0e-6
 +Tnom=25.0 version = 3.1 Tox= 1.30000E-08 Xj= 3.0000001E-07
 +Nch= 2.5099999E+16 lln= 0.2000000 lwn= 1.0000000
 +wln= 1.0660000 wwn= 2.0000000
 +lint= -1.3000000E-09 ll= -1.3500000E-10 lwl= 1.4900000E-15
 +wint= 2.3999999E-07 wl= 5.5000000E-15 ww= -8.2200000E-20
 +Mobmod= 1 binunit= 2 Dwg= -2.9800001E-08 Dwb= 2.0800000E-08

* DIODE PARAMETERS

+ldif=0.00 hdif=6E-7 rsh= 0 rd= 0 rs= 0 rsc= 0 rdc= 0

* THRESHOLD VOLTAGE PARAMETERS

+Vth0= -1.0168999 K1= 0.4355000 K2= 1.2700000E-02 K3= 11.1944000
 +Dvt0= 6.4793000 Dvt1= 0.9395000 Dvt2= 8.7300000E-03 Dvt0w=
 3.7900000E-02
 +Dvt1w= 0.00 Dvt2w= 0.1900000 Nlx= 0.00 W0= 2.9399999E-07
 +K3b= -2.3515999

* MOBILITY PARAMETERS

+Vsat= 9.4300000E+04 Ua= 1.9199999E-09 Ub= 7.7500000E-19
 +Uc= -5.0000000E-11 Rdsw= 3.3300000E+03 Prwb= 9.9200000E-02


```

+Prwg= -3.7100000E-02 Wr= 0.9804000 U0= 1.9200001E-02 A0= 0.2612000
+Keta= -1.4800000E-02 A1= 0.00 A2= 0.4000000 Ags= 2.0000000E-02
+B0= 3.1600001E-07 B1= -3.0300001E-07
* SUBTHRESHOLD CURRENT PARAMETERS
+Voff= -0.1054000 NFactor= 0.8294000 Cit= 9.8500000E-04
+Cdsc= 1.0000000E-10 Cdscb= 0.00 Cdscd= 0.00 Eta0= 0.1185000
+Etab= -3.2900000E-03 Dsub= 0.5157000
* ROUT PARAMETERS
+Pclm= 2.9535999 Pdiblc1= 1.0000000E-05 Pdiblc2= 1.2900000E-03
+Pdiblc3= 0.1900000 Drout= 3.0000000 Pscbe1= 3.7000000E+08
+Pscbe2= 1.0000000E-10 Pvag= 1.0000000 Delta= 1.0000000E-02
+Alpha0= 0.00 Beta0= 30.0000000
* TEMPERATURE EFFECTS PARAMETERS
+kt1= -0.4763000 kt2= -2.9050000E-02 At= 1.0000000E+04 Ute= -1.0000000
+Ua1= 3.7500000E-09 Ub1= -7.1500000E-18 Uc1= -5.0833000E-11
+Kt11= 0.00 Prt= -8.8300000E+02
* CAPACITANCE PARAMETERS
+Cj= 8.208121E-04 Mj= .5198076 Pb= .9180865 Cjsw= 4.107676E-10
+Mjsw= .2586436 Php= .6054589 Cta= 0 Ctp= 0 Pta= 0 Ptp= 0 JS=1.00E-04
+JSW=0.00 N=1.0 Xti=3.0 Cgdo=1.0E-10 Cgso=1.0E-10 Cgbo=1.0E-13
+Capmod= 2 NQSMOD= 0 Elm= 5 Xpart= 0 cgsl= 1.0000000E-10
+cgdl= 9.9592000E-11 ckappa= 1.0000000 cf= 0.00 clc= 5.0018750E-08
+cle= 0.8024064 Dlc= -1.421085E-14 Dwc= 2.304E-07)
*****
***** subcircuit *****
*****
.SUBCKT CMOSN D G S B PARAMS: L=0.6U W=0.8U
  MN1 D G S B CMOSN L=L W=W AD='W*1.8*1e-6' AS='W*1.8*1e-6'
PS='(W+1.8*1e-6)*2' PD='(W+1.8*1e-6)*2'
.ENDS
*
.SUBCKT CMOSP D G S B PARAMS: L=0.6U W=0.8U
  MP1 D G S B CMOSP L=L W=W AD='W*1.8*1e-6' AS='W*1.8*1e-6'
PS='(W+1.8*1e-6)*2' PD='(W+1.8*1e-6)*2'
.ends

*****
*****
.Endl TT

```

MOSIS Parametric Test Results

<http://www.mosis.org/>

RUN: T02D

VENDOR: TSMC

TECHNOLOGY: SCN025

FEATURE SIZE: 0.25 microns

INTRODUCTION: This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: TSMC 0251P5M.

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	0.36/0.24			
Vth		0.54	-0.50	volts
SHORT	20.0/0.24			
Idss		557	-256	uA/um
Vth		0.56	-0.56	volts
Vpt		7.6	-7.2	volts
WIDE	20.0/0.24			
Ids0		6.6	-1.5	pA/um
LARGE	50.0/50.0			
Vth		0.47	-0.60	volts
Vjbkd		5.8	-7.0	volts
Ijlk		-25.0	-1.1	pA
Gamma		0.44	0.61	V ^{0.5}
K' (Uo*Cox/2)		112.0	-23.0	uA/V ²

0.25μm BSIM3v3.1 NMOS Parameters

```
.MODEL CMOSN NMOS ( LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 5.7E-9
+XJ = 1E-7 NCH = 2.3549E17 VTH0 = 0.4273342
+K1 = 0.3922983 K2 = 0.0185825 K3 = 1E-3
+K3B = 2.0947677 W0 = 2.171779E-7 NLX = 1.919758E-7
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 7.137212E-3 DVT1 = 6.066487E-3 DVT2 = -0.3025397
+U0 = 403.1776038 UA = -3.60743E-12 UB = 1.323051E-18
+UC = 2.575123E-11 VSAT = 1.616298E5 A0 = 1.4626549
```

+AGS = 0.3136349 B0 = 3.080869E-8 B1 = -1E-7
 +KETA = 5.462411E-3 A1 = 4.653219E-4 A2 = 0.6191129
 +RDSW = 345.624986 PRWG = 0.3183394 PRWB = -0.1441065
 +WR = 1 WINT = 8.107812E-9 LINT = 3.375523E-9
 +XL = 3E-8 XW = 0 DWG = 6.420502E-10
 +DWB = 1.042094E-8 VOFF = -0.1083577 NFACTOR = 1.1884386
 +CIT = 0 CDSC = 2.4E-4 CDSCD = 0
 +CDSCB = 0 ETA0 = 4.914545E-3 ETAB = 4.215338E-4
 +DSUB = 0.0313287 PCLM = 1.2088426 PDIBLC1 = 0.7240447
 +PDIBLC2 = 5.120303E-3 PDIBLCB = -0.0443076 DROUT = 0.7752992
 +PSCBE1 = 4.451333E8 PSCBE2 = 5E-10 PVAG = 0.2068286
 +DELTA = 0.01 MOBMOD = 1 PRT = 0
 +UTE = -1.5 KT1 = -0.11 KT1L = 0
 +KT2 = 0.022 UA1 = 4.31E-9 UB1 = -7.61E-18
 +UC1 = -5.6E-11 AT = 3.3E4 WL = 0
 +WLN = 1 WW = -1.22182E-16 WWN = 1.2127
 +WWL = 0 LL = 0 LLN = 1
 +LW = 0 LWN = 1 LWL = 0
 +CAPMOD = 2 XPART = 0.4 CGDO = 6.33E-10
 +CGSO = 6.33E-10 CGBO = 1E-11 CJ = 1.766171E-3
 +PB = 0.9577677 MJ = 0.4579102 CJSW = 3.931544E-10
 +PBSW = 0.99 MJSW = 0.2722644 CF = 0
 +PVTH0 = -2.126483E-3 PRDSW = -24.2435379 PK2 = -4.788094E-4
 +WKETA = 1.430792E-3 LKETA = -6.548592E-3)

0.25μm BSIM3v3.1 PMOS Parameters

MODEL CMOSPMOS (LEVEL = 49
 +VERSION = 3.1 TNOM = 27 TOX = 5.7E-9
 +XJ = 1E-7 NCH = 4.1589E17 VTH0 = -0.6193382
 +K1 = 0.5275326 K2 = 0.0281819 K3 = 0
 +K3B = 11.249555 W0 = 1E-6 NLX = 1E-9
 +DVT0W = 0 DVT1W = 0 DVT2W = 0
 +DVT0 = 3.1920483 DVT1 = 0.4901788 DVT2 = -0.0295257
 +U0 = 185.1288894 UA = 3.40616E-9 UB = 3.640498E-20
 +UC = -6.35238E-11 VSAT = 1.975064E5 A0 = 0.4156696
 +AGS = 0.0702036 B0 = 3.111154E-6 B1 = 5E-6
 +KETA = 0.0253118 A1 = 2.421043E-4 A2 = 0.6754231
 +RDSW = 866.896668 PRWG = 0.0362726 PRWB = -0.293946

+WR = 1 WINT = 6.519911E-9 LINT = 2.210804E-8
 +XL = 3E-8 XW = 0 DWG = -2.423118E-8
 +DWB = 3.052612E-8 VOFF = -0.1161062 NFACTOR = 1.2546896
 +CIT = 0 CDSC = 2.4E-4 CDSCD = 0
 +CDSCB = 0 ETA0 = 0.7241245 ETAB = -0.3675267
 +DSUB = 1.1734643 PCLM = 1.0837457 PDIBLC1 = 9.608442E-4
 +PDIBLC2 = 0.0176785 PDIBLCB = -9.605935E-4 DROUT = 0.0735541
 +PSCBE1 = 1.579442E10 PSCBE2 = 6.707105E-9 PVAG = 0.0409261
 +DELTA = 0.01 MOBMOD = 1 PRT = 0
 +UTE = -1.5 KT1 = -0.11 KT1L = 0
 +KT2 = 0.022 UA1 = 4.31E-9 UB1 = -7.61E-18
 +UC1 = -5.6E-11 AT = 3.3E4 WL = 0
 +WLN = 1 WW = 0 WWN = 1
 +WWL = 0 LL = 0 LLN = 1
 +LW = 0 LWN = 1 LWL = 0
 +CAPMOD = 2 XPART = 0.4 CGDO = 5.11E-10
 +CGSO = 5.11E-10 CGBO = 1E-11 CJ = 1.882953E-3
 +PB = 0.99 MJ = 0.4690946 CJSW = 3.018356E-10
 +PBSW = 0.8137064 MJSW = 0.3299497 CF = 0
 +PVTH0 = 5.268963E-3 PRDSW = -2.2622317 PK2 = 3.952008E-3
 +WKETA = -7.69819E-3 LKETA = -0.0119828)