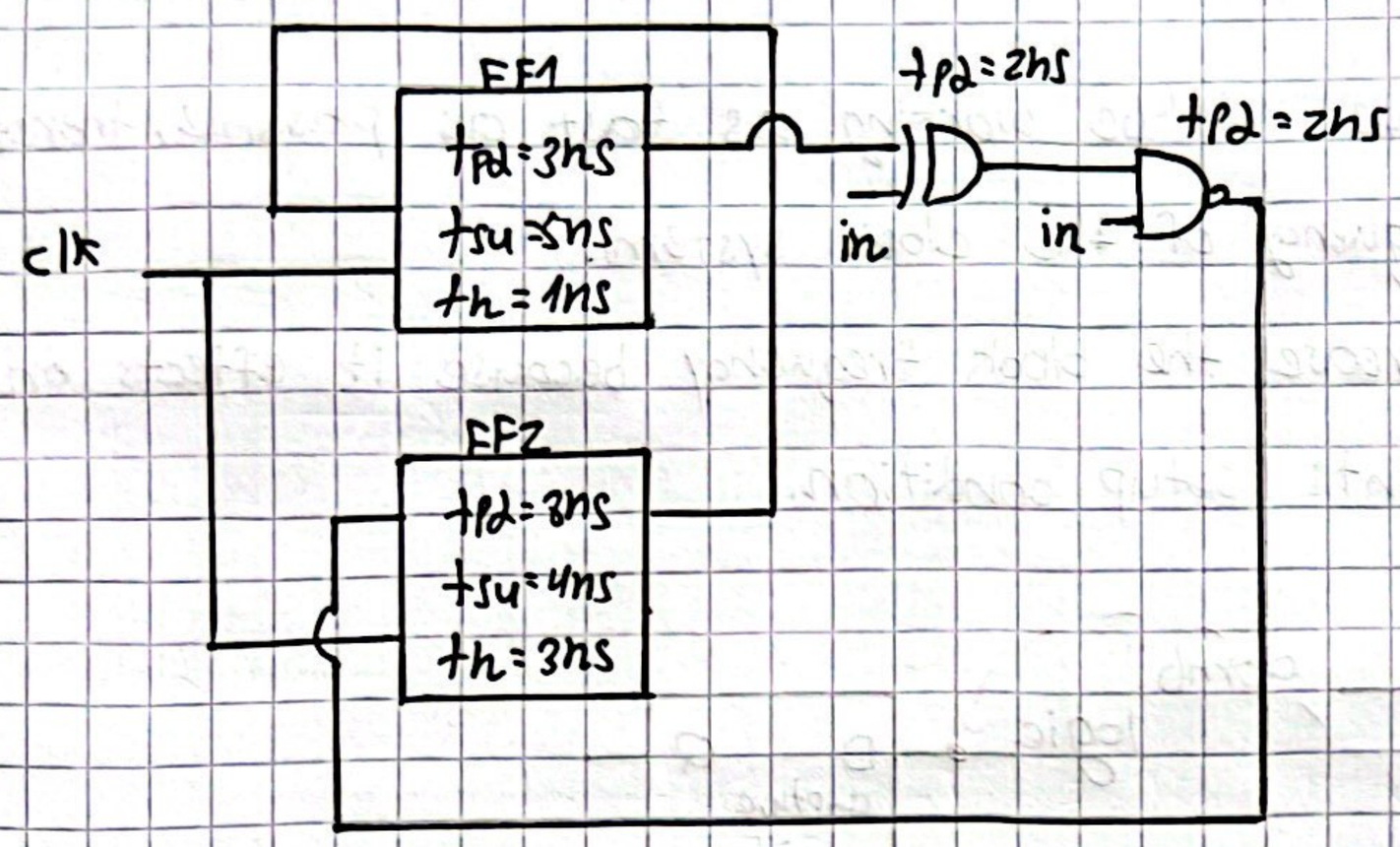
Example :



* נשבוא טוט ה אלד שבורו המעגל יתקיים.

← על מנת לדעת על שאלה זו, נ.ב להיות לתנאי ה setup עבור 2 הפלופים.

מפלוף 2 לפלוף 1:

$$t_{setup,1} + t_{pd,FF2} \le T_{cycle}$$

$$5ns + 8ns = 13ns \le T_{cycle}$$

מהקלט לפלוף 2:

מפלוף 1 לפלוף 2:

$$t_{setup,2} + t_{pd,FF1} + t_{pd,NOR} + t_{pd,NAND} \le T_{cycle}$$

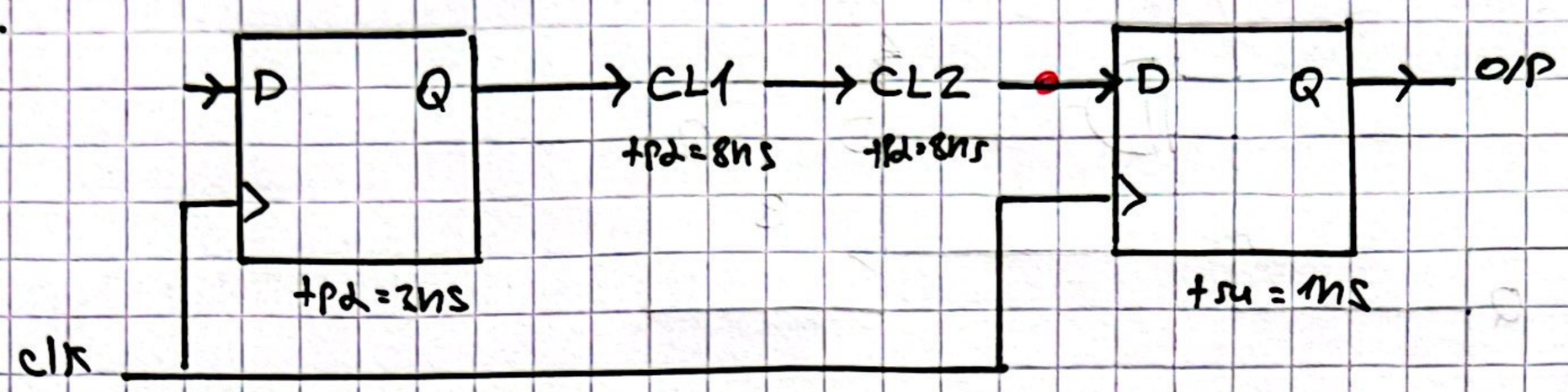
$$4ns + 3ns + 2ns + 2ns = 11ns \le T_{cycle}$$

לכן, על מנת שהמעגל יתקיים כראוי נדרש שזמן ה Tcycle לפחות 13ns.

לכן: $f_{max} = \frac{1}{T_{min}} = \frac{1}{13 \cdot 10^{-9}}\ Hz$

Interview questions :

1.



a. Calculate the minimum time period and maximum clock frequency.

→ $t_{pd,FF1} + t_{pd,CL1} + t_{pd,CL2} \leq T_{cycle} - t_{setup,FF2}$

$3ns + 2 \cdot 8ns \leq T_{cycle} - 1ns$

$20ns \leq T_{min,cycle}$ → $F_{max} = 50MHz$

b. can you operate the given circuit at some frequency higher than the max frequency you've calculated?

→ Yes! 1. Pipelining, we insert an extra flipflop in between the two combinational logics.

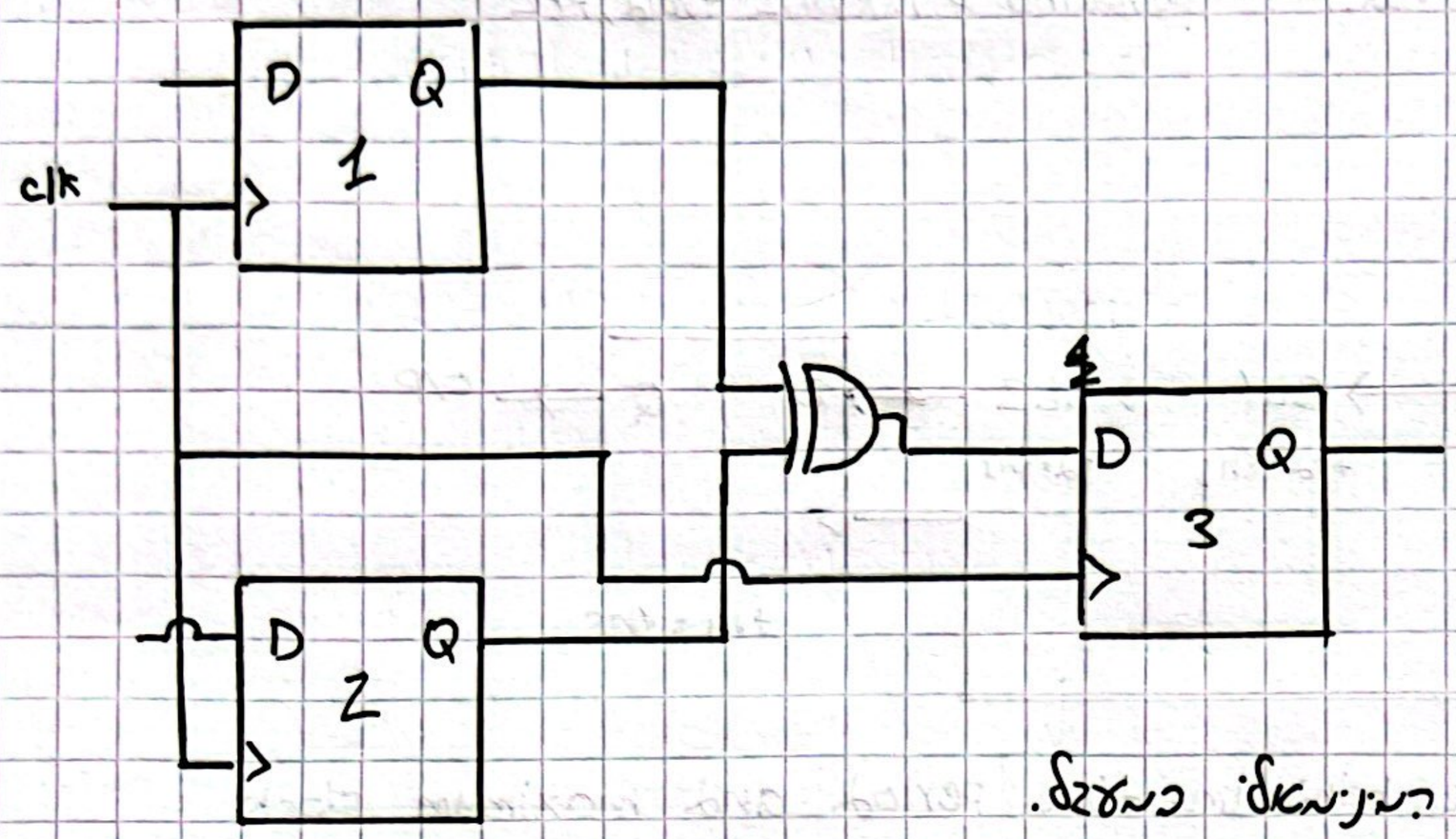
This way the critical part changed and we get lower T_{cycle}. $t_{pd,FF1} + t_{pd,CL} < T_{min,new} - t_{setup}$

$12ns < T_{min,new}$

The drawback is an increasing in the latency.

Scanned with CamScanner

: 1 שאלה



- $t_{pd}(XOR) = 10ns$
- $t_{cd}(XOR) = 1ns$
- $t_{pd}(FF) = 15ns$
- $t_{su}(FF) = 5ns$
- $t_{cd}(FF) = 2ns$

א. נמצא את זמן המחזור המינימאלי במעגל.

← זמן המחזור נקבע לפי תנאי ה setup במעגל.

FF1 -> FF3:

$$t_{pd}(FF1) + t_{pd}(XOR) \le T_{cycle,min} - t_{setup}(FF3)$$

$$15ns + 10ns + 5ns \le T_{cycle,min}$$

$$30ns \le T_{cycle,min}$$

ב. נמצא את זמן ה hold המקסימלי.

← לפי הדרישת תנאי hold מתקיים שלא יהיה לו יותר זמן בכניסה לפלופ לפחות לאחר

לכן הדרישת המינימום.

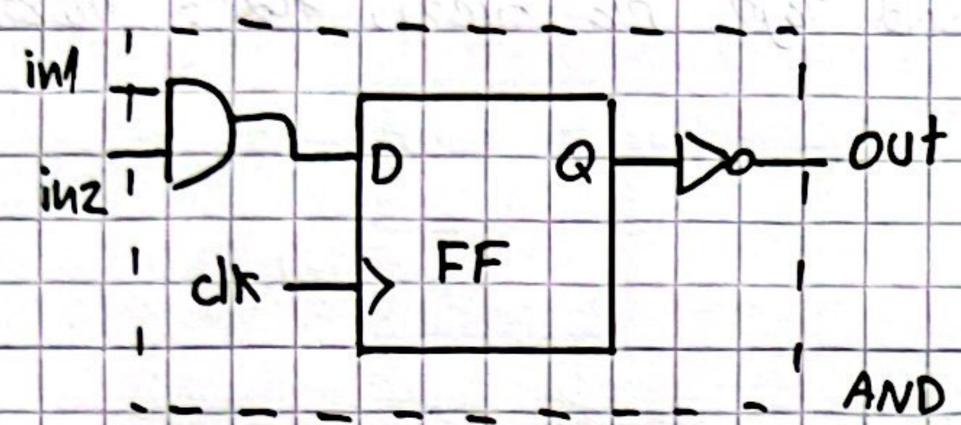
$$t_{hold}(FF3) \le t_{cd}(FF1) + t_{cd}(XOR)$$

$$t_{hold} \le 1ns + 2ns$$

$$t_{hold} \le 3ns$$

Scanned with CamScanner

תרגיל 2:



. thold, tsu, tpd, tcd את נתון.

	tcd	tpd	tsu	thold
AND	6	10		
NOT	6	8		
FF	5	10	20	10

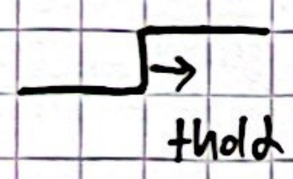
פתרון:

✓ * $t_{cd,tot} = \cancel{t_{cd}(AND)} + t_{cd}(FF) + t_{cd}(NOT) = (6+6+5)ns = \cancel{17}\,11\,ns$

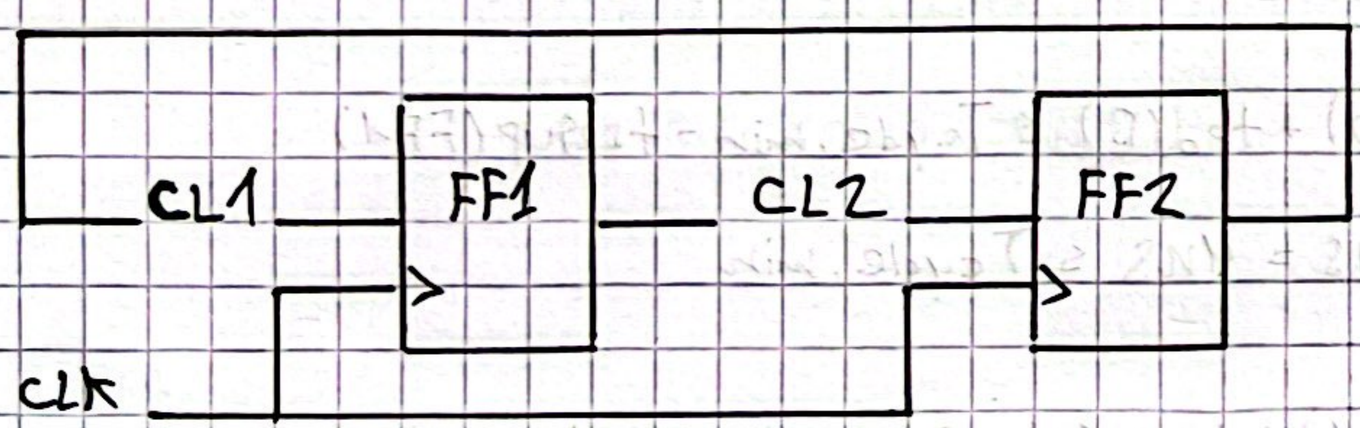
✓ * $t_{pd,tot} = \cancel{t_{pd}(AND)} + t_{pd}(FF) + t_{pd}(NOT) = (10+8+10)ns = \cancel{28}\,18\,ns$

✓ * $t_{setup} = t_{setup}(FF) + t_{pd}(AND) = (20+10)ns = 30ns$

✓ * $t_{hold} = t_{hold}(FF) - t_{cd}(AND) = (10-6)ns = 4ns$



תרגיל 3:



	tcd	tpd	tsetup	thold
FF1	1	4	3	2
FF2	2	7	4	4
CL1	1	4		

. מה היא הערכים האפשריים של CL2 עבור tpd/tcd שיאפשרו פעלה תקינה.

פתרון:

תחילה נחשב את זמן המחזור המינימלי שנקבע ממסלול FF2 לעבר FF1.

$t_{pd}(FF2) + t_{pd}(CL1) \le T_{cycle,min} - t_{setup}(FF1)$

$14ns \le T_{cycle,min}$

לכן מתקיים:

$t_{pd}(FF1) + t_{pd}(CL2) \le T_{cycle,min} - t_{setup}(2)$

$4ns + t_{pd}(CL2) \le 14ns - 4ns$

$t_{pd}(CL2) \le 6ns$

Scanned with CamScanner

ובמקרה זה tcd, נרשום אותו תקין hold.

FF2 -> FF1:

$$t_{cd}(FF2) + t_{cd}(CL1) \geq t_{hold}(FF1)$$

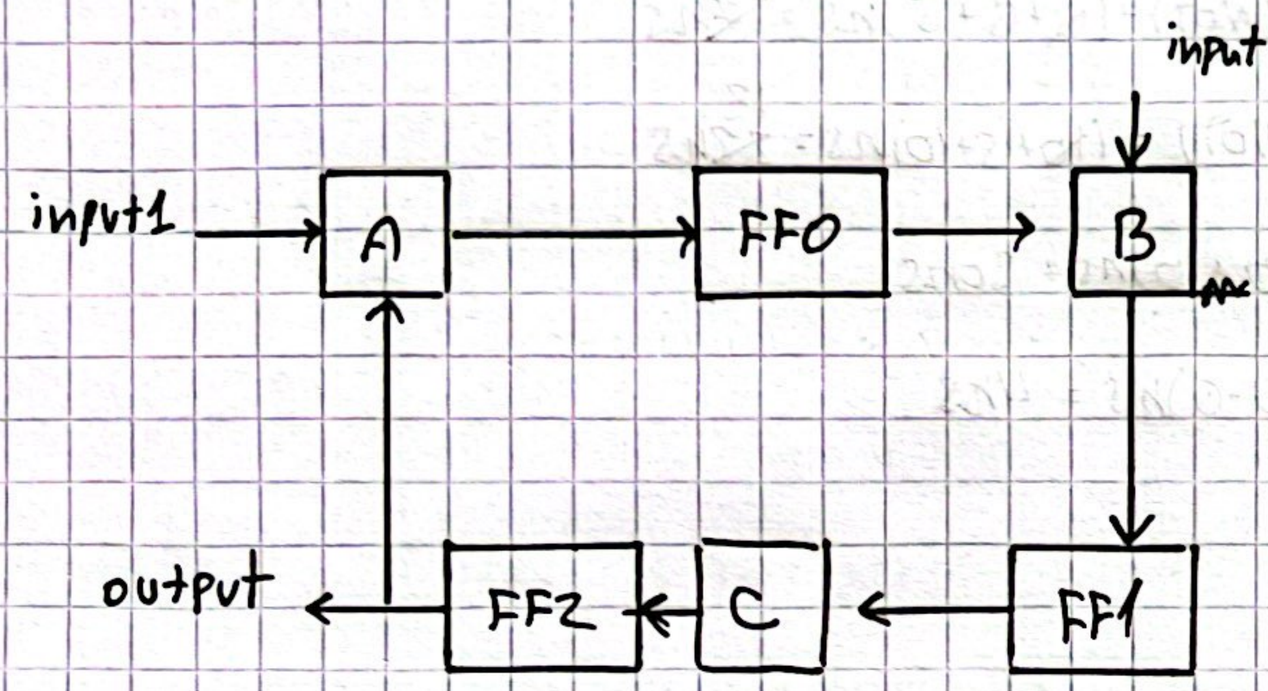
FF1 -> FF2:

$$t_{cd}(FF1) + t_{cd}(CL2) \geq t_{hold}(FF2)$$

$$t_{cd}(CL2) + 1ns \geq 4ns$$

$$t_{cd}(CL2) \geq 3ns$$

תרגיל 4:



	tpd	tsetup
FF0	1	2
FF1/FF2	2	2
A/B/C	1	

נמצא אות צמן המחזור המינימלי המאפשר:

- FF0 -> FF1:

$$t_{pd}(FF0) + t_{pd}(B) \leq T_{cycle,min} - t_{setup}(FF1)$$

$$(1+1+2)ns = 4ns \leq T_{cycle,min}$$

- FF1 -> FF2:

$$t_{pd}(FF1) + t_{pd}(C) \leq T_{cycle,min} - t_{setup}(FF2)$$

$$(2+1+2)ns = 5ns \leq T_{cycle,min}$$

- FF2 -> FF0:

$$t_{pd}(FF2) + t_{pd}(A) \leq T_{cycle,min} - t_{setup}(FF0)$$

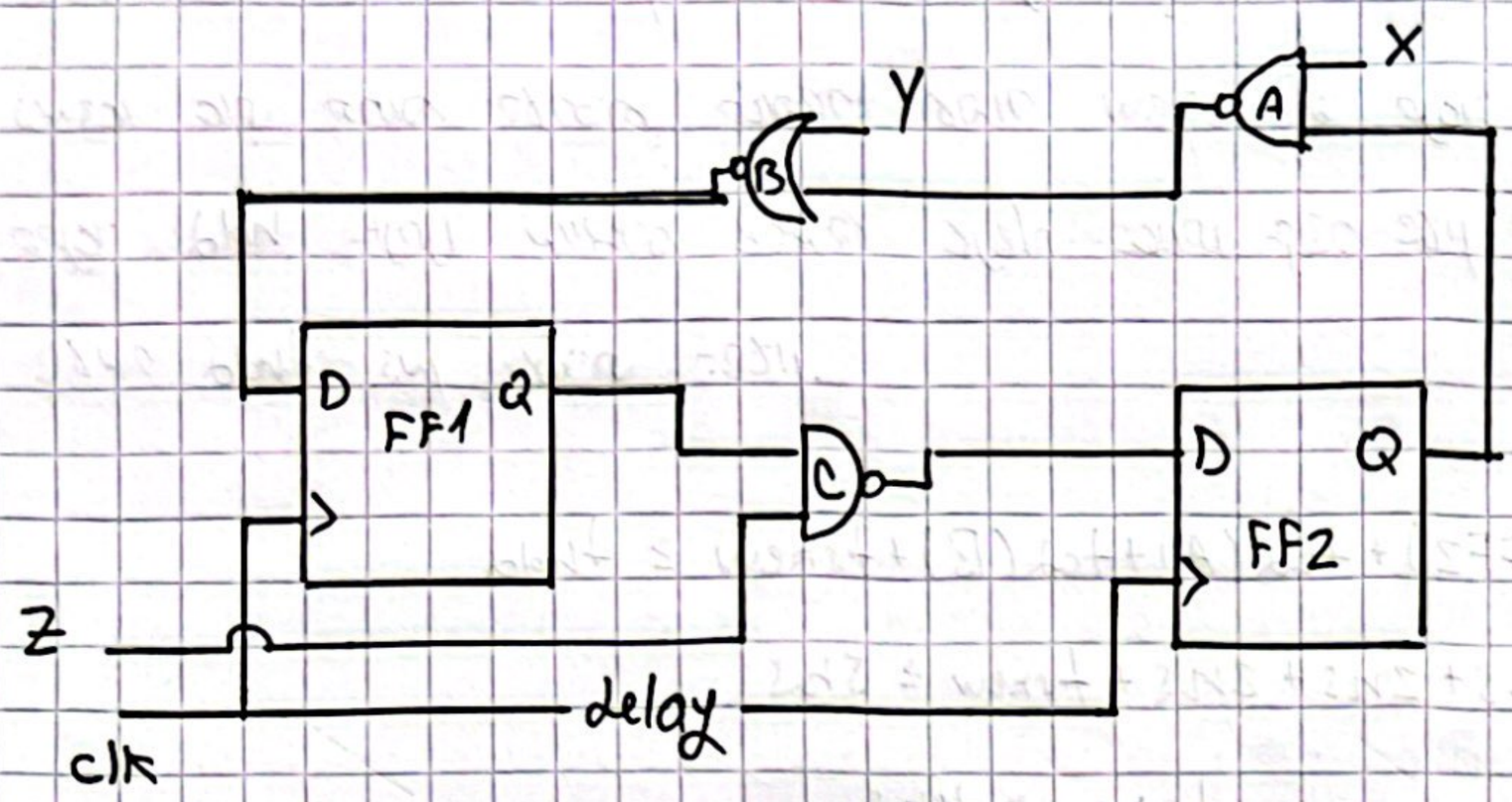
$$5ns \leq T_{cycle,min}$$

לכן מתקיים:

$$T_{cycle,min} = 5ns$$

Scanned with CamScanner

: 5 שאלה



	tcd	tpd	tsu	thold
FF1/FF2	5	40	20	5
NAND	2	22		
NOR	2	20		

א. נניח סינכרוני, נחשב שיעור hold מתקיים.

לפי יעד hold, יש לבדוק שיבטיח שאור יגיע בעיכוב לבלוק ~~שאת~~ למשך thold זמן.

נבדוק עבור Z הבלוקים.

* FF2 -> FF1:

$$t_{cd}(FF2) + t_{cd}(NAND) + t_{cd}(NOR) \geq t_{hold}(FF2)$$

$$5ns + 2ns + 2ns = 9ns \geq 5ns \checkmark$$

* FF1 -> FF2:

$$t_{cd}(FF1) + t_{cd}(NAND) \geq t_{hold}(FF2)$$

$$5ns + 2ns = 7ns \geq 5ns \checkmark$$

ב. נחשב זמן מחזור מינימלי כמעגל.

· FF2 -> FF1:

$$t_{pd}(FF2) + t_{pd}(A) + t_{pd}(B) \leq T_{cycle} - t_{setup}(FF1)$$

$$102ns \leq t_{cycle}$$

· FF1 -> FF2:

$$t_{pd}(FF1) + t_{pd}(C) \leq T_{cycle} - t_{setup}(FF2)$$

$$82ns \leq T_{cycle}$$

$$\rightarrow T_{min} = 102ns$$

Scanned with CamScanner

ב. כעת סעיף ב. מהו זמן המחזור המינימלי?

נמצא את תחום הערכים האפשרי עבור שעון לפי תנאי hold.

בתנאי hold אנחנו מוודאים שבמידה שנשלח באותו קצב שעון לא ממשיק לבלוף הישן לפני שעבר hold זמן מעל"ת השעון.

· FF2 -> FF1 :

$$t_{cd}(FF2) + t_{cd}(A) + t_{cd}(B) + t_{skew} \geq t_{hold}$$

$$5ns + 2ns + 2ns + t_{skew} \geq 5ns$$

$$t_{skew} \geq -4ns$$

· FF1 -> FF2 :

$$t_{cd}(FF1) + t_{cd}(C) \geq t_{skew} + t_{hold}(FF2)$$

$$t_{skew} \leq 2ns$$

נרשום עכשיו תנאי setup.

· FF1 -> FF2 :

$$t_{pd}(FF1) + t_{pd}(C) \leq T_{min} - t_{setup}(FF2) + t_{skew}$$

$$\overset{82}{102ns} \leq T_{min} + t_{skew}$$

· FF2 -> FF1 :

$$t_{pd\,skew} + t_{pd}(FF2) + t_{pd}(A) + t_{pd}(C) \leq T_{cycle} - t_{setup}(FF1)$$

$$t_{skew} + 102ns \leq T_{cycle}$$

נבחר ב $t_{skew}=2ns$:

$$T_{min}^{1} \geq 104ns$$
$$T_{min}^{2} \geq 80ns$$

נבחר ב $t_{skew}=-4ns$:

$$T_{min} \geq 98ns$$
$$T_{min} \geq 80ns$$

$\rightarrow T_{min} = 98ns \quad (t_{skew} = -4ns)$

Scanned with CamScanner

Static timing Analysis Interview Questions:

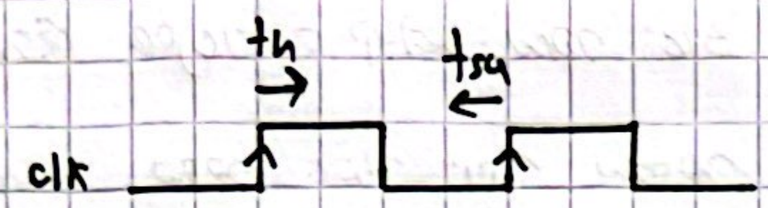
2/3/2024

1. what do you understand by setup and hold time of a flip flop?

פתרון:

בלב הבעיה יש רכיב דיגיטלי אשר קיים לו רגישות של תנאי תזמון. אלו מקושרים לזמן ה-hold

וה-setup אשר מיוחסים לו.



עם עלית שעון (עבור edge trigger positive) מתקיים

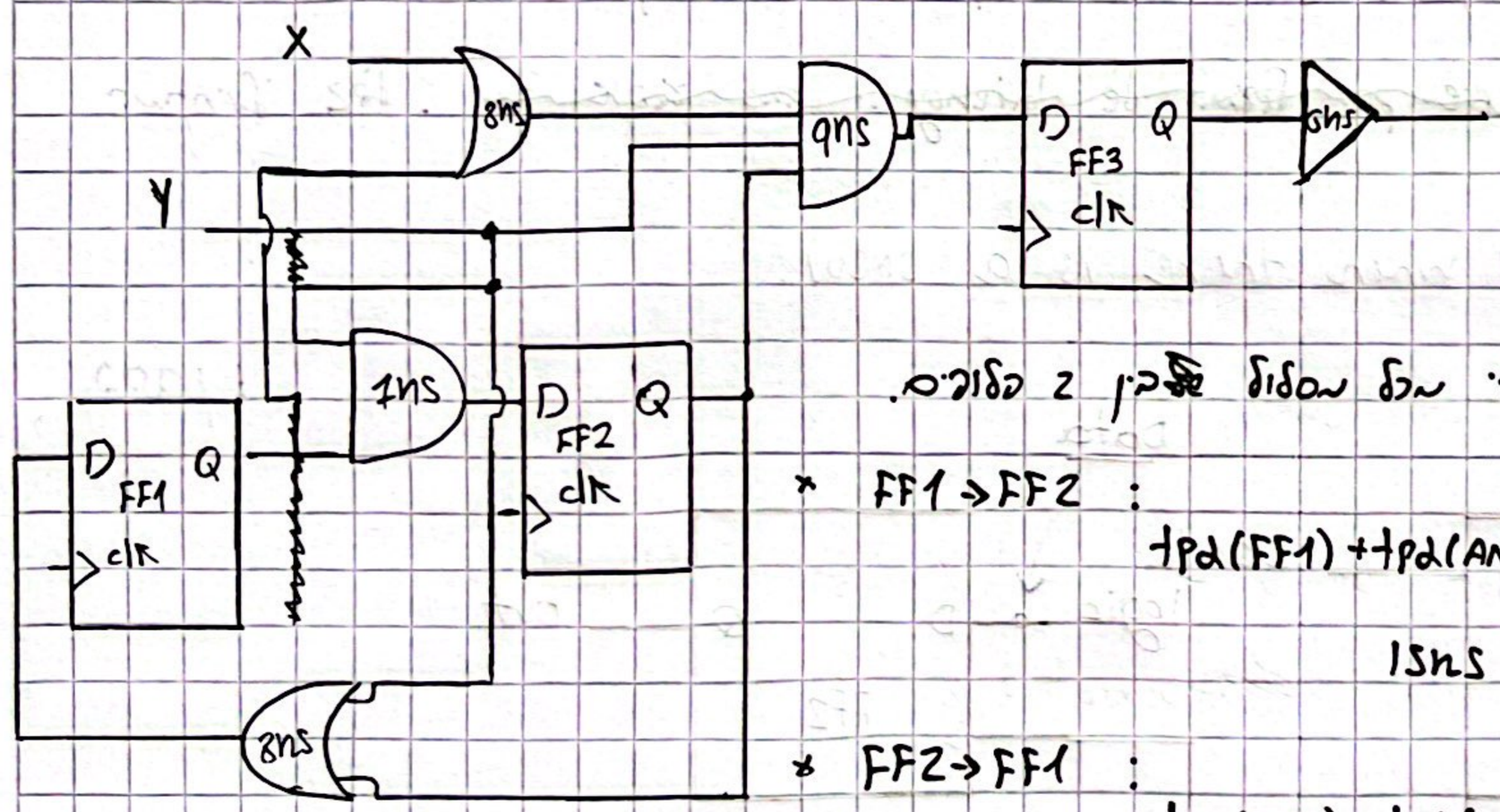
שעל המידע בכניסה ל flop לקיים יציבות (כלומר, המידע לא משתנה)

למשך hold זמן לאחר עלית השעון.

באופן דומה, על המידע להיות יציב למשך tsu לפני עלית שעון.

רק בהינתן קיום תנאים אלו - ניתן להבטיח שה flop יתפקד כמצופה.

2. Find the maximum operation frequency of the circuit.



$t_{su} = 3ns$
$t_{hd} = 4ns$
$t_{pd} = 5ns$

פתרון:

נחשב את ה-Tmin: האפשרי מכל מסלול שקיים 2 בלוקים.

* FF1 → FF2 :

$t_{pd}(FF1) + t_{pd}(AND) \le T_{min} - t_{setup}(FF2)$

$15ns \le T_{min}$

* FF2 → FF1 :

$t_{pd}(FF2) + t_{pd}(OR) \le T_{min} - t_{setup}(FF1)$

$16ns \le T_{min}$

* FF2 → FF3 :

$t_{pd}(FF2) + t_{pd}(AND) \le T_{min} - t_{setup}(FF3)$

$17ns \le T_{min}$

* FF1 → FF3 :

$t_{pd}(FF1) + t_{pd}(OR) + t_{pd}(AND) \le T_{min} - t_{su}(FF3)$

25

$25ns \le T_{min}$

$\rightarrow f_{max} = \frac{1}{T_{min}} = 40MHz$

Scanned with CamScanner

3. what will happen if we operate the design on a frequency higer than calculated max frequency?

בתרגום:

כדאי שנעשה ה setup מוכר אז קיים כשל בפעולה של המעגל.

עבור בתדר גבוה יותר מהתדר המקסימלי או שגם על יעוד ה hold שכן אנו יכולים בתדר הפעולה.

4. what will be the impact of positive skew on the maximum operating frequency of design?

בתרגום:

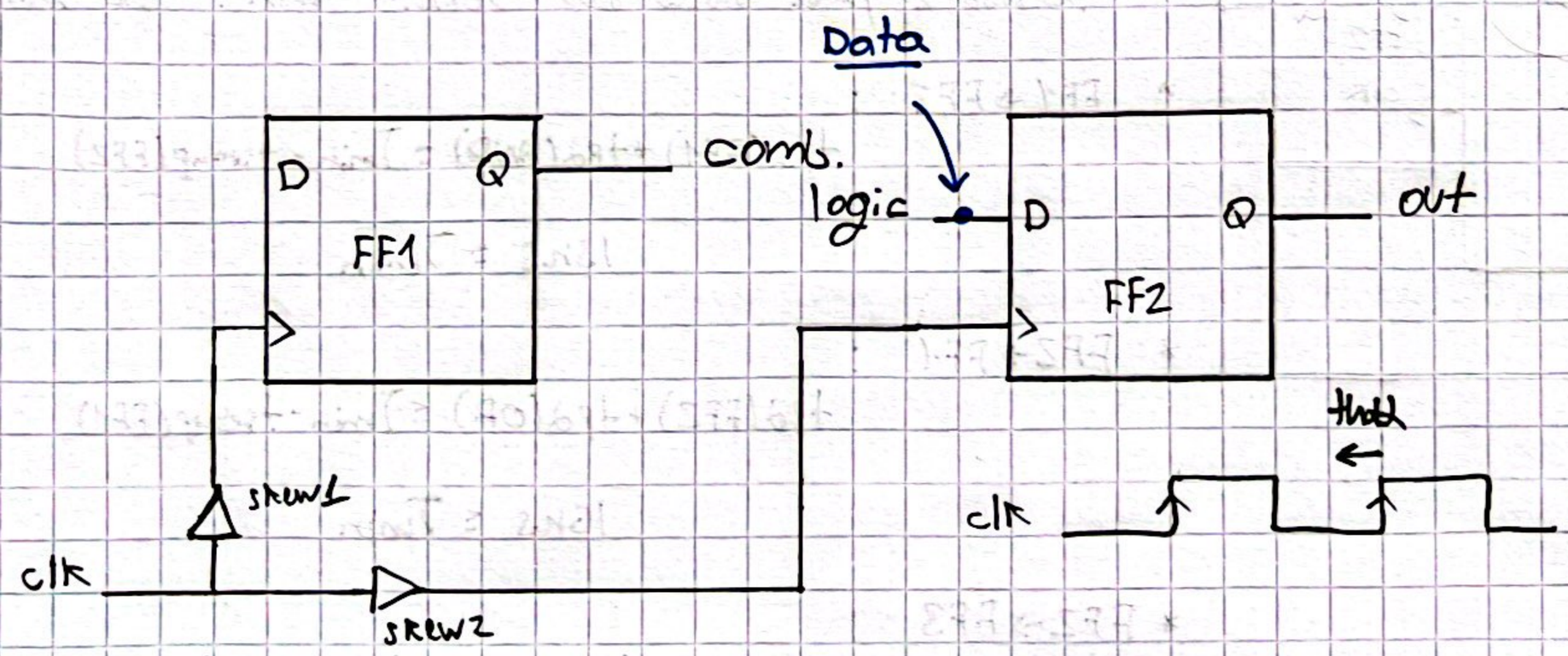
נרשום את משוואת/יחסי ה setup כאשר במעגל יש skew.

$$t_{pd}(FF1) + t_{pd}(CL) \le T_{cycle} + t_{skew} - t_{setup}(FF2)$$

עבור $t_{skew} \ge 0$ מתקיים כי יש "הקלה" על פרישת הזמן המינימלי ולכן תדר הפעולה המקסימלי גדל. ~~מה עצבה הה לatency. שמדל יכן לא לאכות עצבה מעם~~

5. write hold equations when there is a skew.

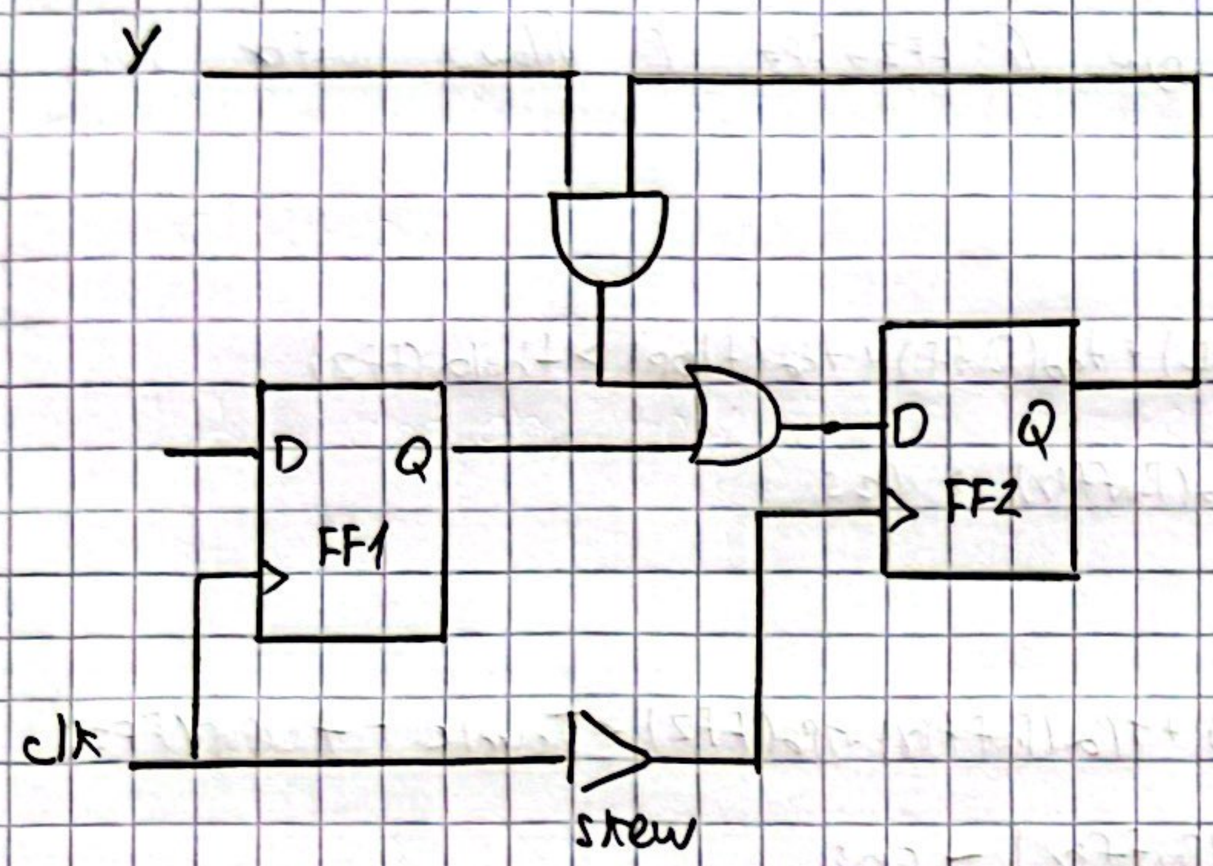
בתרגום:



$$\underbrace{t_{hold}(FF2) + t_{cd}(skew2)}_{\text{DATA REQUIRED TIME}} \le \underbrace{t_{cd}(FF1) + t_{cd}(C2) + t_{cd}(skew1)}_{\text{DATA ARRIVAL TIME}}$$

Scanned with CamScanner

תרגיל :



	FF	OR	AND
t_{cd}	1ns	1ns	1ns
t_{pd}	4ns	3ns	5ns
t_{su}	7ns		
t_{hold}	4ns		

$T_{cycle} = 25ns$

א. נבדוק אם המעגל עומד בדרישות משך הכניסה. (עבור skew=0)

FF1 -> FF2 :

hold :

$$t_{cd}(FF1) + t_{cd}(OR) > t_{hold}(FF2)$$

$$(1+1)ns = 2ns > 4ns \quad \times$$

לא מתקיים

FF2 -> FF2 :

hold :

$$t_{cd}(FF2) + t_{cd}(OR) + t_{cd}(AND) > t_{hold}(FF2)$$

$$(1+1+1)ns = 3ns > 4ns \quad \times$$

לא מתקיים

ב. נמצא את הערך של skew עבורו המעגל עומד במשך כניסה בעיות.

FF1 -> FF2 :

hold:

$$t_{cd}(FF1) + t_{cd}(AND) > t_{cd}(skew) + t_{hold}(FF2)$$

$$t_{cd}(skew) < -2ns$$

setup:

$$t_{pd}(FF1) + t_{pd}(OR) < T_{cycle} - t_{setup}(FF2) + t_{skew}$$

$$t_{skew} > -11ns$$

~~FF2->FF2~~ הסר: אין שום FF2->FF2 ולא נשאר hold לפחות כי מסלול של

עדיין מספק כי.

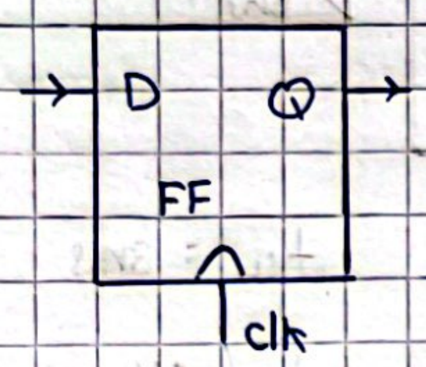
Static Timing Analysis - Interview and

PART 1:

1. What do you understand by setup & hold time of a flip flop?

הפלופ הוא רכיב צירופי אשר פועל במינגנון של edge trigger.

הרכיב בנוי בצורה הבאה:

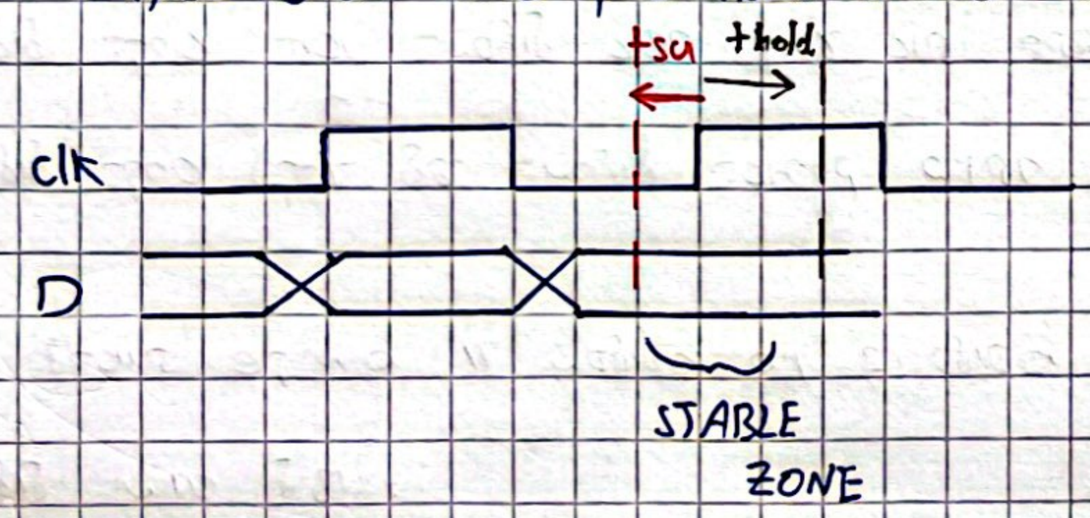


עם כניסה של ה edge active של השעון, הכניסה D מועברת לQ.

על מנת שהפלופ יעבוד באופן נכון, נדרש לעמוד בתנאי תזמון (timing constraint) אשר אלו יבטיחו פעולת תקינה ונכונה של הפלופ.

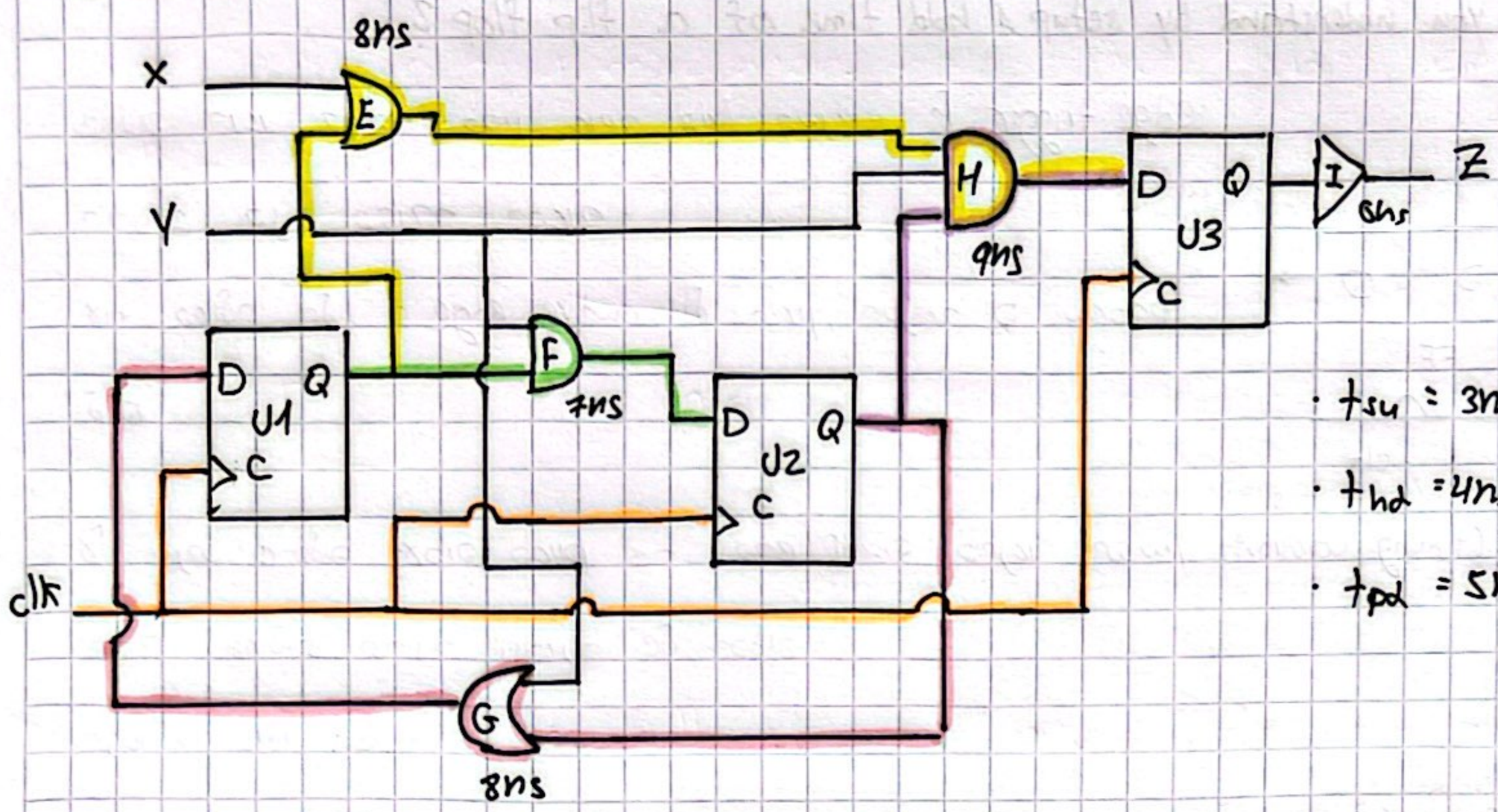
תנאים אלו הם:

1. setup, על מנת שהכניסה D להיות יציבה לפחות setup זמן לפני עליית שעון.
2. hold. על הכניסה D להיות יציבה לפחות hold זמן אחרי עליית שעון.



Scanned with CamScanner

2.



- $t_{su} = 3ns$
- $t_{hd} = 4ns$
- $t_{pd} = 5ns$

a. Find the critical path in the design?

המסלול הקריטי הוא המסלול אשר קובע את התדר המקסימלי של המעגל איתו נעבוד.

המסלול הקריטי נקבע לפי המסלול הארוך ביותר בין 2 פלופים.

ניתן לראות שקיימים 4 מסלולים בין 2 פלופים. המסלול הארוך ביותר (והקריטי) הוא המסלול מ-U1 ל-U3.

b. what will be the maximum operating frequency?

נקבע את התדר המקסימלי כך בדומה המעגל לפי בדיקת תנאי ה-setup על המסלול הארוך ביותר.

לפי תנאי ה-setup - על המידע להיות יציב בכניסה של U3 setup time צמן לפני עליית השעון.

$$t_{pd}(U1) + t_{pd}(E) + t_{pd}(H) \le T_{cycle} - t_{setup}(U3)$$

$$(5+8+9+3)ns = 25ns \le T_{cycle,min}$$

$$\rightarrow T_{cycle,min} = 25ns \Rightarrow freq.max = \frac{1}{T_{min}}$$

$$freq.max = 40MHz$$

Scanned with CamScanner

c. what will happen if we operate the design on a frequency higher than calculated max frequency?

בהנתן ונפעיל אותו המעגל בתדר מקסימלי גבוה יותר, השעון של המערכת יפעל בצמן מחזור מינימלי יותר ולכן יתקיים תנאי ה setup עבור המעגלים הקרוב.

בתוצאה, הפלופ צט יכנס למצב של מטה-סטביליות לזמן מוגבל הפלט Q, לא יהיה פוזיטיבי (בטיחות) ולכן המעגל לא יתפקד כראוי.

Part 3:

1. what is the equation for the minimum time period?

כלומר, מקבל התדר המקסימלי וצמן השעון המינימלי מבטיחים לנו שלא לחשתמש בתנאי setup המעגל בין 2 פלופים.

$$t_{pd}(FF1) + t_{pd}(CL) < T_{cyc,min} - t_{setup}(FF2)$$

$$F_{max} = \frac{1}{T_{cyc,min}}$$

2. what is the condition for hold time? for

תנאי ה hold מתאר את הפרישה שעל המידע לבוא לאחר עליית שעון, כלומר על הפלופ F1 והלוגיקה הבוקרת לבוא אחרוכות יותר מצמן ה hold.

$$T_{cd}(FF1) + t_{cd}(CL) \geq t_{hold}(FF2)$$

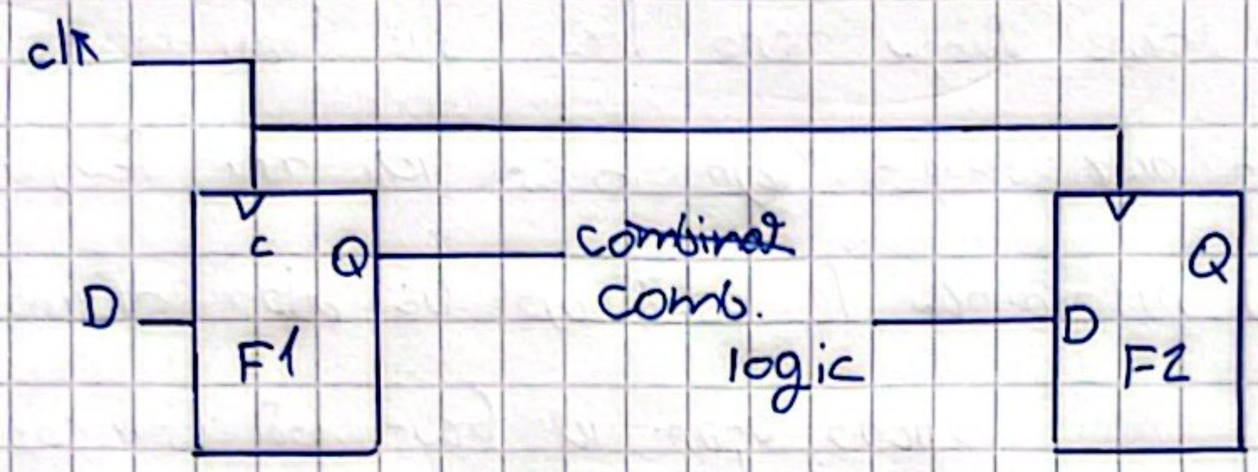
3. which type of violation doesn't depend upon frequency of operation?

תנאי ה hold לא מתיחס לתדר הפעלה שכן בעבור תנאי ה hold מסתכלים על עליית שעון אחת. בתדר עליה ולא על 2 דגימות כמו בעבור תנאי ה setup.

Scanned with CamScanner

4. which type of designs are more prone to hold violation?

נסתכל על תנאי ה hold בעבור 2 פלופים חוברים ובינהם לוגיקה קומבינטורית.



$t_{cd}(FF1) + t_{cd}(CL) \geq t_{hold}(FF2)$

ניתן לראות שכל שינוי בחות לוגיקה צירופית בין 2 הפלופים בא הדרישה להחמרה על תנאי ה hold קטנה וכתוצאה יכולה להיפגע.

למשל עבור shift-register, מיפוי כתכנון שאו כולל לוגיקה קומבינטורית בין הפלופים מאבו הרגיסטרים כלבד. לכן ברוב מקרים לא לתנאי היצמון.

5. which type of ~~devices~~ designs are more prone to setup violation?

Designs עם עומק של לוגיקה קומבינטורית בין 2 פלופים עלולים לגרום בעיות של הפרה לתנאי ה setup.

$t_{pd}(FF1) + t_{pd}(CL) < T_{cycle} - t_{setup}(FF2)$

בניגוד לתנאי של ה-hold.

בולטאו למשל כמה הוא counter

6. Any technique to resolve setup violation?

פתרונות אפשריות לפתרון הפרת תנאי setup הן:

* Pipeline, בחיבור של פלופים בין המעגלים על מנת לחלק את זמן ההשהיה של הלוגיקה הצירופית.
* הגדלת ה Tcycle, הקטנת התדר.
* פעולה מחשבה על במבנים עמעולות קומבינטוריות בקו של כ"ג בובבב.

Part 5:

1. what will be the impact of a positive skew on the maximum operating frequency?

בהנחה ובמקרה ובמעגל קיים שעון חיובי, ההשפעה שלו תהיה הקטנה של זמן המחזור המינימלי ולכן האפשר גבוה של תדר המקסימלי.

$$t_{pd}(FF1) + t_{pd}(CL) \le T_{cycle,min} + t_{skew} - t_{setup}(FF2)$$

כאשר פלופ 2 מעורב בשעון שלו, אז הקרבה להשת המיפס היא גבוה לכניסה של הפלופ לפני עליית השעון מתעוררת ולכן מתאחר עבופה בתדר גבוה יותר.

2. what will be the impact of a positive skew on the hold time equation?

כאשר וכניס שעון לעגל, אז תנאי ה hold יפגע שכן עליית השעון מתעכבת אך למיפס שמגיע מ FF1 מין

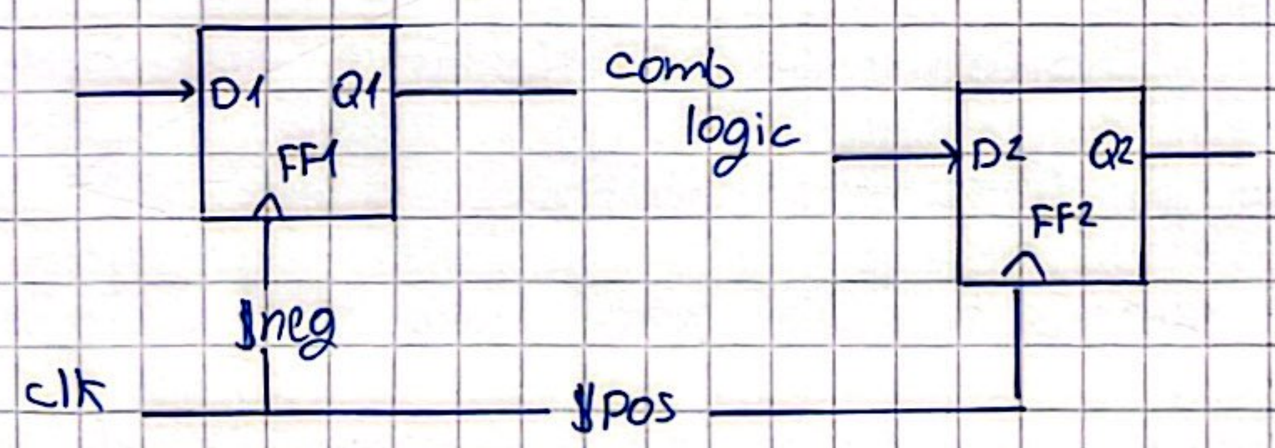
$$\underbrace{t_{cd}(FF1) + t_{cd}(CL)}_{\text{Data Arrival time}} > t_{hold}(FF2) + t_{skew}$$

גבוה.

כלומר הסיכוים לקבלת תנאי ה hold גדולים.

Part 8:

1. Does the following design has any hold violation?



$t_{pd}(FF1) = 6ns$
$t_{hold}(FF2) = 4ns$
$t_{pd}(CL) = 5ns$
$\uparrow pos = \uparrow neg$

נבדוק את תנאי ה hold:

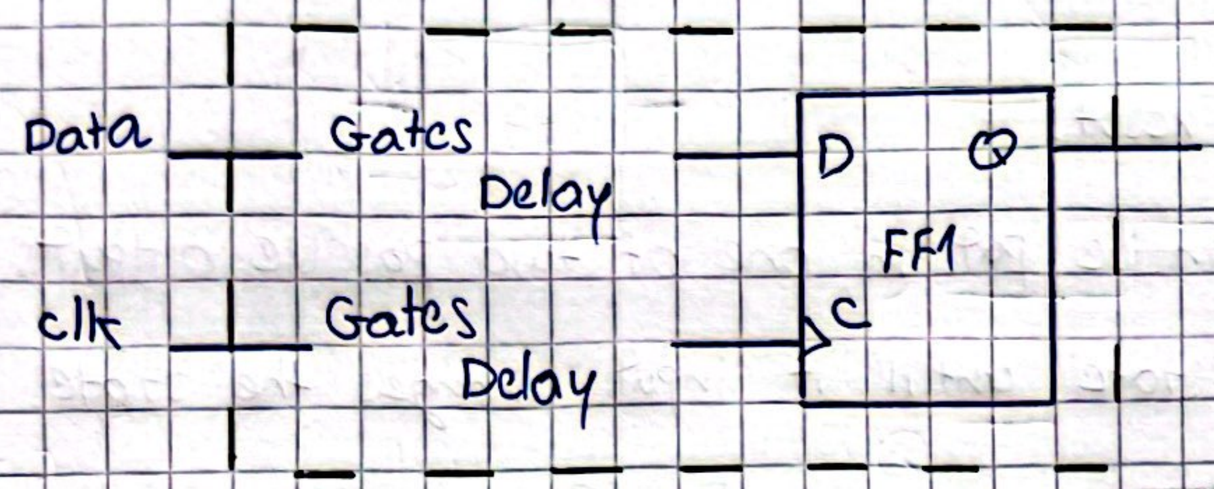
$$t_{cd}(FF1) + t_{cd}(CL) + \cancel{t_{skew,pos}} \ge t_{hold} + \cancel{t_{skew,neg}}$$

$$t_{hold} = 4ns \le 11ns = t_{cd}(FF1) + t_{cd}(CL)$$

Scanned with CamScanner

Question:

- what will be the setup & hold time?



נרתם את זמני ה hold וה setup של הרכיב החדש.

- עבור tsu, על מ הבדה צריו הזמן שעבורו מתקיים כי על המידע להיות יציב

לפני עליה של שעון.

במקרה של הרכיב החדש, המידע Data עוקף (CL) בעוד לרגע להגיע D ועל מידע כי

להיות זמין ויציב tsu זמן לפני עליתו של השעון. לכן נפרוש שהמידע יהיה יציב ומוכן

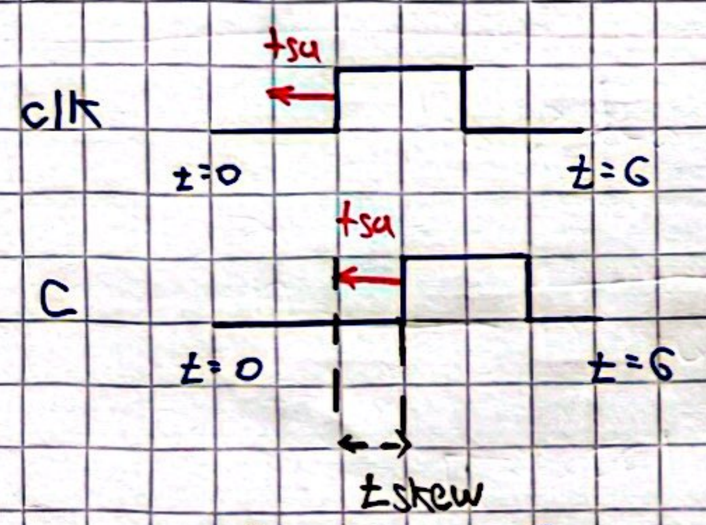
ב - tsu+(CL)tpd לפני עליית שעון.

בנוסף מתקיים שעדת על השעון, כלומר עליית השעון מתעכבת ב (skew)tpd חיפות זמן.

על מ ניתן לחלוק/לשנות את המידע "בעיכוב" של tskew

שם עליית השעון מתעכבת.

לכן זמן ה setup של הרכיב החדש הוא:



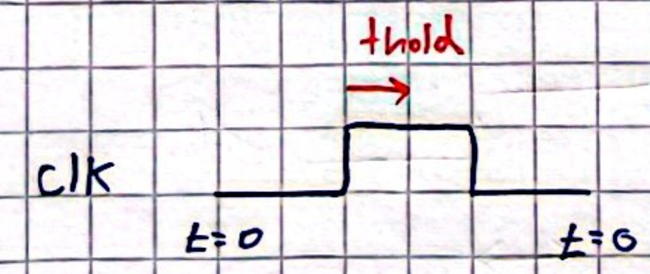
$$t_{setup}^{*} = t_{setup} + t_{pd}(CL) - t_{pd}(skew)$$

- באופן דומה נתחם עבור זמן hold שעבורו צריך להתקיים כי על המידע להיות

יציב ב thold חיפות זמן לאחר עליית השעון.

בעקבות הישעדת של השעון, על המידע בהבקר D לחכות יותר זמן לצורך וויפוא תנאי

thold ולכן הזמן מתארך ב tpd(skew).



בעבור הלוגיקה הקומבינטורית, המידע Data יקח יותר

זמן להגיע לבקר D עקב ה delay של ה Gates ועל מ

ניתן לחכות פחות זמן בעבור שינוי הנכנס על מנת לקיים אותו תנאי ה hold.

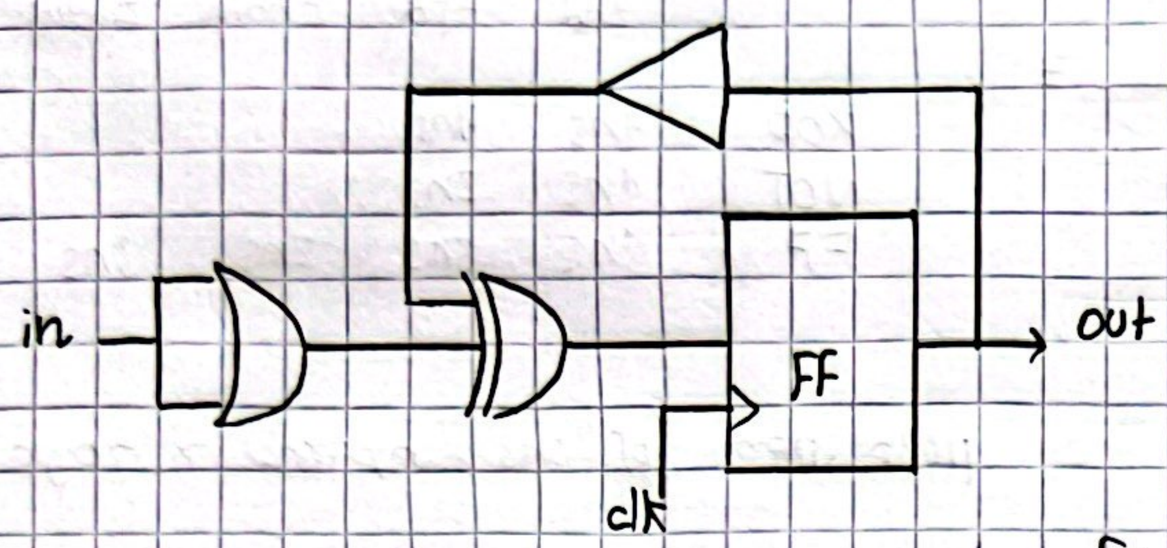
לכן מתקיים:

$$t_{hold}^{*} = t_{hold} + t_{pd}(skew) - t_{pd}(CL)$$

2022

שאלה:

נתון המעגל הבא עם האופיינים:



	NOT	OR	XOR	FF
t_{pd}	15ns	25ns	35ns	30ns
t_{cd}	5ns	10ns	15ns	20ns
T_{su}				10ns

נמצא את זמן ה- hold שיבטיח פעולות תקינה של המעגל.

* FF1 → FF1:

$$t_{cd}(FF1) + t_{cd}(NOT) + t_{cd}(XOR) \geq t_{hold}(FF1)$$

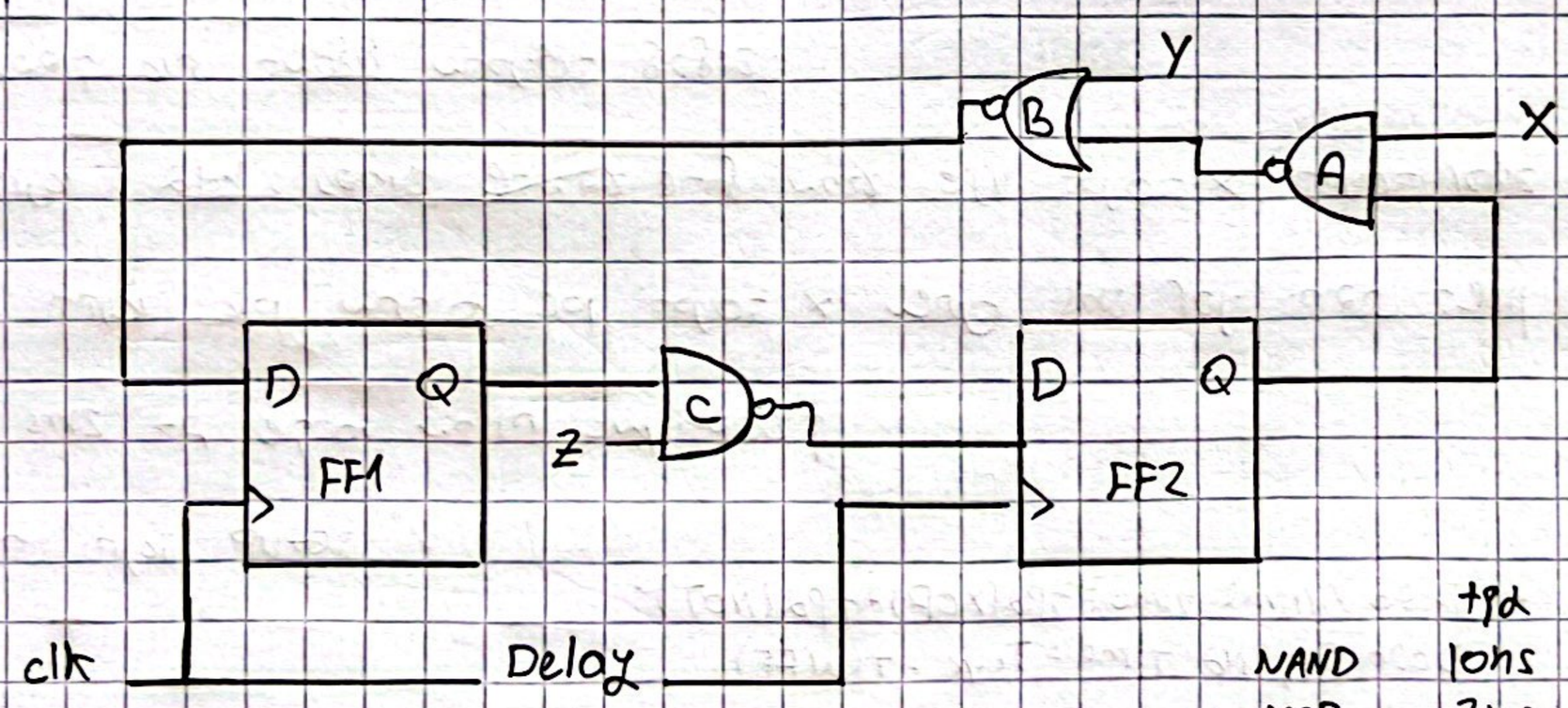
$$t_{hold}(FF1) \leq 40ns$$

* in → FF1:

$$t_{cd}(\overset{OR}{\cancel{AND}}) + t_{cd}(XOR) \geq t_{hold}$$

$$t_{hold} \leq 25ns$$

שאלה:



	t_{pd}	t_{cd}	t_{su}	t_h
NAND	10ns	2ns		
NOR	2ns	1ns		
FF	10ns	3ns	5ns	4ns

נמצא את ערך ה- skew שעבורו עדיין מתקבל מינימום:

FF1 → FF2:

hold: $\overset{3ns}{t_{cd}(FF1)} + \overset{2ns}{t_{cd}(NAND)} \geq t_{hold}(FF2) + t_{skew}$ $\overset{4ns}{}$

$$t_{skew} \leq 1ns$$

setup: $\overset{10ns}{t_{pd}(FF1)} + \overset{10ns}{t_{pd}(NAND)} \leq T_{cycle} + t_{skew} - \overset{5ns}{t_{su}(FF2)}$

$$25ns \leq T_{cycle} + t_{skew}$$

$27ns \leq T_{cycle} \leq$

$28 \leq T_{cycle}$

$-2ns \leq t_s \leq 1ns$

FF2 → FF1:

hold: $t_{cd}(skew) + \overset{3ns}{t_{cd}(FF2)} + \overset{2ns}{t_{cd}(NAND)} + \overset{1ns}{t_{cd}(NOR)} \geq t_{hold}(FF1)$ $\overset{4ns}{}$

$$t_{skew} \geq -2ns$$

setup: $t(skew) + \overset{10ns}{t_{pd}(FF2)} + \overset{10ns}{t_{pd}(NAND)} + \overset{2ns}{t_{pd}(NOR)} \leq T_{cycle} - \overset{5ns}{t_{su}(FF1)}$

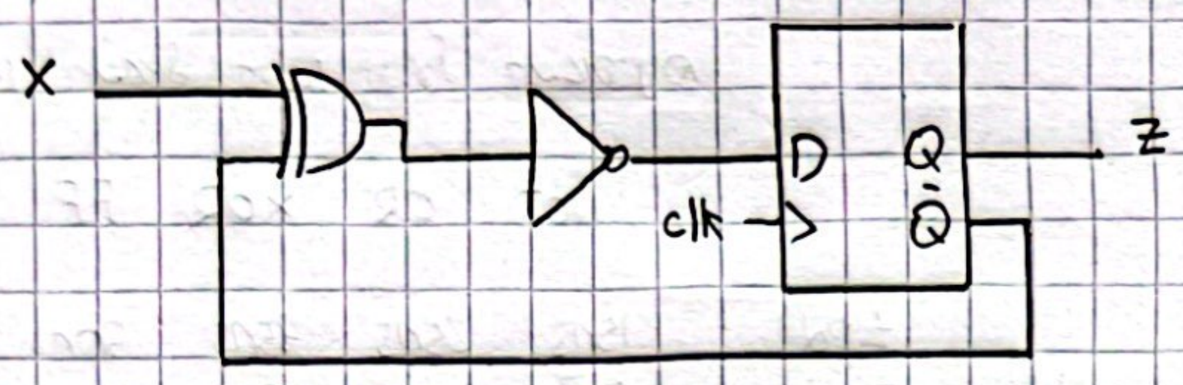
$$T_{cycle} \geq 27ns + t_{skew}$$

$t_s = 0$:

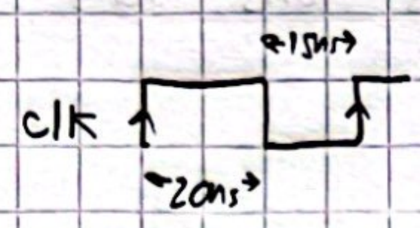
$27ns \leq T_{cycle}$

$\underline{27ns = T_{min}}$

Scanned with CamScanner



	tcd	tpd	thold	tsetup
XOR	1ns	4ns		
NOT	1ns	2ns		
FF	1ns	8ns	2ns	3ns



הכניסה X מתשבשת כאשר לפני יריעת השעון.

נמצא את פרק הזמן שלאחר מהתשבשות X ועד שינוי Z. שינוי

נבדוק תחילה תנאי setup ו hold במעגל:

FF1->FF1:

hold: $t_{cd}(FF1) + t_{cd}(XOR) + t_{cd}(NOT) \geq t_{hold}(FF)$ (1ns, 1ns, 1ns, 2ns)

$3ns \geq 2ns$ ✓

setup: $t_{pd}(FF1) + t_{pd}(XOR) + t_{pd}(NOT) \leq t_{cyc} - t_{su}(FF)$ (8ns, 4ns, 2ns, 35ns, 5ns)

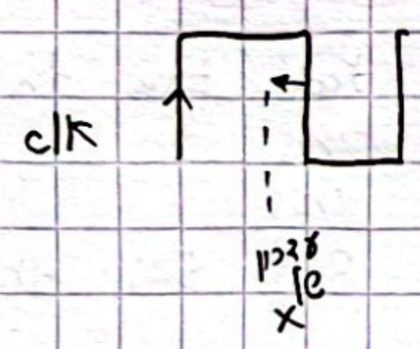
$19ns \leq 35ns$ ✓

עבור מסלול זה מתקיימים התנאים.

כעת נבדוק את המסלול מהכניסה לפלופ.

עבור תנאי hold, נבדוק שהגעה שינוי מרגע שינוי הכניסה X, הכניסה לפלופ נשארת יציבה לשמן hold. התנאי אכן מתקיים שכן הכניסה X משתנה כאשר לפני יריעת השעון ואילו תנאי hold יהיו 2ns כך שקיים מרווח זמן מספיק.

ובעבור תנאי setup:



→ Data Arrival time = $t_{pd}(XOR) + t_{pd}(NOT)$

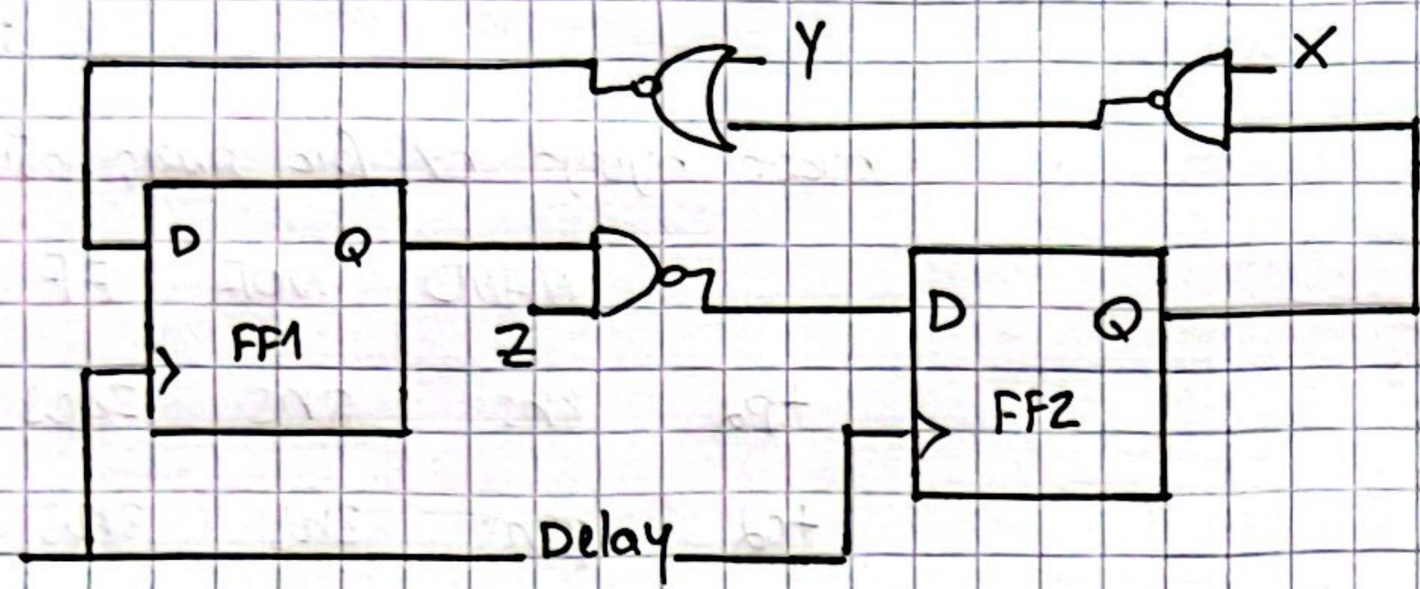
Data Required time = $T_{cyc} - t_{su}(FF)$

ואכן מתקיים גם תנאי הזמן עבור מסלול זה.

לכן לאחר מרגע שינוי הכניסה של X ועד עלית השעון עוברים 20 שניות ועל מנ לפלופ

את זמן ההתפשטות של כלפי עד שבמקום המוצא Z.

$t_{pd}(Flop) + 20ns = \underline{28ns}$



נתון:

	NAND	NOR	FF
tpd	10ns	4ns	15ns
tcd	2ns	2ns	3ns
tsu			5ns
thold			4ns

נמצא את הערך ל delay עבורו צמן המחזור יהיה מינימלי.

ראשית נמצא את צמן המחזור המינימלי לפי delay.

* FF1 -> FF2:

$$t_{pd}(FF1) + t_{pd}(NAND) \le T_{min} - t_{su}(FF2)$$
$$30ns \le T_{min}$$

* FF2 -> FF1:

$$t_{pd}(FF2) + t_{pd}(NAND) + t_{pd}(NOR) \le T_{min} - t_{su}(FF1)$$
$$34ns \le T_{min}$$

כעת נוסיף את ה delay ונמצא את תחום הערכים האפשרים של ה delay:

* FF1 -> FF2:

$$t_{cd}(FF1) + t_{cd}(NAND) \ge t_{skew} + t_{hold}(FF2)$$
$$t_{skew} \le 1ns$$

* FF2 -> FF1:

$$t_{cd}(FF2) + t_{cd}(NAND) + t_{cd}(NOR) + t_{skew} \ge t_{hold}(FF1)$$
$$t_{skew} \ge -3ns$$

המעגל יקרוב (האורוך ביותר) יהיה כזה שיכפה עלינו את צמן המחזור המינימלי, כלומר הנתיב

מעגל FF2->FF1.

כדי לחשב skew מתקיים: $34ns \le T_{min} - t_{skew}$

$$34ns + t_{skew} = T_{min}$$

לכן התשובה הנכונה היא 2- שניות.

שאלה:

כמו שאלה קודמת, אוסף עם הנתונים הבאים:

	NAND	NOR	FF
tpd	8ns	6ns	20ns
tcd	2ns	2ns	3ns
tsu			7ns
thold			7ns

נמצא תחלה את זמן המחזור המינימלי לפי עומק המסלול הארוך ביותר.

ללא skew

FF2 → FF1:

$$t_{pd}(FF2) + t_{pd}(NAND) + t_{pd}(NOR) \le T_{cycle} - t_{su}(FF1)$$

$$T_{cycle} \ge 41ns$$

עם skew →

$$T_{cycle} - t_{skew} \ge 41ns$$

אם נרצה לבחור כמה ערך של skew אנחנו צריכים לבדוק מה הגבולות שלו שלא יהיו פגיעה בתנאי hold.

FF1 → FF2:

$$t_{cd}(FF1) + t_{cd}(NAND) \ge t_{hold}(FF2) + t_{skew}$$

$$t_{skew} \le -2ns$$

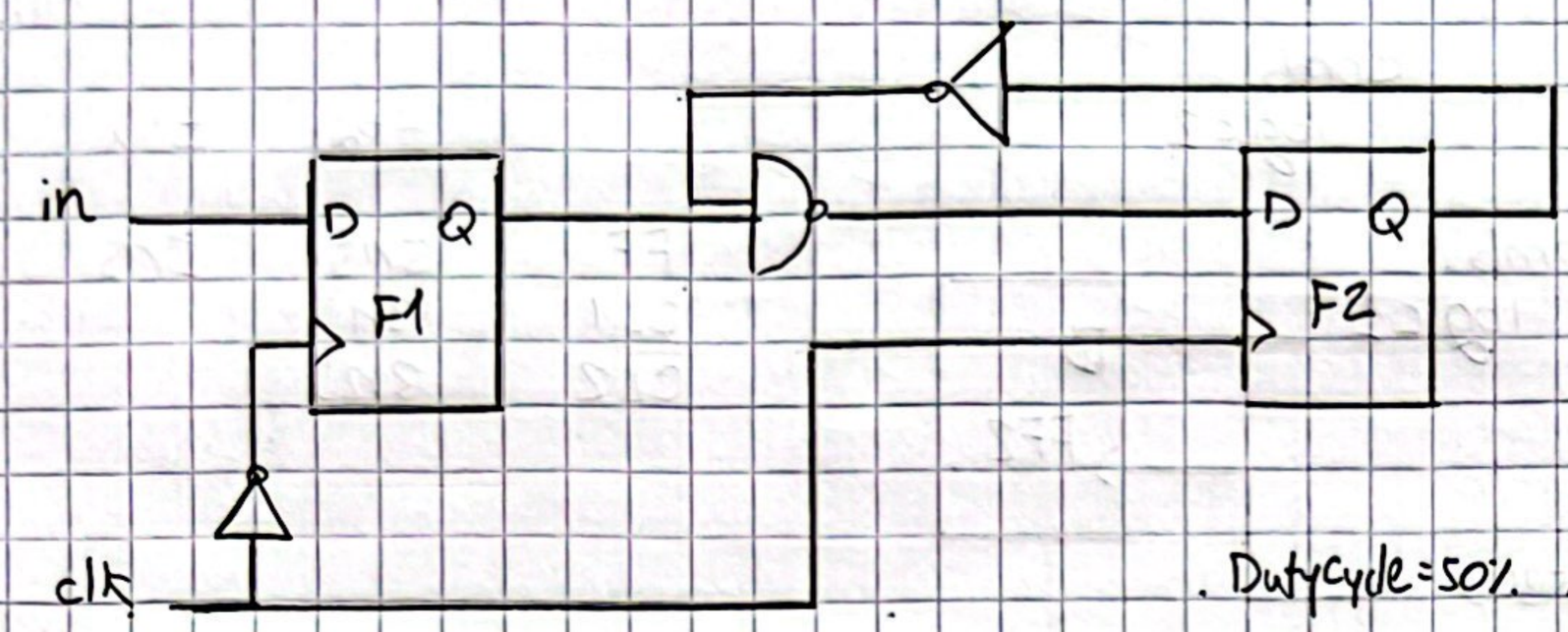
FF1 → FF1:

$$t_{cd}(FF2) + t_{cd}(NAND) + t_{cd}(NOR) + t_{skew} \ge t_{hold}(FF1)$$

$$t_{skew} \ge 0$$

כלומר שמעגל לא מקיים תנאי hold עם וגם skew!

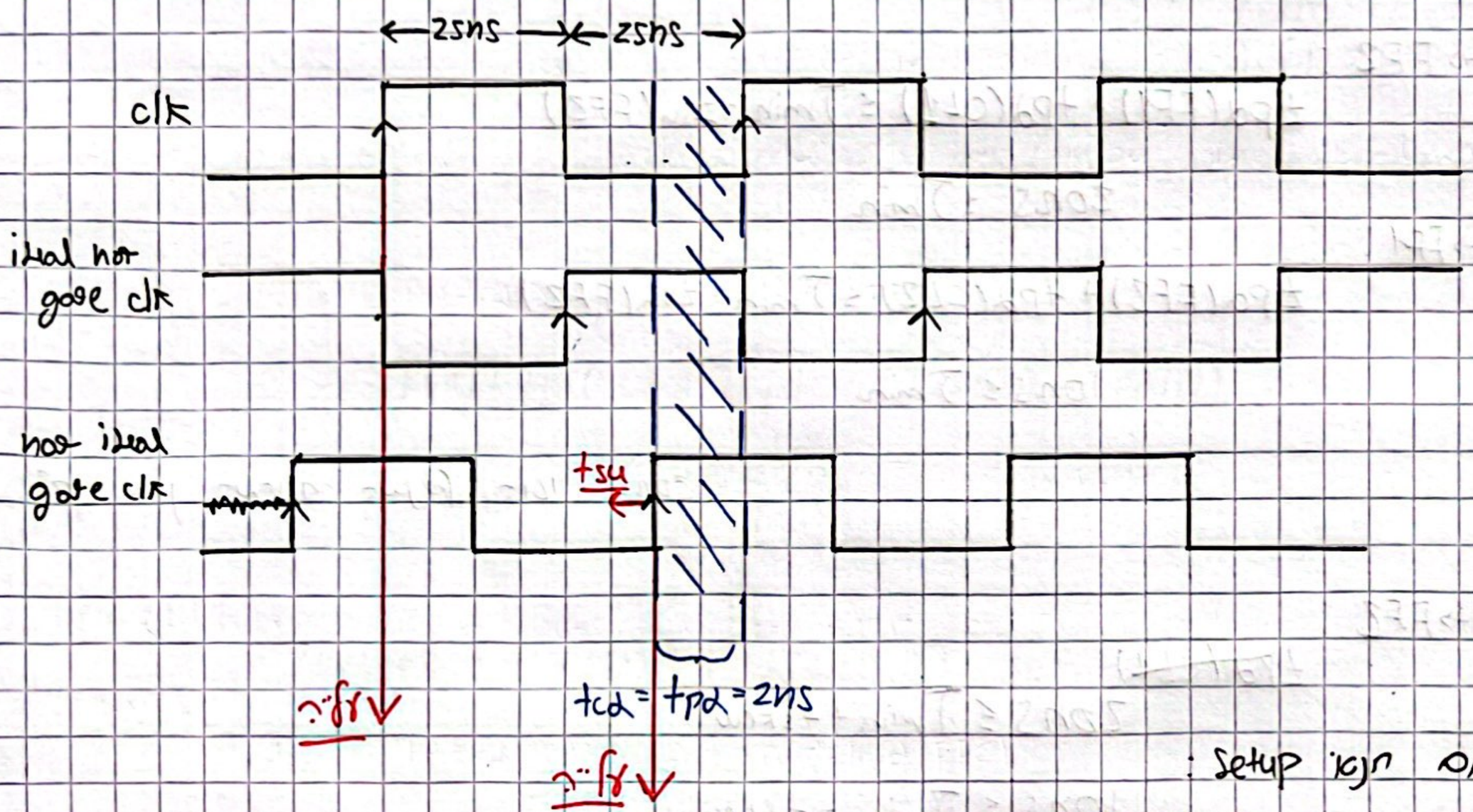
סעיף ב:



	t_{pd}	t_{su}
FF	10ns	?
NOT	2ns	
NAND	5ns	

נתון בגלים Dutycycle=50% or T=50ns.

נמצא את ערכו המקסימלי של tsu המאפשר פעולה של המערכת.



לגבי setup נקבל:

*FF2 → FF2:

$$t_{pd}(FF2) + t_{pd}(not) + t_{pd}(NAND) \le T_{cyc} - t_{su}(FF2)$$

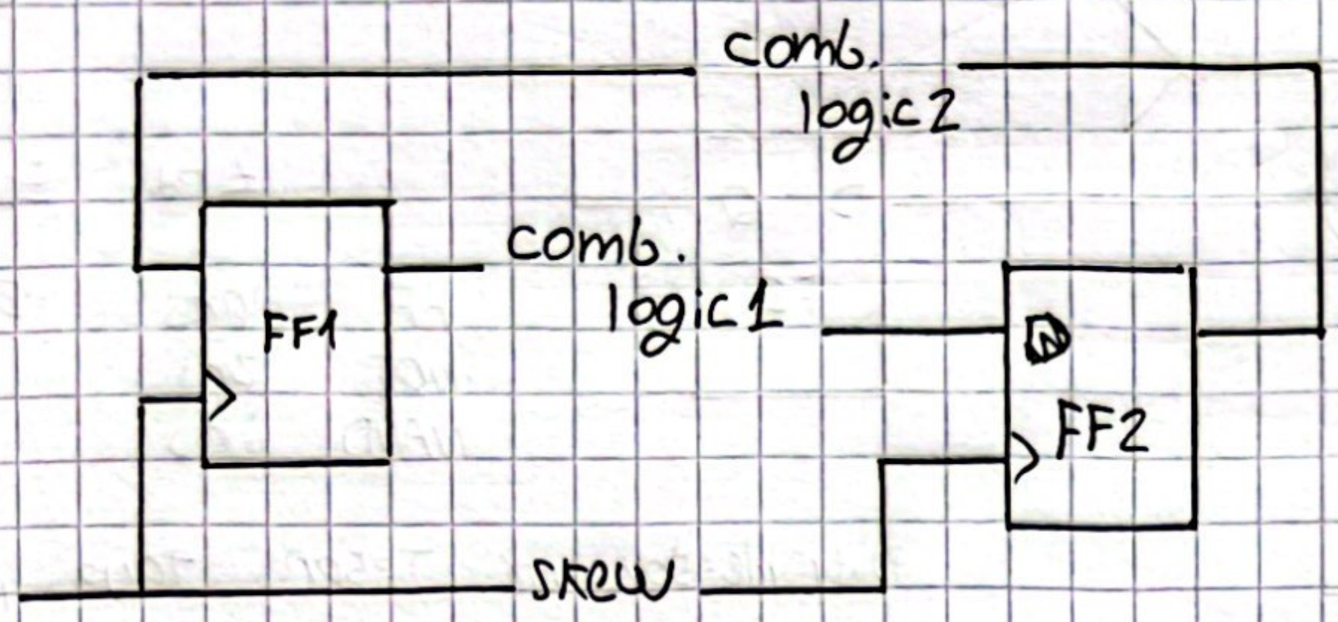
$$\Rightarrow t_{su}(FF2) \le 33ns$$

*FF1 → FF2:

$$t_{pd}(FF1) + t_{pd}(NAND) \le T^{*}_{min} - t_{su}(FF2)$$ // $T^{*}_{min} = 50ns - 25 - 2ns = 23$

$$t_{su}(FF2) \le 8ns$$

שאלה:



	t_{pd}	t_{su}
FF	5ns	2ns
CL1	13ns	
CL2	3ns	

נמצא את הערך של skew עבורו ~~המשלב~~ מן המתנור יקל.

לא skew

FF1 -> FF2 :

$$t_{pd}(FF1) + t_{pd}(CL1) \le T_{min} - t_{su}(FF2)$$

$$20ns \le T_{min}$$

FF2 -> FF1 :

$$t_{pd}(FF2) + t_{pd}(CL2) \le T_{min} - t_{su}(FF2)$$

$$10ns \le T_{min}$$

סה"כ מן המתנור המינימלי הוא 20ns.

יש skew

FF1 -> FF2 :

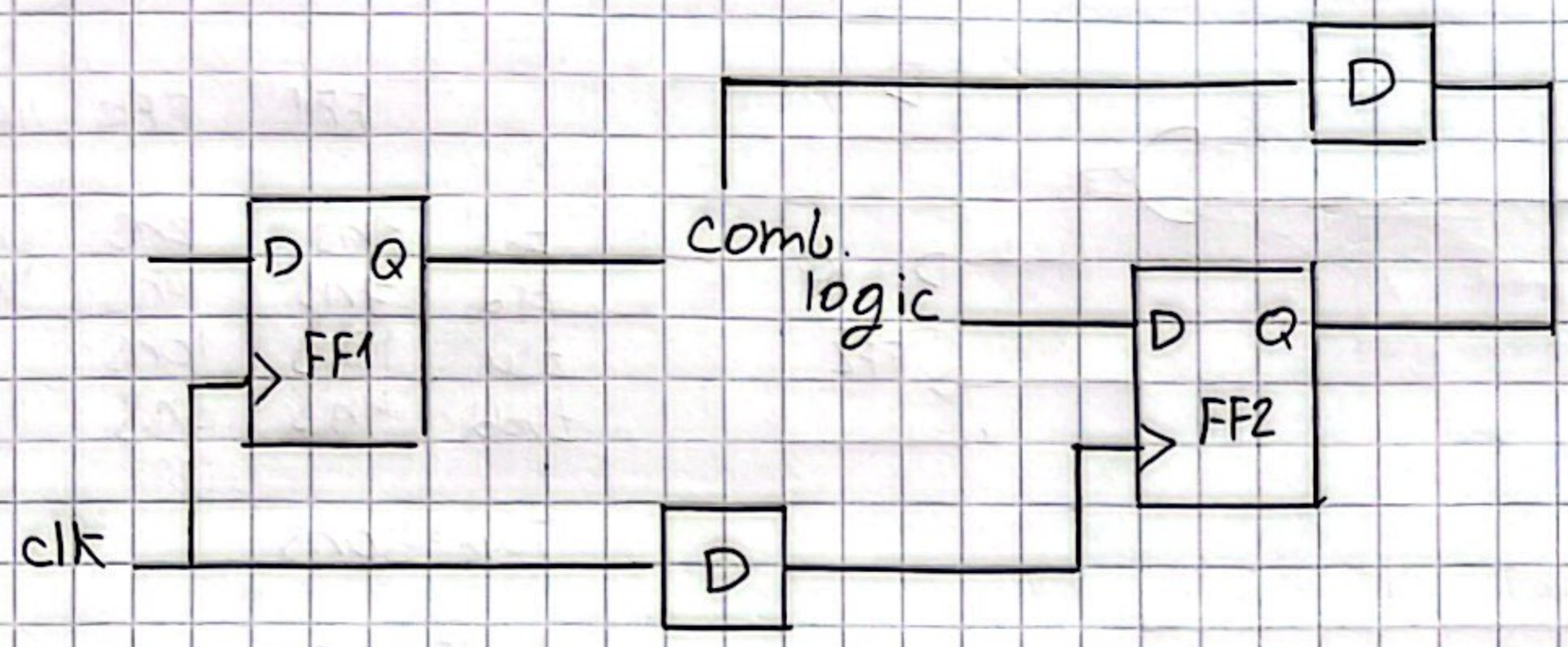
$$\cancel{t_{pd}(CL1)}$$

$$20ns \le T_{min} + t_{skew}$$

$$10ns \le T_{min} - t_{skew}$$

- $t_{skew} = 4ns \rightarrow 16ns \le T_{min}$
- $t_{skew} = 3ns \rightarrow 17ns \le T_{min}$
- $t_{skew} = 6ns \rightarrow 16ns \le T_{min}$
- $t_{skew} = 7ns \rightarrow 17ns \le T_{min}$

Scanned with CamScanner



שאלה:

	FF1	FF2	CL
t_{pd}	10ns	15ns	7ns
t_{cd}	3ns	3ns	2ns
t_{su}	4ns	3ns	
t_{hold}	2ns	1ns	

$t_{cd}(D) = t_{pd}(D) = 3m$

$T_{cycle} = 40ns$

נמצא את מספר המינימלי מ שניתן להכניס בתוך רכיב D מבלי לפגוע בפעולתו של המעגל.

FF1 -> FF2 :

$$t_{pd}(FF1) + t_{pd}(CL) \le T_{cycle} - t_{su}(FF2) + t_{pd}(D)$$

$$-20ns \le 3m$$
$$0 \le m$$

FF2 -> FF1 :

$$t_{pd}(FF2) + t_{pd}(D) + t_{pd}(CL) \le T_{cycle} - t_{su}(FF2)$$

$$3m \le 15$$
$$m \le 5$$

נבדוק עבור $m=4$ אם תגיע hold מתקיים:

- FF2 -> FF2:

$$t_{cd}(FF2) + t_{cd}(D) + t_{cd}(CL) \ge t_{hold}(FF2) \checkmark$$

- FF1 -> FF2:

$$t_{cd}(FF1) + t_{cd}(CL) \ge t_{hold}(FF2) + t_{cd}(D)$$

$$3ns + 2ns \ge 1ns + 4 \cdot 3ns \quad \times$$

נבדוק עבור m אם תגיע hold:

FF2 -> FF2:

$$3ns + 3m + 2ns \ge 1ns$$

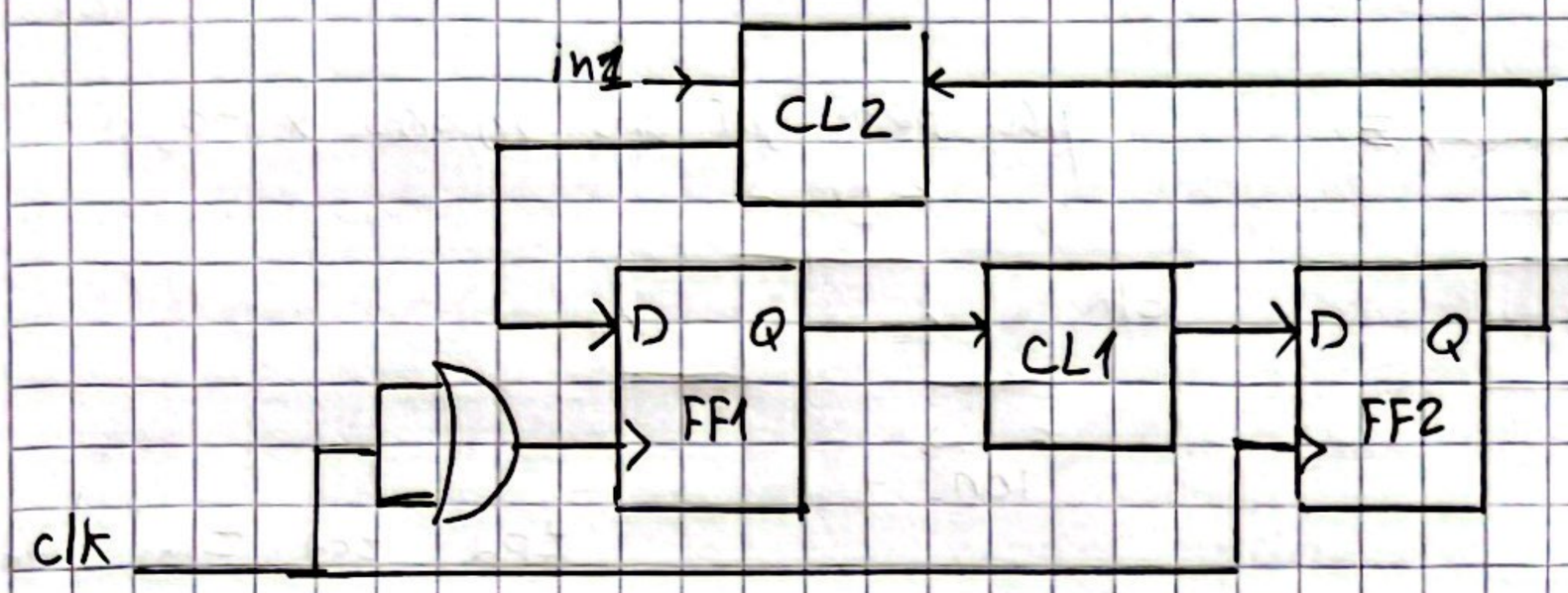
$$m \ge 0$$

FF1 -> FF2:

$$t_{cd}(FF1) + t_{cd}(CL) \ge t_{hold}(FF2) + t_{cd}(D)$$

$$\overset{3ns}{\cancel{10ns}} + 2ns = \overset{5}{\cancel{15ns}} \ge 1ns + 3m \rightarrow m \le 1$$

לכן $m=0$



	FF1	FF2	CL1	CL2	OR
t_{cd}	2	13	5	4	2
t_{pd}	2	18	7	6	2
t_{hold}	1	1			
t_{su}	2	2			

$T_{cyc} = 2GHz$

נמצא אות לוח עדכי t_{cd}/t_{pd} של FF1 בצורה המקיימת פעילות תקינה של המעגל.

* FF1 -> FF2 :

hold : $t_{cd}(OR) + t_{cd}(FF1) + t_{cd}(CL1) \geq t_{hold}(FF2)$

$t_{cd}(FF1) \geq -6ns$

setup :

$t_{pd}(OR) + t_{pd}(FF1) + t_{pd}(CL1) \leq T_{cyc} - t_{su}(FF2)$

$t_{pd}(FF1) \leq 15ns$

* FF2 -> FF1 :

hold : $t_{cd}(FF2) + t_{cd}(CL2) \geq t_{hold}(FF1) + t_{cd}(OR)$

$(13+4)ns = 17ns \geq 3ns = (1+2)ns$ ✓

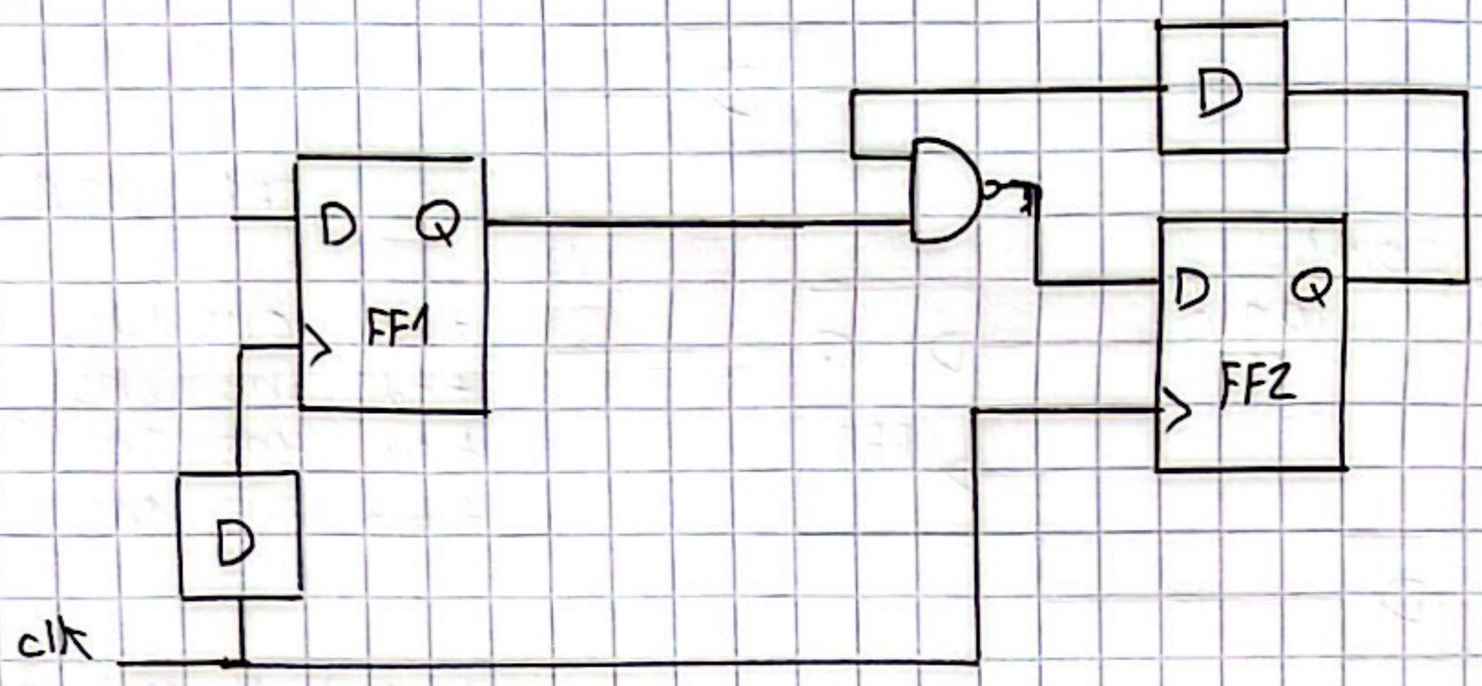
setup :

$t_{pd}(FF2) + t_{pd}(CL2) \leq T_{cyc} - t_{su}(FF1) + t_{pd}(OR)$

$(18+6)ns = 24ns \leq 26ns = (26-2+2)ns$

$-6 \leq t_{cd} \leq t_{pd} \leq 15ns$

Scanned with CamScanner



נתון:

	FF1	FF2	NAND
t_{cd}	1ns	2ns	3ns
t_{pd}	7ns	14ns	5ns
t_{su}	13ns	10ns	
t_{hold}	4ns	5ns	

$T_{cyc} = 50ns$

$t_{cd}(D) = 2m$
$t_{pd}(D) = 4m$

נמצא את מספר המהפכים המקסימלי שניתן להוסיף בחיבור D מבלי לפגוע בפעולת תקינה של המעגל.

נרשום את משוואות ה STA עבור המעגל המעלות במעגל:

* FF1 → FF2 :

hold: $t_{cd}(FF1) + t_{cd}(NAND) + t_{cd}(D) \geq t_{hold}(FF2)$

$$1ns + 2m + 3ns \geq 5ns$$
$$2m \geq 1ns$$
$$m \geq 1$$

setup: $t_{pd}(FF1) + t_{pd}(D) + t_{pd}(NAND) \leq T_{min} - t_{su}(FF2)$

$$7ns + 4m + 5ns \leq 50ns - 10ns$$
$$4m \leq 28$$
$$m \leq 7$$

* FF2 → FF2 :

hold: $t_{cd}(FF2) + t_{cd}(D) + t_{cd}(NAND) \geq t_{hold}(FF2)$

$$2ns + 2m + 3ns \geq 5ns$$
$$m \geq 0$$

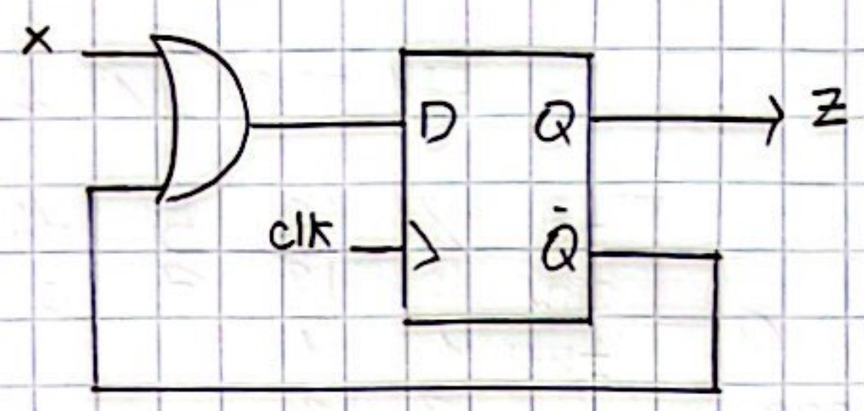
setup: $t_{pd}(FF2) + t_{pd}(D) + t_{pd}(NAND) \leq T_{cycle} - t_{su}(FF2)$

$$14ns + 4m + 5ns \leq 50ns - 10ns$$
$$4m \leq 21$$
$$m \leq 5$$

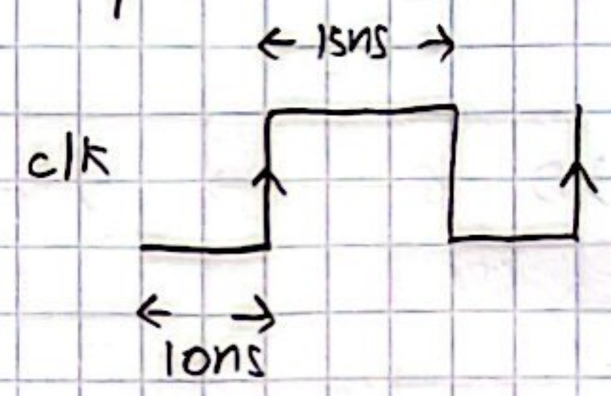
$\rightarrow \quad 0 \leq m \leq 5$

$\underline{m=4}$ נבחר

סעיף ב:



הכניסה X משתנה מתוך לפני עליית שעון



	t_{pd}	t_{cd}	t_{su}	t_{hold}
FF	8ns	3ns	3ns	5ns
OR	6ns	3ns		

נמצא את הזמן הטוב במערכת מעבכון הכניסה X ועד לדגימות Z.

המילה נבדוק תנאי הזמן במערכת.

FF→FF :

hold :

$$t_{cd}(FF) + t_{cd}(OR) \geq t_{hold}(FF)$$

$$5ns \leq 4ns \quad \times$$

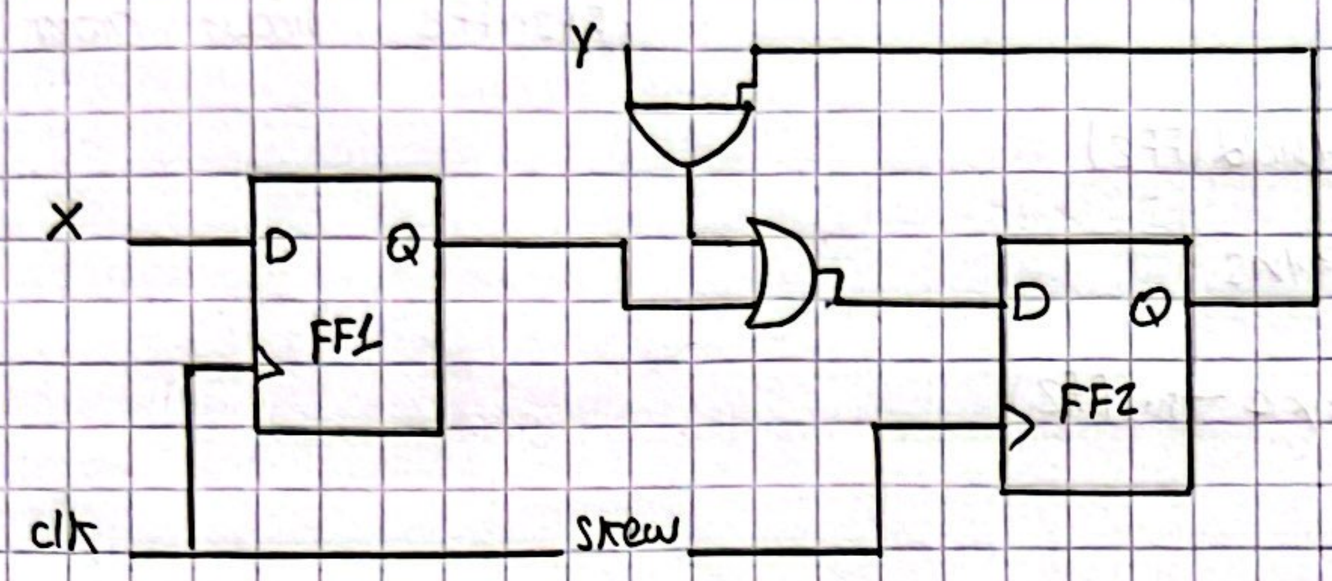
setup :

$$t_{pd}(FF) + t_{pd}(OR) \leq T_{clk} - t_{su}(FF)$$

$$14ns \leq 20ns \quad \checkmark$$

משהו לא מתקיים כאשר עקב אי עמידה בתנאי hold.

שאלה



$T_{cyc} = 25ns$

	FF	OR	AND
t_{cd}	1ns	1ns	1ns
t_{pd}	4ns	3ns	5ns
t_{su}	7ns		
t_{hold}	4ns		

א. עבור שעון של 0, נבדוק אם המעגל עומד בשני תנאים.

FF1 -> FF2:

setup: $t_{pd}(FF1) + t_{pd}(OR) \le T_{cyc} - t_{su}(FF2)$

$7ns \le 18ns$ ✓

hold: $t_{cd}(FF1) + t_{cd}(OR) \ge t_{hold}(FF2)$

$2ns \ge 4ns$ ✗

ב. נמצאו אותם הפרים של שעון עבורו המעגל עומד בתנאי תצמון.

תחילה נבדוק אם מספיק FF2 עומד בתנאי תצמון שם ה delay לא משנה עליו.

FF2 -> FF2:

setup: $t_{pd}(FF2) + t_{pd}(AND) + t_{pd}(OR) \le T_{cycle} - t_{su}(FF2)$

$12ns \le 18ns$ ✓

hold: $t_{cd}(FF2) + t_{cd}(AND) + t_{cd}(OR) \ge t_{hold}(FF2)$

$3ns \ge 4ns$ ✗

המעגל הזה לא מקיים תנאי hold ולכן אין ערך של שעון עבורו המעגל יתפקד בצורה נכונה.

ג. על מנת לפתור את הבעיה נוסיף buffer בין השניים. נמצא את פרישות תצמון על ה buffer.

נוסיף אותה ה buffer בכניסה לפלופ FF2.

מישות תנאי תצמון.

FF1 -> FF2:

$t_{cd}(FF1) + t_{cd}(\overset{OR}{AND}) + t_{cd}(buffer) \ge t_{hold}(FF2) + t_{skew}$

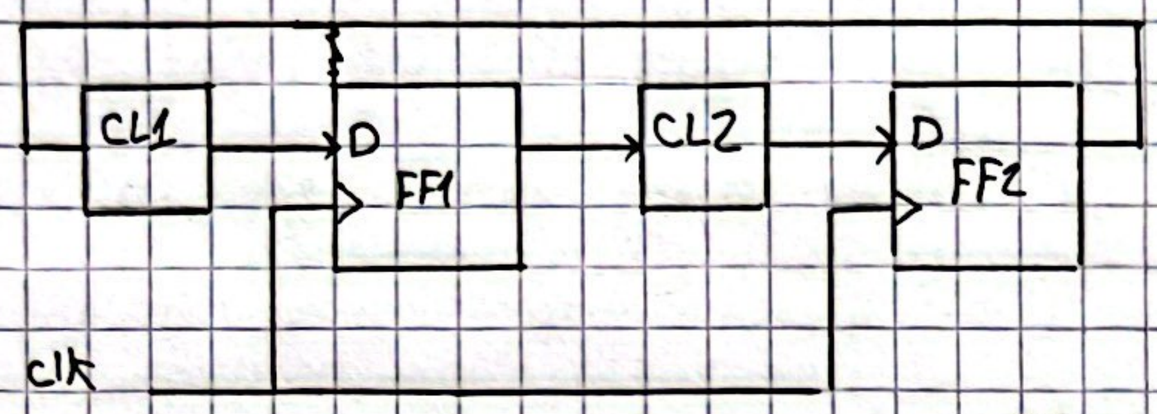
$2ns + t(buffer) \ge 5ns \rightarrow t_{buff} \ge 3ns$

~~FF2 -> FF2~~: $t_{pd}(FF1) + t_{pd}(OR) + t(buff) \le T_{cycle} - t_{su}(FF2) + t_{skew}$

$7ns + t_{buff} \le 19ns \rightarrow t_{buff} \le 12ns$

Scanned with CamScanner

שאלה:



	t_{hold}	t_{su}	t_{pd}	t_{cd}
FF1	4ns	3ns	4ns	1ns
FF2	4ns	4ns	7ns	2ns
CL1			4ns	1ns

נמצא את ערכי CL2 אשר יאפשרו הפרד מקסימלי בשעון.

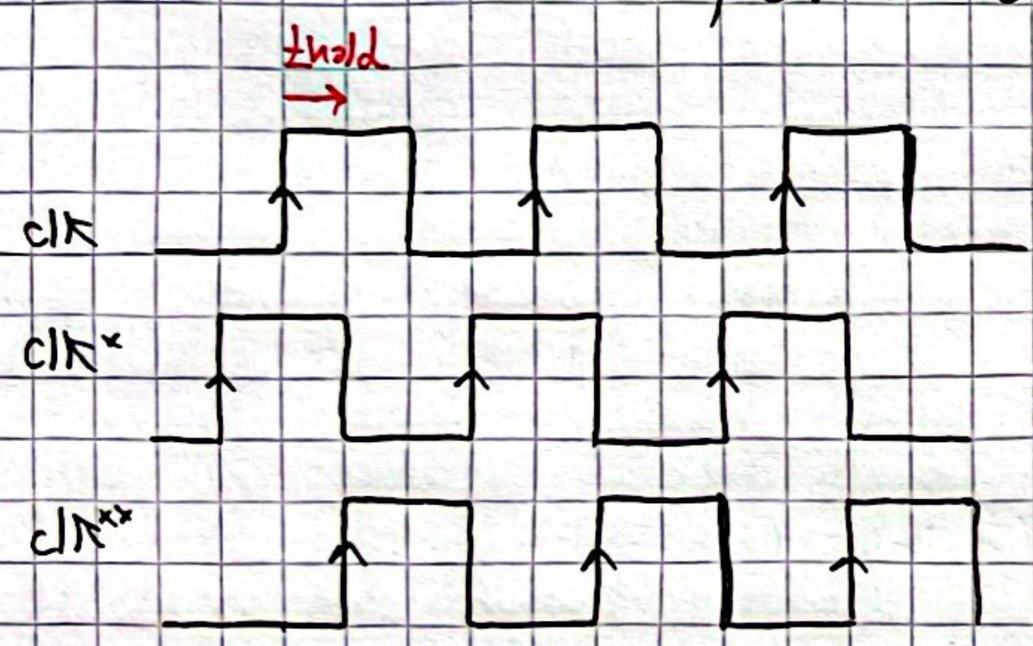
יהיה נבדוק קיום תנאים של משך קבוע:

FF2 -> FF1:

hold: $t_{cd}(FF2) + t_{cd}(CL1) \geq t_{hold}(FF1)$

$3ns \geq 4ns$ ✗

בשעון לא עומד בתנאי. בתצמון על מנת לפתור את הבעיה, ניתן:



* להוסיף buffers בכניסה לבלוק מס' 1.
* להוסיף skew חיובי לFF2.
* להוסיף buffers בין FF1 ל FF2.