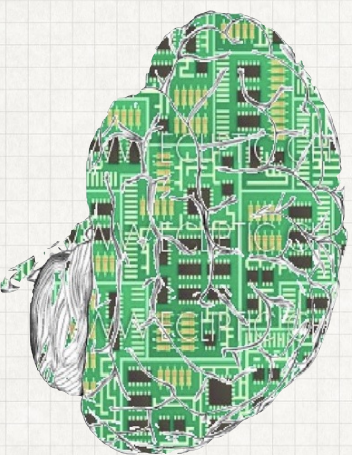


DEPARTAMENTO DE
COMPUTACIÓN

UNRC
2016

ORGANIZACIÓN DEL PROCESADOR



ORGANIZACIÓN DEL PROCESADOR

EQUIPO DOCENTE

Germán Regis
gregis@dc.exa.unrc.edu.ar

Laura Tardivo
lauratardivo@dc.exa.unrc.edu.ar

Guillermo Frascetti
gfrascetti@dc.exa.unrc.edu.ar

Mariana Frutos
mfrutos@dc.exa.unrc.edu.ar

ORGANIZACIÓN DEL PROCESADOR

SOBRE LA ASIGNATURA

• Dictado de Clases:

Teóricos:

Martes de 10 a 12hs (Aula 31 pab. 4)

Jueves de 10 a 12hs (Aula 6 pab. 4)

Prácticos (Lab 101):

Mañana: Martes y Jueves de 8 a 10hs (Guillermo y Laura)

Tarde: Martes de 14 a 16hs. y Viernes de 16 a 18hs.

(Mariana y Laura)

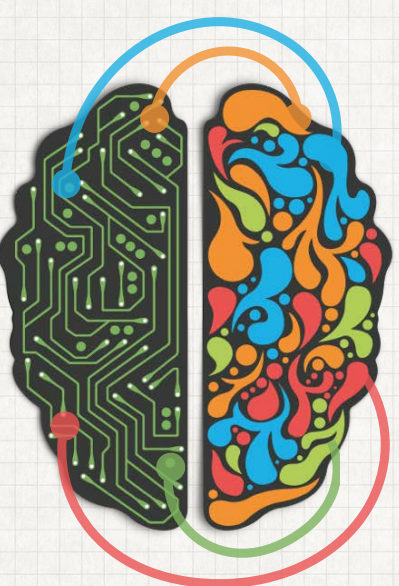
• Exámenes de Laboratorio

• Exámenes Parciales (martes 27/09 - jueves 10/11)

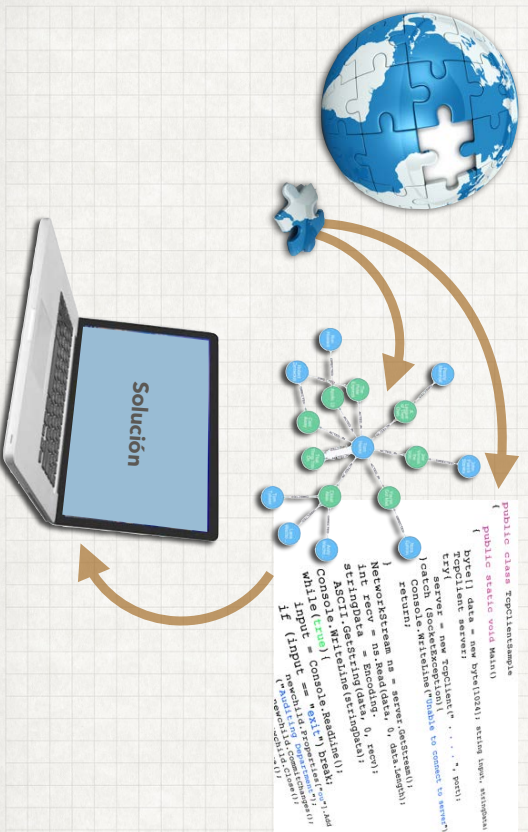
• Promoción (Nota parcial >6 y promedio 7, Labs aprobados, proyecto)

ORGANIZACIÓN DEL PROCESADOR

VISION DE LA ASIGNATURA

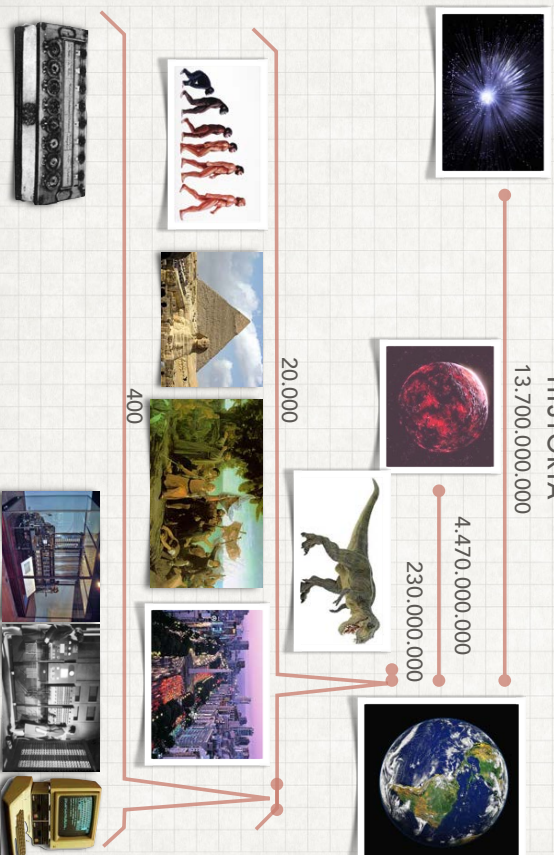


ORGANIZACIÓN DEL PROCESADOR REPRESENTACIÓN Y MANIPULACIÓN DE INFORMACIÓN



ORGANIZACIÓN DEL PROCESADOR

HISTORIA



ORGANIZACIÓN DEL PROCESADOR

HISTORIA - PREVIO A 1500

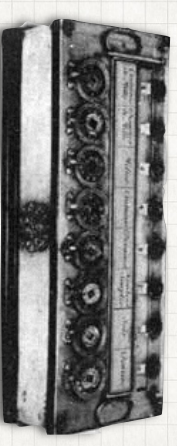


ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS MECÁNICAS (1642-1945)



Blaise Pascal



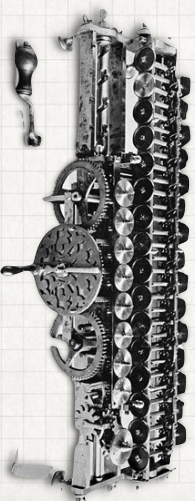
Pascalina (1640)

ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS MECÁNICAS (1642-1945)



Gottfried Wilhelm von Leibniz



Stepped Reckoner (1671)

ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS MECÁNICAS (1642-1945)



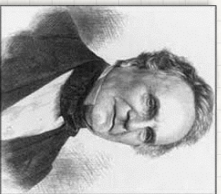
Herman Hollerith



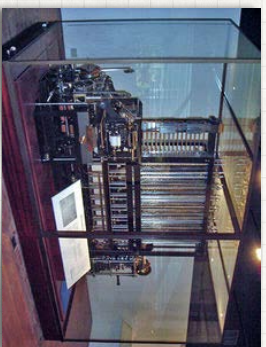
Hollerith card (1890)

ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS MECÁNICAS (1642-1945)



Charles Babbage

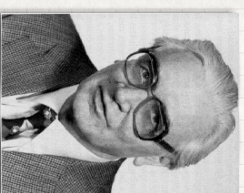


Difference Engine (1822)

Diseñó la **Máquina Analítica** (Analytical Engine), se considera el primer diseño de una computadora similar a las actuales. Tenía Unidad Aritmética, de Control y Memoria. Podía realizar cualquier operación aritmética. Estaba pensada para ser instruida mediante *tarjetas perforadas*. Nunca llegó a construirla.

ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS TUBOS DE VACÍO (1945-1953)



Konrad Zuse



Z1 1935

- Diseñó un lenguaje de alto nivel "Plankalkül"

ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS TUBOS DE VACÍO (1945-1953)



John Atanasoff



Atanassoff Berry Computer (ABC) 1942

ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS CON TRANSISTORES (1954-1965)



1er Transistor
(1948)



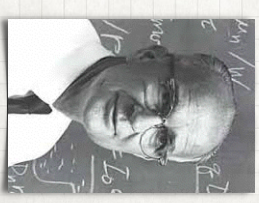
Última generación 10nm (2016)



John Bardeen



Walter Brattain



William Shockley

ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS TUBOS DE VACÍO (1945-1953)



John Mauchly



John Presper Eckert



Electronic Numerical Integrator And Computer (ENIAC) - 1946
Pesaba 27 tns, 17468 tubos de vacío y consumía 174 kilowats

ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS CON TRANSISTORES (1954-1965)

IBM

digital

The
univac
system



7094



PDP-1



Univac 1100

ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS CON CIRCUITOS INTEGRADOS (1965-1980)

SSI (Small Scale Integration) pequeño nivel: de 10 a 100 transistores

MSI (Medium Scale Integration) medio: 101 a 1.000 transistores

LSI (Large Scale Integration) grande: 1.001 a 10.000 transistores

VLSI (Very Large Scale Integration) muy grande: 10.001 a 100.000 transistores

ULSI (Ultra Large Scale Integration) ultra grande: 100.001 a 1.000.000 transistores

GLSI (Giga Large Scale Integration) giga grande: más de un millón de transistores



Jack S. Kilby



Geoffrey Dummer



Robert Noyce

ORGANIZACIÓN DEL PROCESADOR

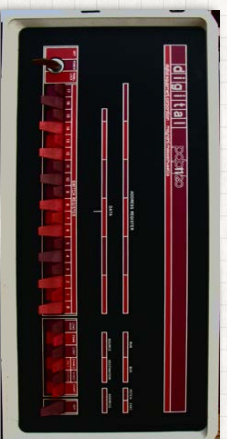
HISTORIA - MÁQUINAS CON CIRCUITOS INTEGRADOS (1965-1980)

IBM



IBM 360

digital



PDP 11

ORGANIZACIÓN DEL PROCESADOR

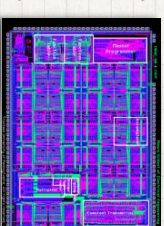
HISTORIA - MÁQUINAS CON CIRCUITOS INT. VLSI (1980 -)



167 m², 27 tns, 174.000 Watts

1997

5.29mm



16150 grms, <10 Watts 7.44mm

ORGANIZACIÓN DEL PROCESADOR

LEY DE MOORE - INTEL (PC)

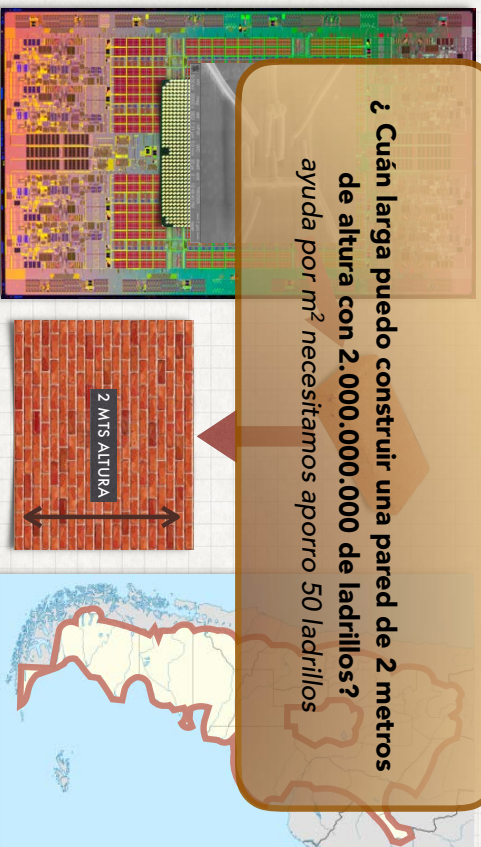


1971 1974 1978 1982 1985 1993 1997 2000 2008 2010 2015

ORGANIZACIÓN DEL PROCESADOR

DIMENSIONES ASOMBROSAS

¿ Cuán larga puedo construir una pared de 2 metros de altura con 2.000.000.000 de ladrillos? ayuda por m² necesitamos ahorro 50 ladrillos

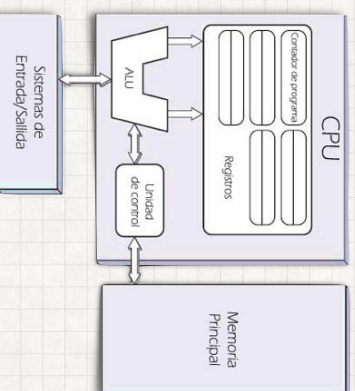


ORGANIZACIÓN DEL PROCESADOR

ARQUITECTURA VON NEUMANN



John von Neumann



- CPU : Unidad Aritmético Lógica, Unidad de Control, Registros, Program Counter
- Memoria
- Entrada Salida
- Capacidad de ejecutar instrucciones secuencialmente
- Tiene un único bus entre el CPU, Memoria y Entrada Salida

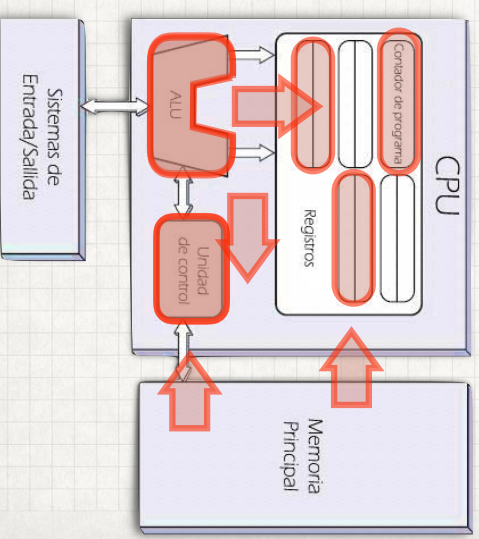
ORGANIZACIÓN DEL PROCESADOR

ARQUITECTURA VON NEUMANN (FETCH-DECODE-EXECUTE CYCLE)

Fetch: La Unidad de control obtiene de la memoria la próxima instrucción que indica el contador de programa

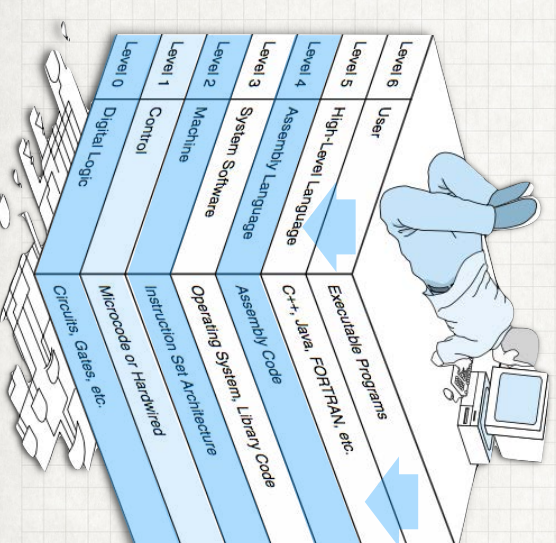
Decode: La Unidad de control obtiene de la memoria (si fuere necesario) y descodifica la instrucción para poder ser ejecutada por la ALU

Execute: La ALU ejecuta (calcula) el resultado de la operación y lo almacena en un registro o memoria



ORGANIZACIÓN DEL PROCESADOR

NIVELES ABSTRACTOS DE COMPUTADORAS MODERNAS



ORGANIZACIÓN DEL PROCESADOR

ACERCA DE MÚLTIPLOS Y SUB MÚLTIPLOS

b^{16}	peta (P)	-	1.000.000.000.000.000
b^{12}	tera (T)	-	1.000.000.000.000
b^9	giga (G)	-	1.000.000.000
b^6	mega (M)	-	1.000.000
b^3	kilo (K)	-	1.000
b^{-3}	mili (m)	-	0,001
b^{-6}	micro (μ)	-	0,000001
b^{-9}	nano (n)	-	0,000000001
b^{-12}	pico (p)	-	0,000000000001

SUBMÚLTIPLOS

MÚLTIPLOS

ORGANIZACIÓN DEL PROCESADOR

CÓDIGOS



Louis Braille

a	b	c	d	e	f	g	h	i	j	k
.	:	..	”	’	:
l	m	n	o	p	q	r	s	t	u	v
:	:	:	:	:	:	:	:	:	:	:
w	x	y	z							
:	:

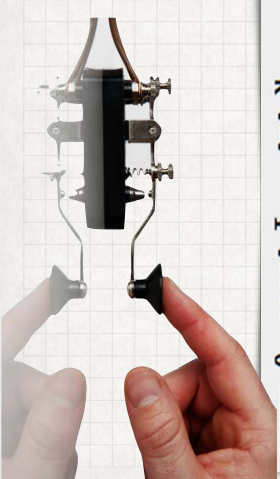
ORGANIZACIÓN DEL PROCESADOR

CÓDIGOS

A	..	J	..	---	S	...	2
B	...	K	..	---	T	-	3
C	---	L	...	---	U	..	4
D	---	M	---	---	V	...	5
E	.	N	-	.	W	---	6
F	...	O	---	---	X	..	7
G	---	P	---	---	Y	...	8
H	...	Q	---	---	Z	...	9
I	..	R	..	---	1	0



Samuel F. B. Morse



ORGANIZACIÓN DEL PROCESADOR

CÓDIGOS



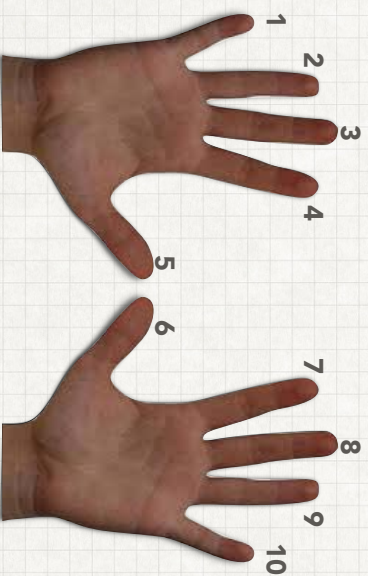
Código de Barras



Código QR

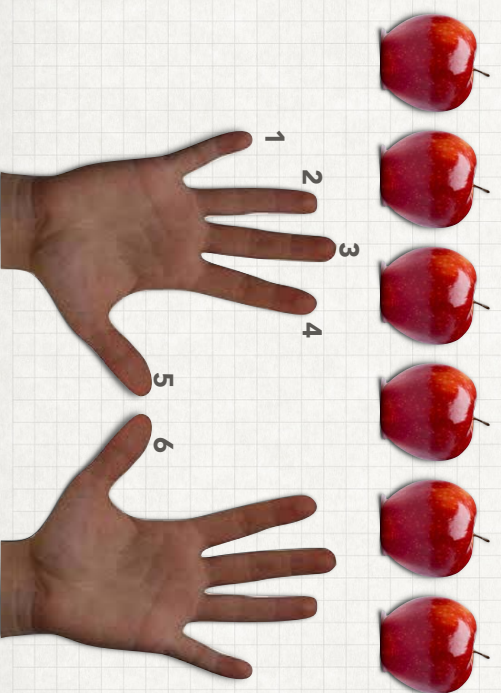
ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS



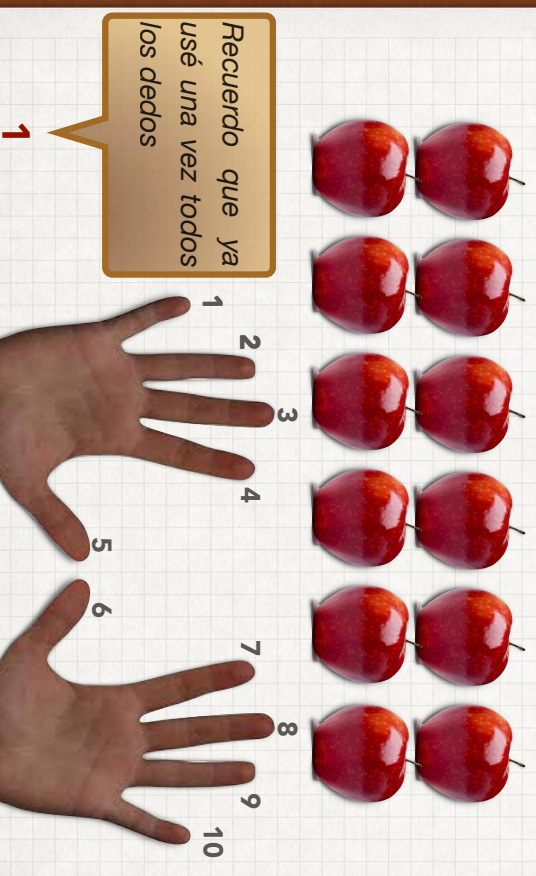
ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS



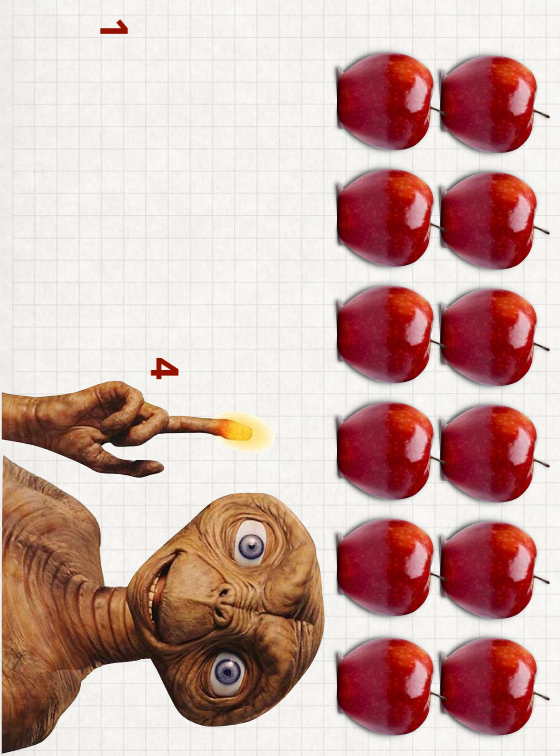
ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS



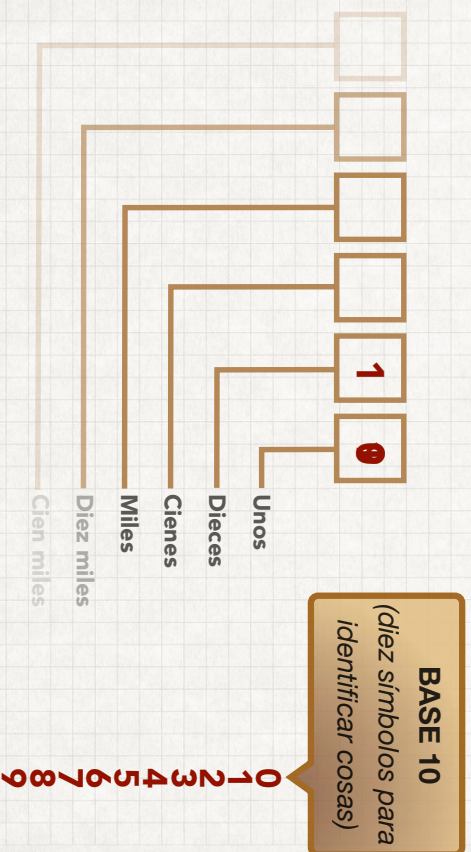
ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS



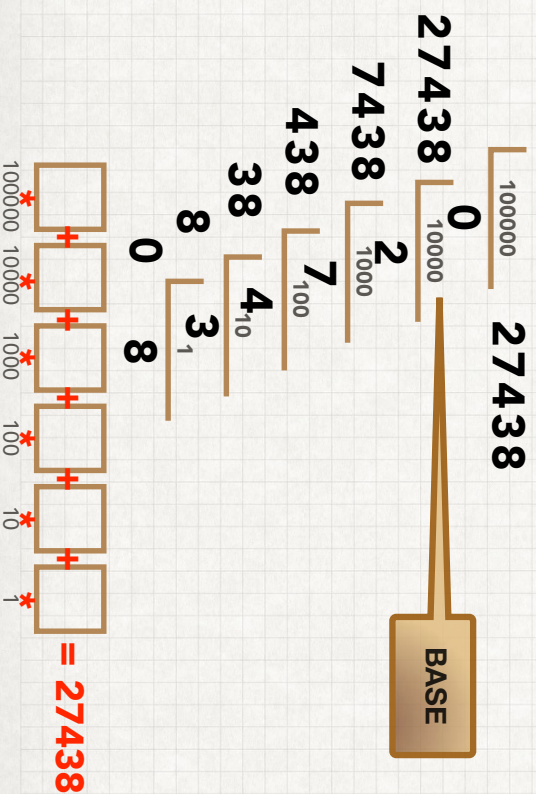
ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS POSICIONALES



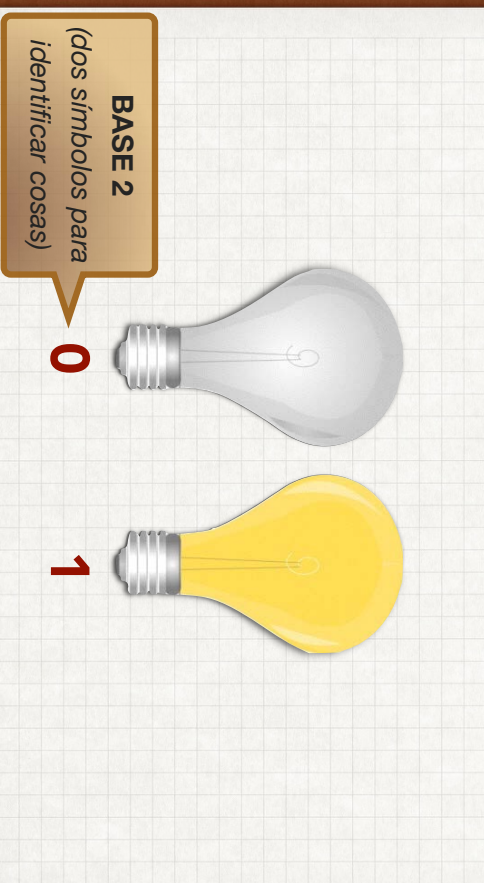
ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS POSICIONALES



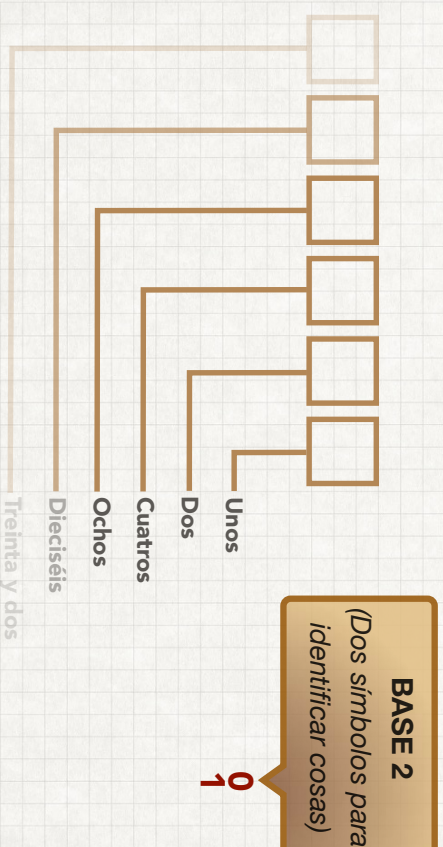
ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS POSICIONALES



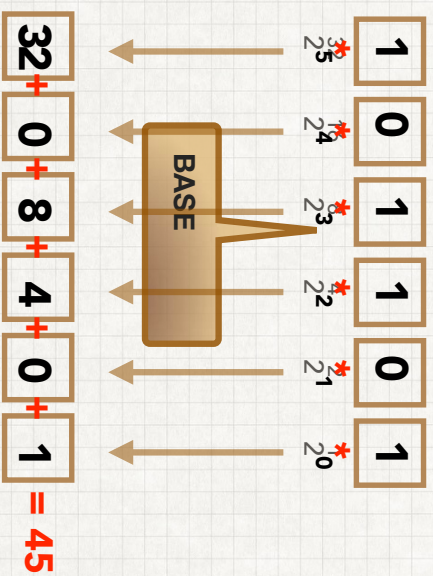
ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS POSICIONALES



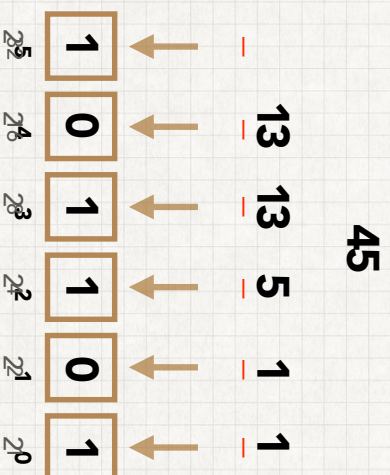
ORGANIZACIÓN DEL PROCESADOR

CONVERSIONES DE SISTEMAS NUMÉRICOS POSICIONALES



ORGANIZACIÓN DEL PROCESADOR

CONVERSIONES DE SISTEMAS NUMÉRICOS POSICIONALES



ORGANIZACIÓN DEL PROCESADOR

OCTAL Y HEXADECIMAL

HEXADECIMAL	OCTAL	BINARIO
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	10	1000
9	11	1001
A	12	1010
B	13	1011
C	14	1100
D	15	1101
E	16	1110
F	17	1111

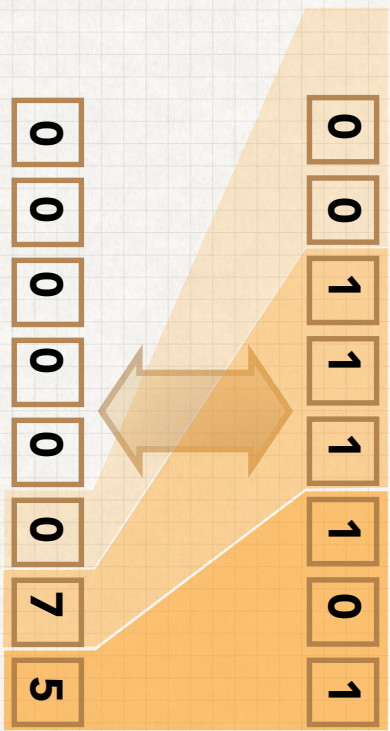
ORGANIZACIÓN DEL PROCESADOR

OCTAL Y HEXADECIMAL

HEXADECIMAL	OCTAL	BINARIO
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	10	1000
9	11	1001
A	12	1010
B	13	1011
C	14	1100
D	15	1101
E	16	1110
F	17	1111

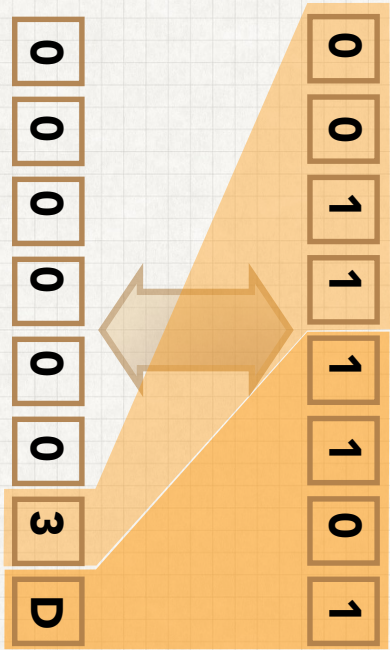
ORGANIZACIÓN DEL PROCESADOR

BINARIO VS OCTAL



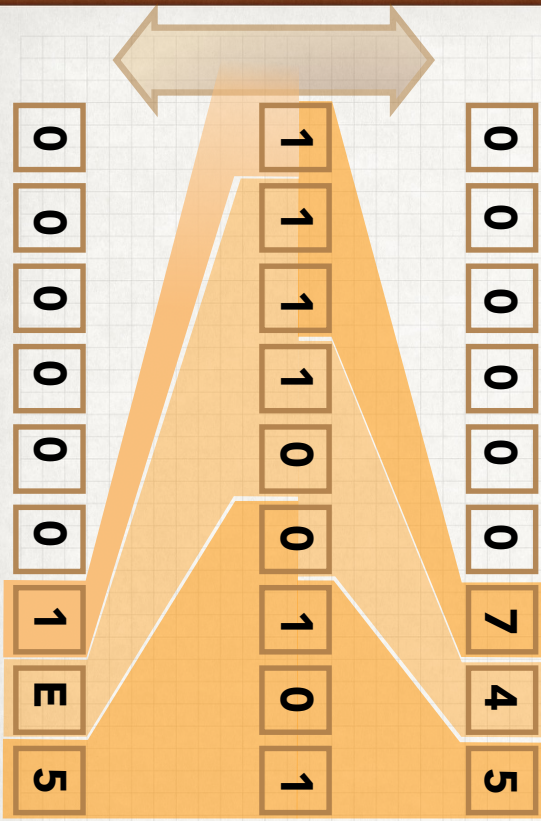
ORGANIZACIÓN DEL PROCESADOR

BINARIO VS HEXADECIMAL



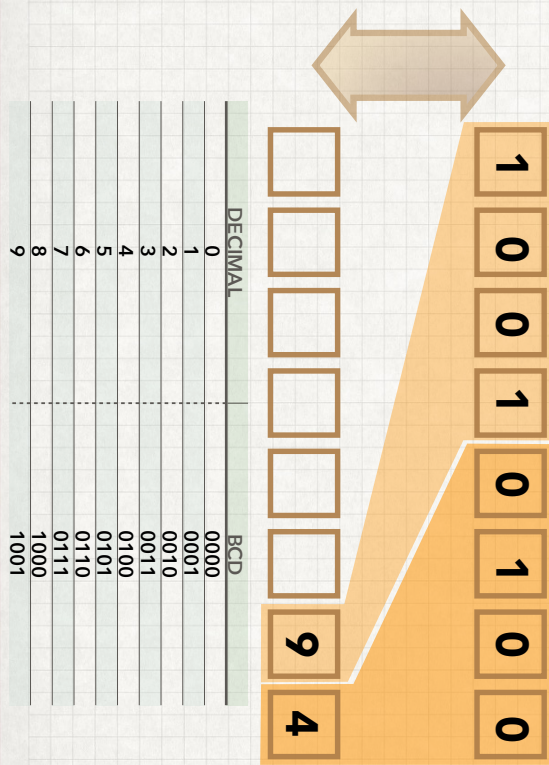
ORGANIZACIÓN DEL PROCESADOR

OCTAL VS HEXADECIMAL



ORGANIZACIÓN DEL PROCESADOR

BINARY-CODED DECIMAL (BCD)



ORGANIZACIÓN DEL PROCESADOR

OPERACIONES - SUMA

CARRY

Si no tengo
más lugar
sería ERROR

$$\begin{array}{r} 2962 \\ + 7951 \\ \hline 1019113 \end{array}$$

ORGANIZACIÓN DEL PROCESADOR

OPERACIONES - RESTA

$$\begin{array}{r} 0001 \\ + 0110 \\ \hline 0111 \end{array}$$

ORGANIZACIÓN DEL PROCESADOR

OPERACIONES - SUMA

$$\begin{array}{r} 0111 \\ + 0110 \\ \hline 1111 \end{array}$$