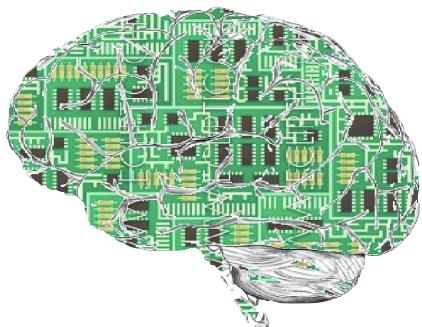


## ORGANIZACIÓN DEL PROCESADOR



1

## ORGANIZACIÓN DEL PROCESADOR

EQUIPO DOCENTE

Germán Regis  
[gregis@dc.exa.unrc.edu.ar](mailto:gregis@dc.exa.unrc.edu.ar)

Guillermo Fraschetti  
[gfraschetti@dc.exa.unrc.edu.ar](mailto:gfraschetti@dc.exa.unrc.edu.ar)

Laura Tardivo  
[lauratardivo@dc.exa.unrc.edu.ar](mailto:lauratardivo@dc.exa.unrc.edu.ar)

Pablo Ameri (Ayudante alumno)  
[poameri@gmail.com](mailto:poameri@gmail.com)

Álvaro Cuesta (Ayudante alumno)  
[alvarosergiocuesta@gmail.com](mailto:alvarosergiocuesta@gmail.com)

2

## ORGANIZACIÓN DEL PROCESADOR

SOBRE LA ASIGNATURA

### • Dictado de Clases:

#### Teóricos:

Martes de 10 a 12hs

Jueves de 10 a 12hs

#### Prácticos:

Mañana: Martes y Jueves de 8 a 10hs

Tarde: Martes de 14 a 16hs. y Viernes de 16 a 18hs.

### • Entregas de Trabajos

### • Exámenes Parciales

### • Proyecto

### • Promoción:

- Nota mínima >6
- Promedio 7 o más (50% o más de cada tema en Parciales)
- Entregas aprobadas,
- Proyecto (defensa individual)

3

## ORGANIZACIÓN DEL PROCESADOR

SOBRE LA ASIGNATURA

### Plataforma Virtual (CLASSROOM):

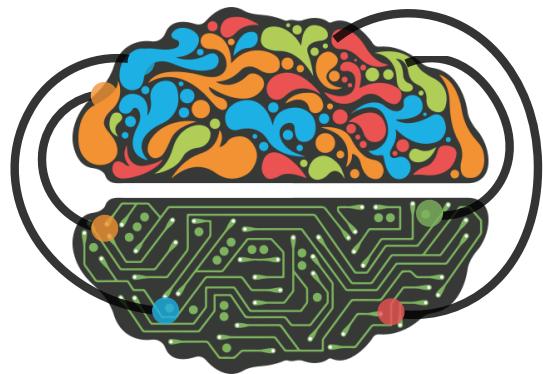
<https://classroom.google.com/c/Mzc0NTkyNDc5OTNa?cjc=t4xryv2>

Mensajería (SLACK):  
[dc-exa-unrc.slack.com](https://dc-exa-unrc.slack.com)

4

## ORGANIZACIÓN DEL PROCESADOR

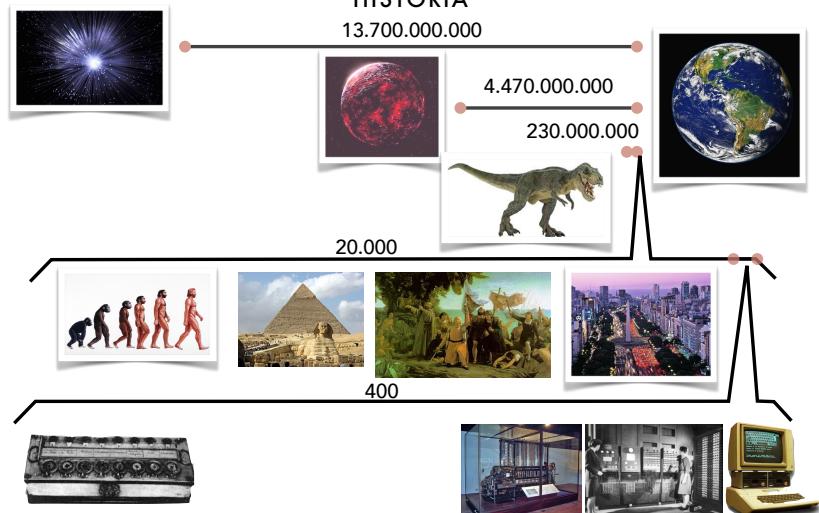
VISION DE LA ASIGNATURA



5

## ORGANIZACIÓN DEL PROCESADOR

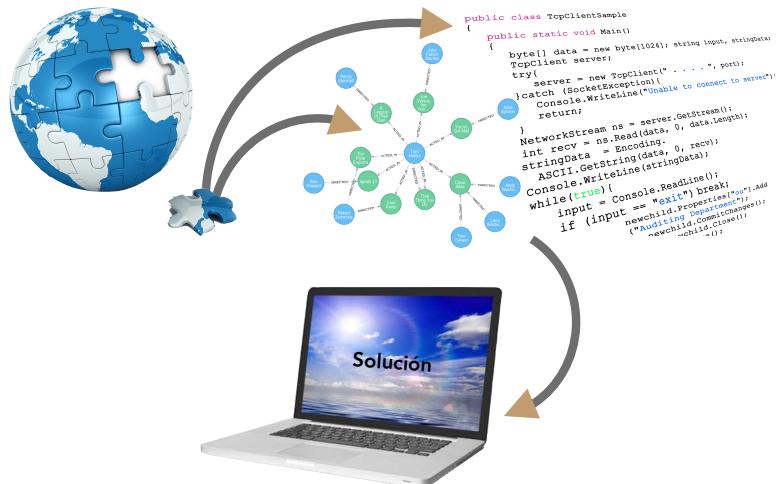
HISTORIA



7

## ORGANIZACIÓN DEL PROCESADOR

REPRESENTACIÓN Y MANIPULACIÓN DE INFORMACIÓN



6

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - PREVIO A 1500

I II III IV V  
VI VII VIII  
IX X L C M  
Números Romanos



Ábaco

8

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS MECÁNICAS (1642-1945)



Blaise Pascal



Pascalina (1640)

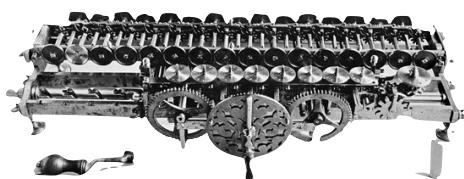
9

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS MECÁNICAS (1642-1945)



Gottfried Wilhelm von Leibniz

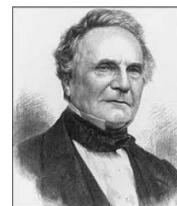


Stepped Reckoner (1671)

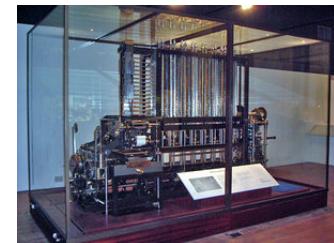
10

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS MECÁNICAS (1642-1945)



Charles Babbage



Difference Engine (1822)

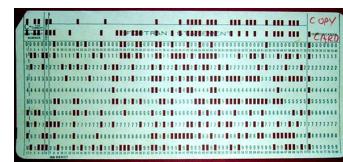
11

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS MECÁNICAS (1642-1945)



Herman Hollerith



Hollerith card (1890)

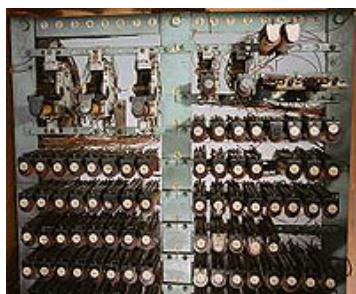
12

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS TUBOS DE VACÍO (1945-1953)



Konrad Zuse



Z1 1935

- Diseñó un lenguaje de alto nivel "Plankalkül"

13

## ORGANIZACIÓN DEL PROCESADOR

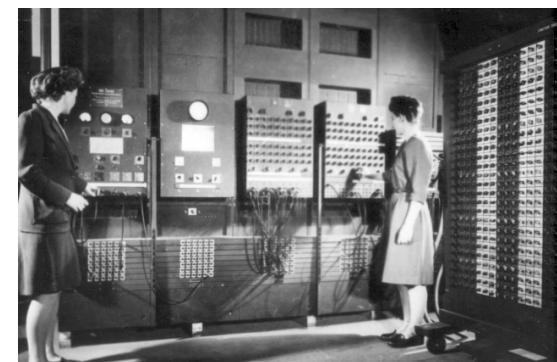
HISTORIA - MÁQUINAS TUBOS DE VACÍO (1945-1953)



John Mauchly



John Presper Eckert

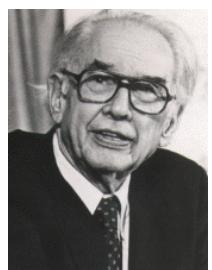


Electronic Numerical Integrator And Computer (ENIAC) - 1946  
Pesaba 27 tns, 17468 tubos de vacío y consumía 174 kilowatts

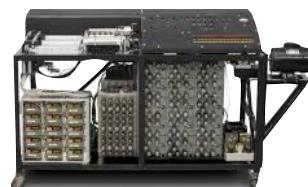
15

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS TUBOS DE VACÍO (1945-1953)



John Atanasoff



Atanassoff Berry Computer (ABC) 1942

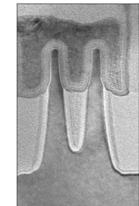
14

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS CON TRANSISTORES (1954-1965)



1er Transistor  
(1948)



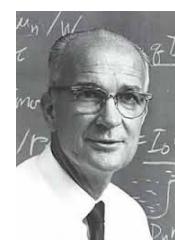
Última generación 10nm (2016)



John Bardeen



Walter Brattain



William Shockley

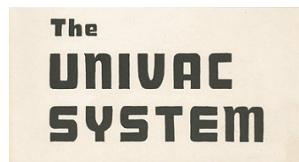
16

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS CON TRANSISTORES (1954-1965)

**IBM**

**digital**



7094



PDP-1



Univac 1100

17

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS CON CIRCUITOS INTEGRADOS (1965-1980)

**IBM**

**digital**



IBM 360



PDP 11

19

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS CON CIRCUITOS INTEGRADOS (1965-1980)

SSI (Small Scale Integration) pequeño nivel: de 10 a 100 transistores

MSI (Medium Scale Integration) medio: 101 a 1.000 transistores

LSI (Large Scale Integration) grande: 1.001 a 10.000 transistores

VLSI (Very Large Scale Integration) muy grande: 10.001 a 100.000 transistores

ULSI (Ultra Large Scale Integration) ultra grande: 100.001 a 1.000.000 transistores

GLSI (Giga Large Scale Integration) giga grande: más de un millón de transistores



Jack S. Kilby



Geoffrey Dummer

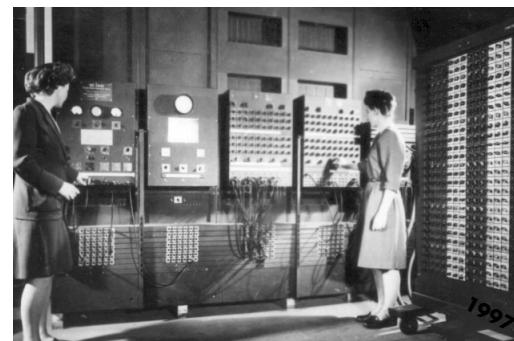


Robert Noyce

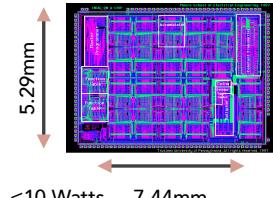
18

## ORGANIZACIÓN DEL PROCESADOR

HISTORIA - MÁQUINAS CON CIRCUITOS INT. VLSI (1980 - )



167 m<sup>2</sup>, 27 tns, 174.000 Watts

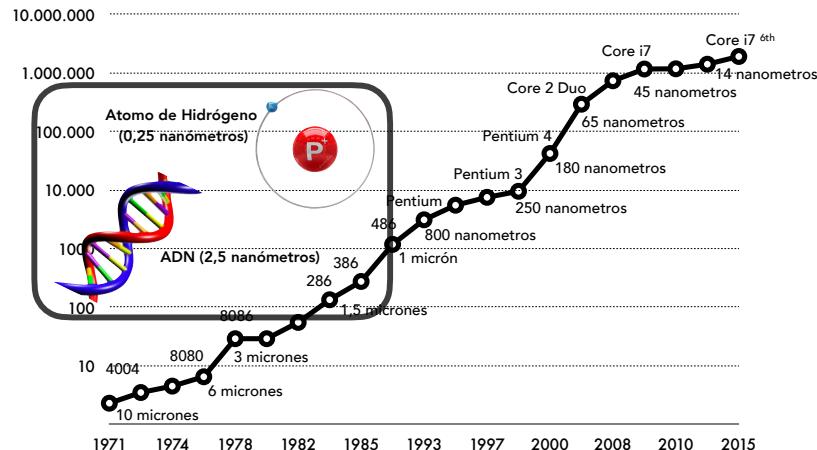


16150 grms, <10 Watts 7.44mm

20

## ORGANIZACIÓN DEL PROCESADOR

LEY DE MOORE - INTEL (PC)



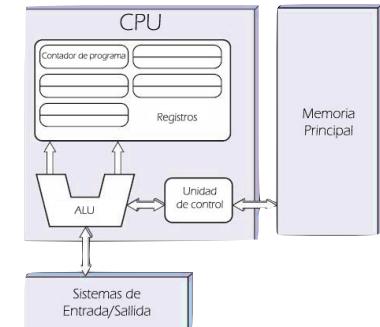
21

## ORGANIZACIÓN DEL PROCESADOR

ARQUITECTURA VON NEUMANN



John von Neumann

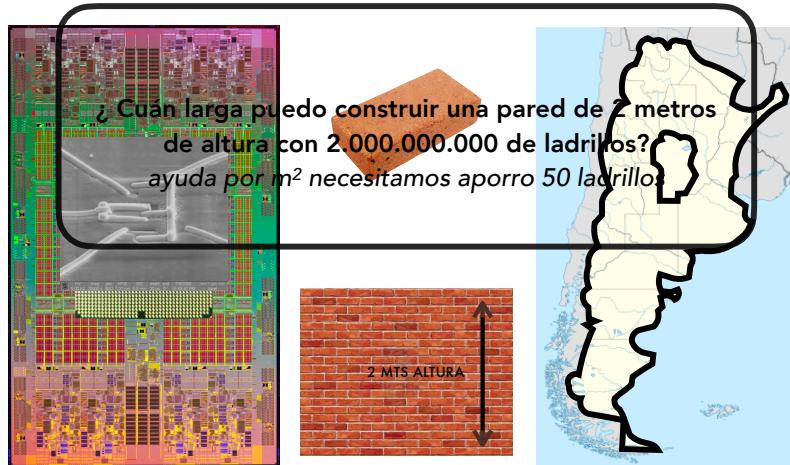


- CPU : Unidad Aritmético Lógica, Unidad de Control, Registros, Program Counter
- Memoria
- Entrada Salida
- Capacidad de ejecutar instrucciones secuencialmente
- Tiene un único bus entre el CPU, Memoria y Entrada Salida

23

## ORGANIZACIÓN DEL PROCESADOR

DIMENSIONES ASOMBROSAS



22

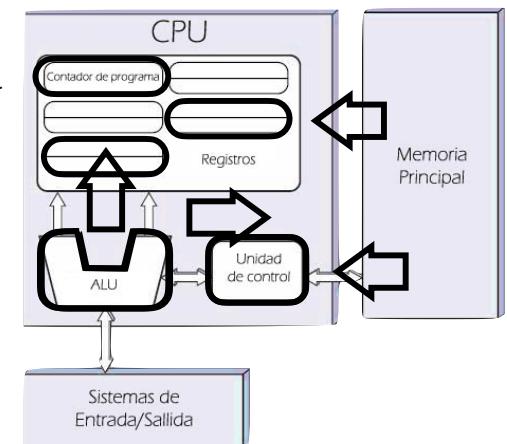
## ORGANIZACIÓN DEL PROCESADOR

ARQUITECTURA VON NEUMANN (FETCH-DECODE-EXECUTE CYCLE)

**Fetch:** La Unidad de control obtiene de la memoria la próxima instrucción que indica el **contador de programa**

**Decode:** La Unidad de control obtiene de la memoria (si fuere necesario) y descodifica la instrucción para poder ser ejecutada por la ALU

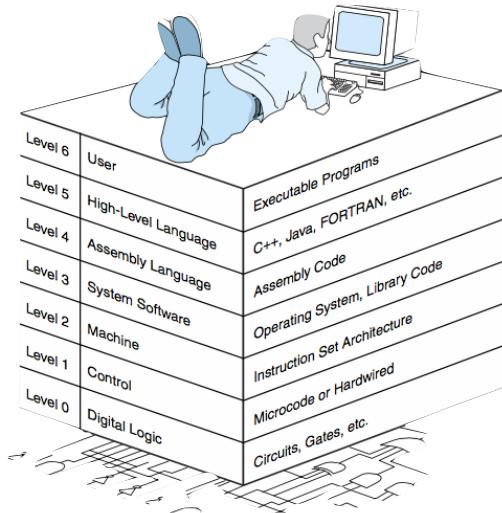
**Execute:** La ALU ejecuta (calcula) el resultado de la operación y lo almacena en un registro o memoria



24

## ORGANIZACIÓN DEL PROCESADOR

### NIVELES ABSTRACTOS DE COMPUTADORAS MODERNAS



25

## ORGANIZACIÓN DEL PROCESADOR

### CÓDIGOS



Louis Braille

a	b	c	d	e	f	g	h	i	j	k
.	:	"	:	"	:	:	"	.	:	:
l	m	n	o	p	q	r	s	t	u	v
:	:	:	:	:	:	:	:	:	:	:
w	x	y	z							
:	:	:	:							

27

## ORGANIZACIÓN DEL PROCESADOR

### ACERCA DE MÚLTIPLOS Y SUB MÚLTIPLOS

$b^{16}$ peta (P)	-	1.000.000.000.000.000
$b^{12}$ tera (T)	-	1.000.000.000.000
$b^9$ giga (G)	-	1.000.000.000
$b^6$ mega (M)	-	1.000.000
$b^3$ kilo (K)	-	1.000

### MÚLTIPLOS

$b^{-3}$ mili (m)	-	0,001
$b^{-6}$ micro ( $\mu$ )	-	0,000001
$b^{-9}$ nano (n)	-	0,000000001
$b^{-12}$ pico (p)	-	0,000000000001

### SUBMÚLTIPLOS

26

## ORGANIZACIÓN DEL PROCESADOR

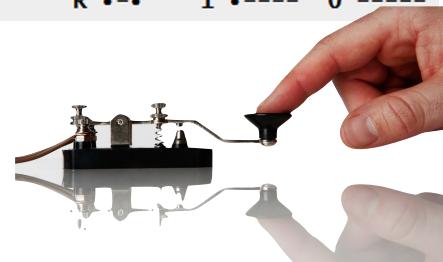
### CÓDIGOS



Samuel F. B. Morse

A	--	J	-----	S	---	2	-----
B	---*	K	---	T	-	3	-----
C	---*	L	---*	U	---	4	-----
D	-*	M	--	V	----	5	-----
E	*	N	-*	W	---	6	-----
F	---	O	--	X	----	7	-----
G	--*	P	---	Y	---	8	-----
H	----	Q	---	Z	---	9	-----
I	..	R	-*	1	-----	0	-----

28



## ORGANIZACIÓN DEL PROCESADOR

### CÓDIGOS



Código de Barras



Código QR

29

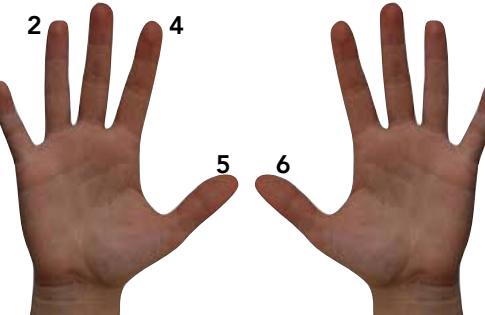
## ORGANIZACIÓN DEL PROCESADOR

### SISTEMAS NUMÉRICOS



3  
2  
1

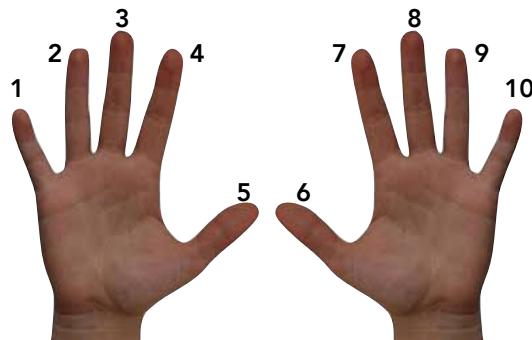
5  
6



31

## ORGANIZACIÓN DEL PROCESADOR

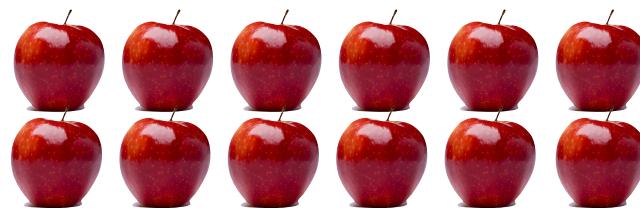
### SISTEMAS NUMÉRICOS



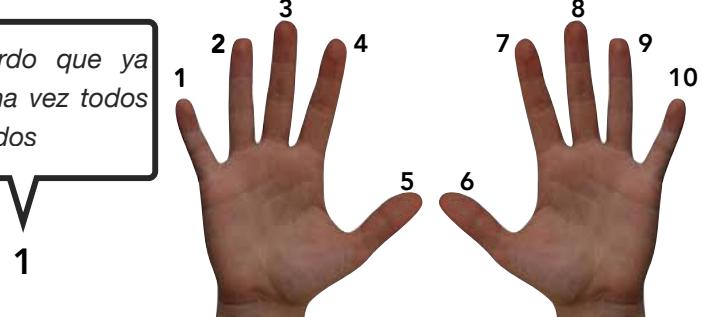
30

## ORGANIZACIÓN DEL PROCESADOR

### SISTEMAS NUMÉRICOS



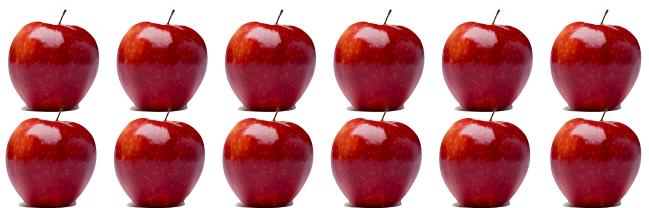
Recuerdo que ya  
usé una vez todos  
los dedos



32

## ORGANIZACIÓN DEL PROCESADOR

### SISTEMAS NUMÉRICOS

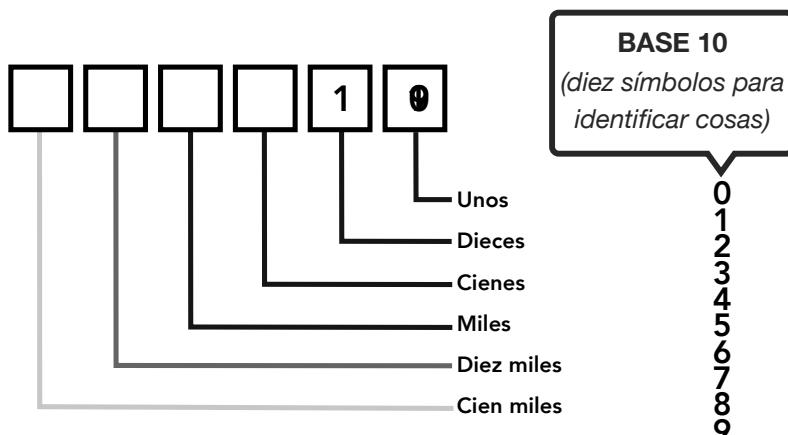


1

33

## ORGANIZACIÓN DEL PROCESADOR

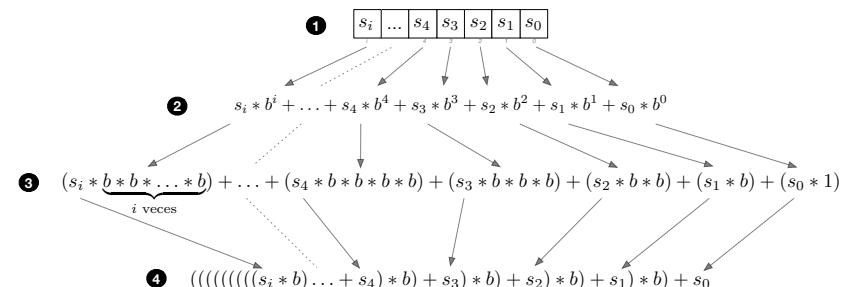
### SISTEMAS NUMÉRICOS POSICIONALES



34

## ORGANIZACIÓN DEL PROCESADOR

### SISTEMAS NUMÉRICOS POSICIONALES DESCOMPOSICIÓN



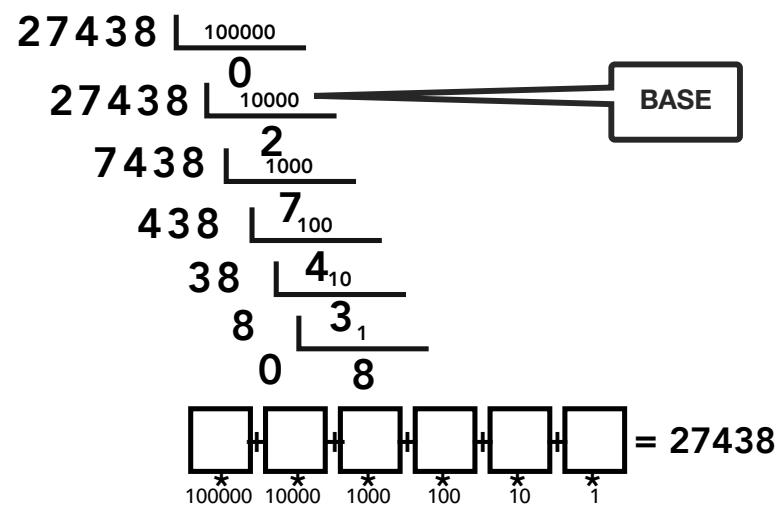
35

## ORGANIZACIÓN DEL PROCESADOR

### SISTEMAS NUMÉRICOS POSICIONALES

## ORGANIZACIÓN DEL PROCESADOR

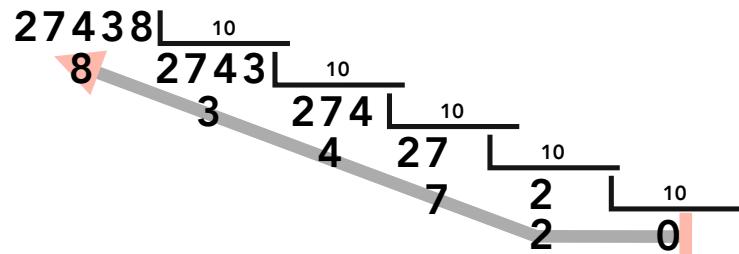
### SISTEMAS NUMÉRICOS POSICIONALES



36

## ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS POSICIONALES



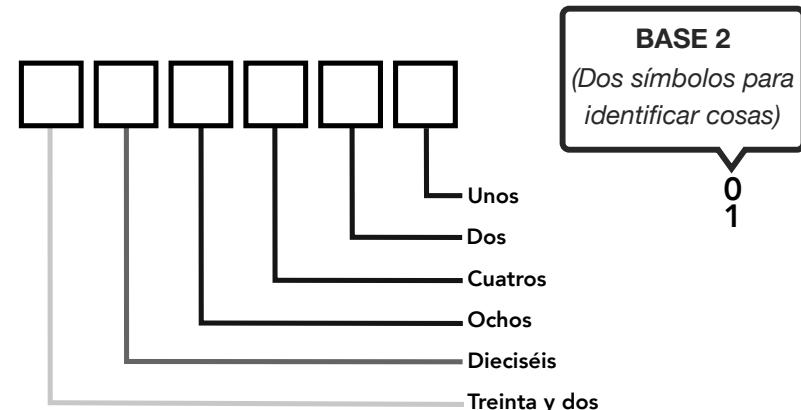
$$\boxed{0} + \boxed{2} + \boxed{7} + \boxed{4} + \boxed{3} + \boxed{8} = 27438$$

\* 100000   \* 10000   \* 1000   \* 100   \* 10   \* 1

37

## ORGANIZACIÓN DEL PROCESADOR

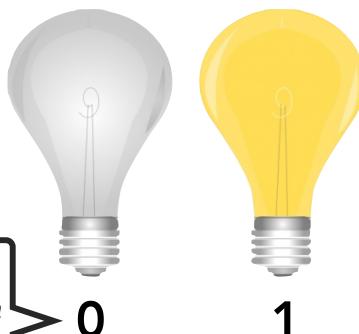
SISTEMAS NUMÉRICOS POSICIONALES



39

## ORGANIZACIÓN DEL PROCESADOR

SISTEMAS NUMÉRICOS POSICIONALES

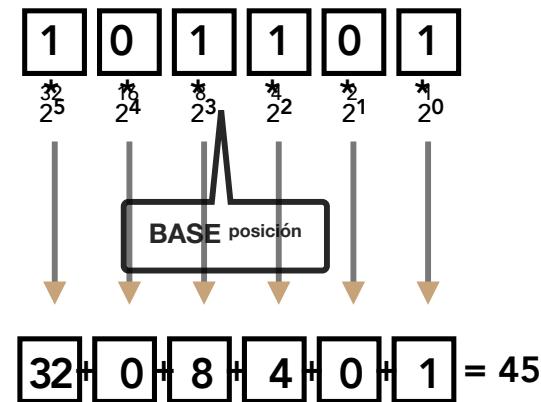


**BASE 2**  
(dos símbolos para  
identificar cosas)

38

## ORGANIZACIÓN DEL PROCESADOR

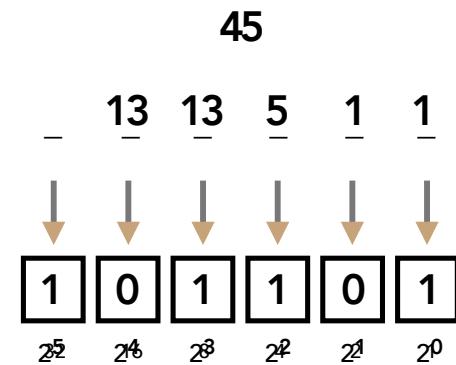
CONVERSIONES DE SISTEMAS NUMÉRICOS POSICIONALES



40

## ORGANIZACIÓN DEL PROCESADOR

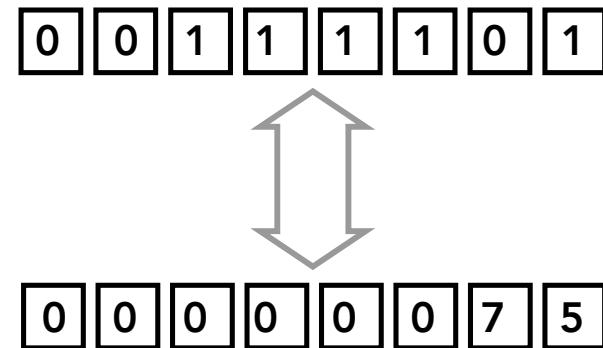
CONVERSIONES DE SISTEMAS NUMÉRICOS POSICIONALES



41

## ORGANIZACIÓN DEL PROCESADOR

BINARIO VS OCTAL



43

## ORGANIZACIÓN DEL PROCESADOR

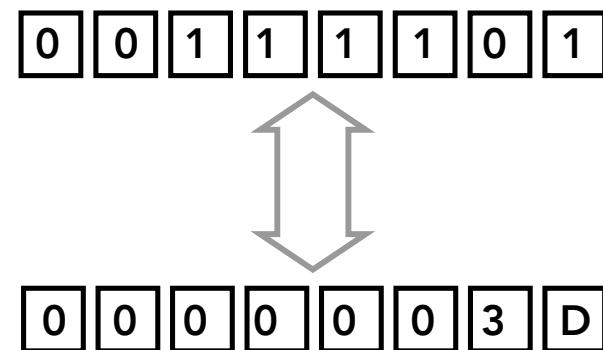
OCTAL Y HEXADECIMAL

HEXADECIMAL	OCTAL	BINARIO
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	10	1000
9	11	1001
A	12	1010
B	13	1011
C	14	1100
D	15	1101
E	16	1110
F	17	1111

42

## ORGANIZACIÓN DEL PROCESADOR

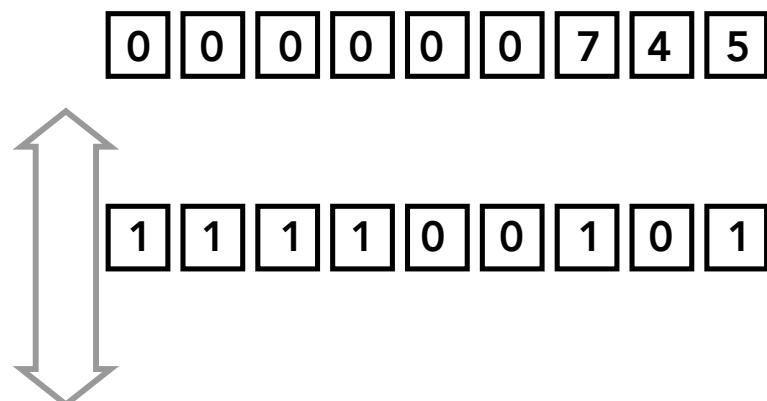
BINARIO VS HEXADECIMAL



44

## ORGANIZACIÓN DEL PROCESADOR

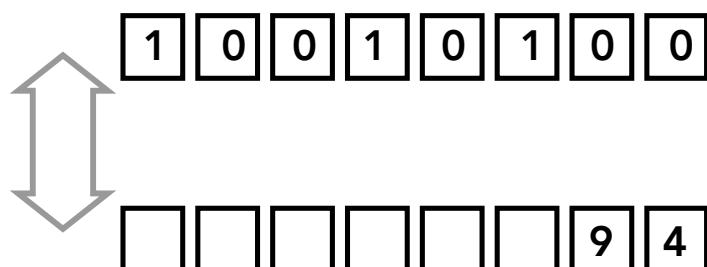
OCTAL VS HEXADECIMAL



45

## ORGANIZACIÓN DEL PROCESADOR

BINARY-CODED DECIMAL (BCD)



DECIMAL	BCD
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

46