



**Universidad Nacional Autónoma de
México**

Facultad de Ingeniería

Diseño Digital VLSI



Examen Parcial

Integrantes:

- Aguilar Luna Gabriel Daniel
- Jiménez Juárez Jesús
- Torres Galván José Antonio

Grupo teoría: 4

Profesor: Dr. Roberto Giovanni Ramirez Chavarria

Fecha de entrega: Septiembre 12, 2019

Semestre 2020-1

Introducción

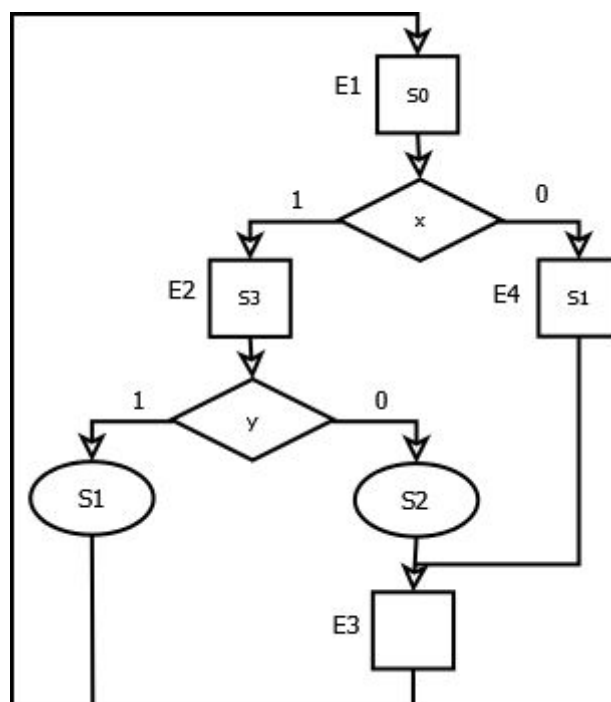
Las máquinas de estado finito, más conocidas por su acrónimo en inglés FSM (Finite State Machine), se utilizan ampliamente en el diseño de circuitos digitales (además de en otros ámbitos de la ingeniería, como la programación), para describir el comportamiento de un sistema según el valor de sus entradas y de cómo van cambiando en el tiempo.

Es decir que vamos a tener un conjunto de estados, unas entradas y unas salidas. Según la entrada que tengamos iremos recorriendo los estados y asignando las salidas, dependiendo estas de la secuencia de entradas que haya habido en el sistema.

Planteamiento del problema

Diseñe un circuito secuencial a partir de la siguiente señal ASM

1. Carta ASM



Número de entradas : 2 (0,1)

Número de estados: 4 (E1,E2,E3,E4)

Número de salidas: 4 (S0,S1,S2,S3)

Codificación de estados:

E1=00

E2=01

E3=10

E4=11

2. Tablas de transiciones

Edo. Presente		Entradas		Edo. Siguiente		Salidas			
Q1	Q0	Y	X	Q1+	Q0+	S3	S2	S1	S0
0	0	0	0	1	1	0	0	0	1
0	0	0	1	0	1	0	0	0	1
0	0	1	0	1	1	0	0	0	1
0	0	1	1	0	1	0	0	0	1
0	1	0	0	1	0	1	1	0	0
0	1	0	1	1	0	1	1	0	0
0	1	1	0	0	0	1	0	1	0
0	1	1	1	0	0	1	0	1	0
1	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0
1	1	0	0	1	0	0	0	1	0
1	1	0	1	1	0	0	0	1	0
1	1	1	0	1	0	0	0	1	0
1	1	1	1	1	0	0	0	1	0

3. Funciones lógicas

a. $S0 = Q0+ = \neg Q1 \neg Q0$

Q1 Q0		00	01	11	10
y x		1	0	0	0
00		1	0	0	0
01		1	0	0	0
11		1	0	0	0
10		1	0	0	0

b. $Q1+ = \neg Q1 \neg Q0 \neg x + Q0 \neg y + Q1 Q0$

Q1 Q0		00	01	11	10
y x		1	1	1	0
00		1	1	1	0
01		0	1	1	0
11		0	0	1	0
10		1	0	1	0

c. $S1 = Q0 y + Q0 Q1$

Q1 Q0		00	01	11	10
y x		0	0	1	0
00		0	0	1	0
01		0	0	1	0
11		0	1	1	0
10		0	1	1	0

d. $S2 = \neg Q1 Q0 \neg y$

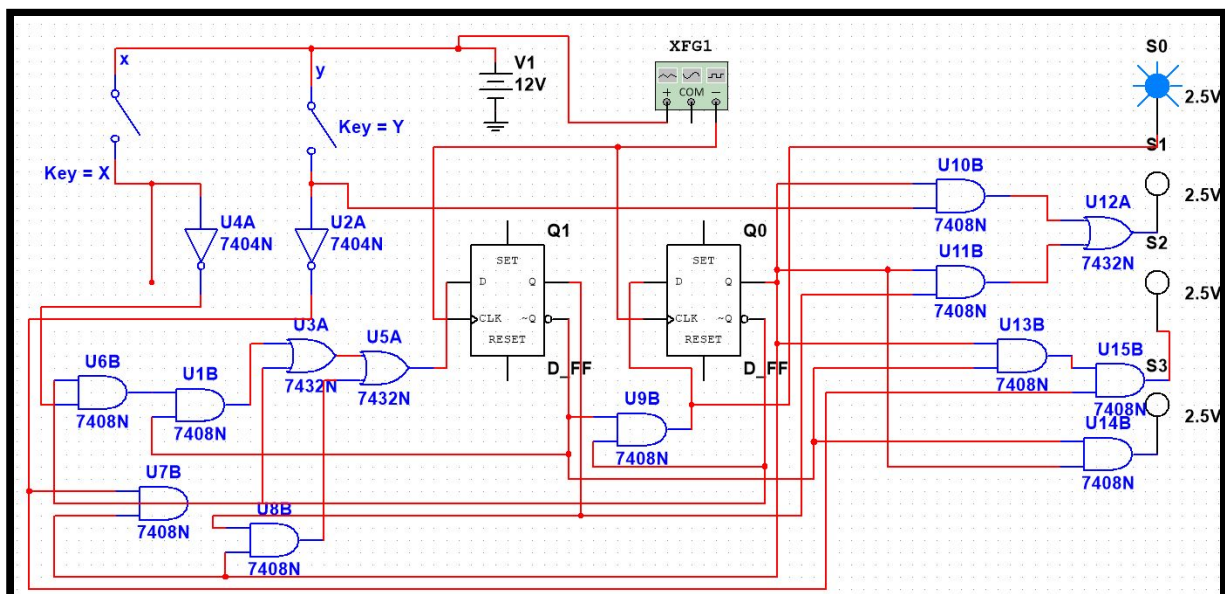
Q1 Q0 y x	00	01	11	10
00	0	1	0	0
01	0	1	0	0
11	0	0	0	0
10	0	0	0	0

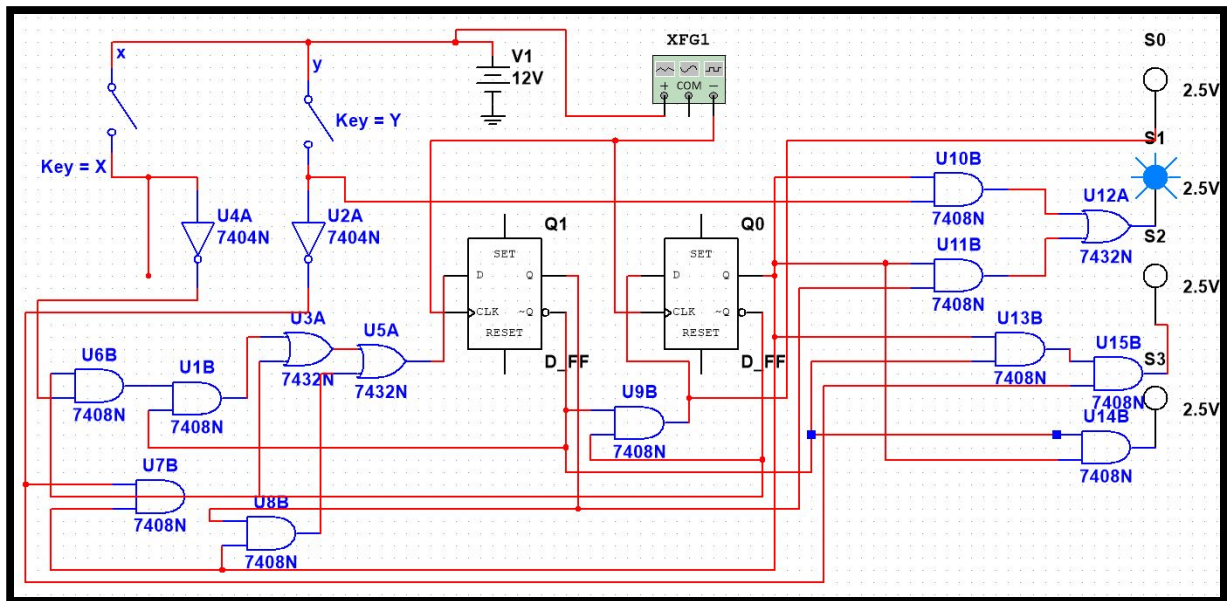
e. $S3 = \neg Q1 Q0$

Q1 Q0 y x	00	01	11	10
00	0	1	0	0
01	0	1	0	0
11	0	1	0	0
10	0	1	0	0

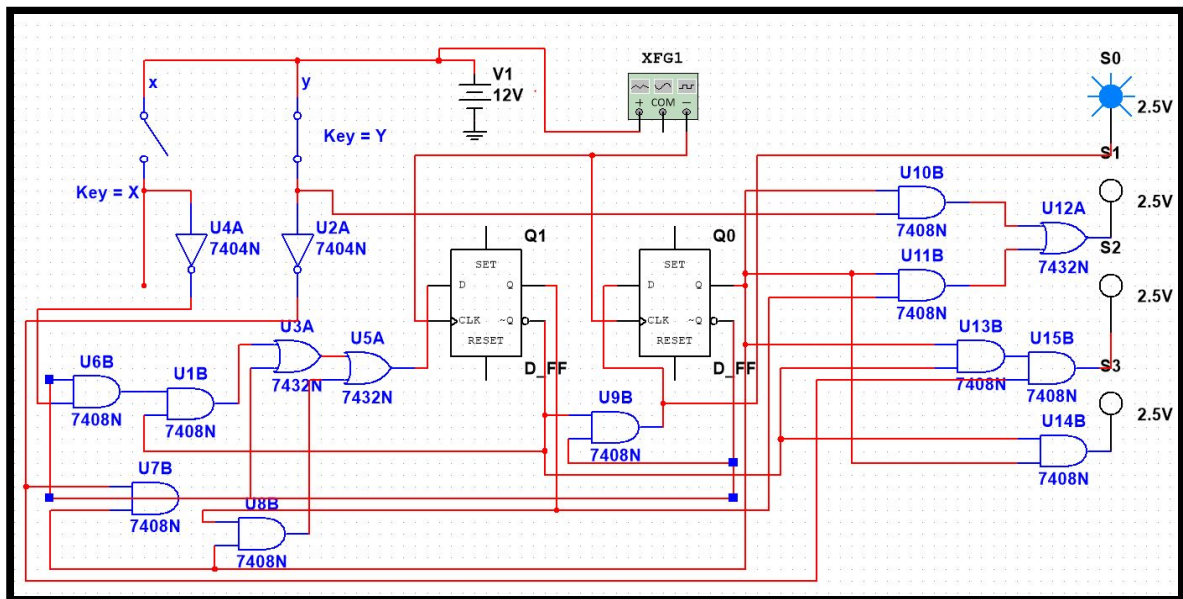
4. Circuito con biestables (Simulación)

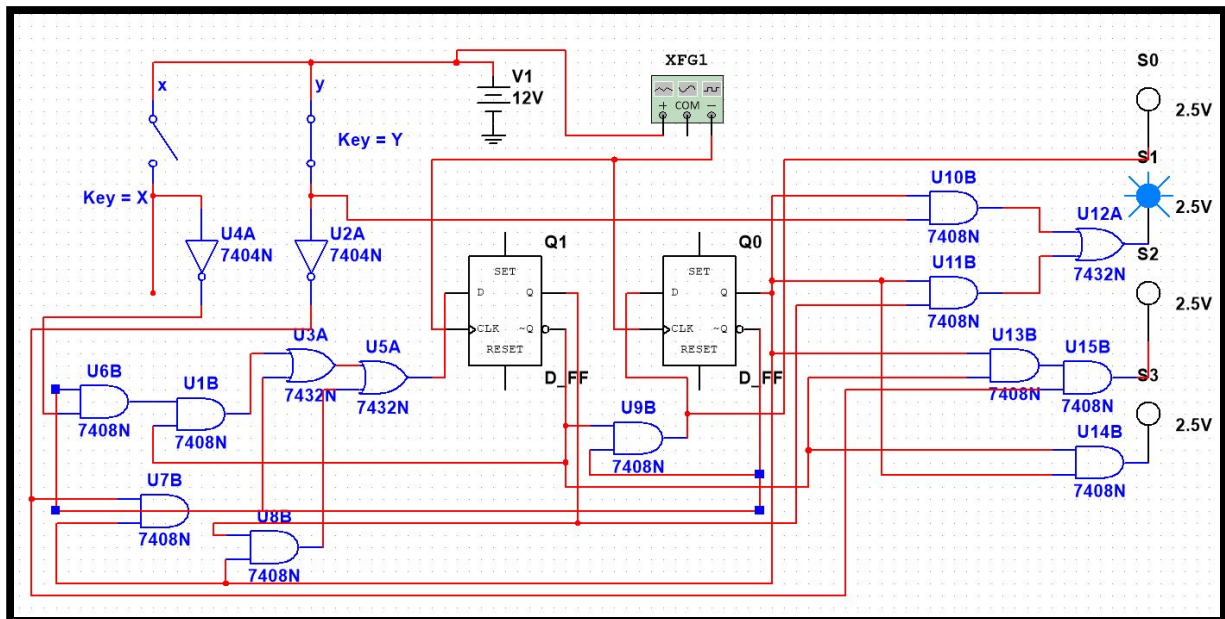
- Cuando $x=0, y=0$



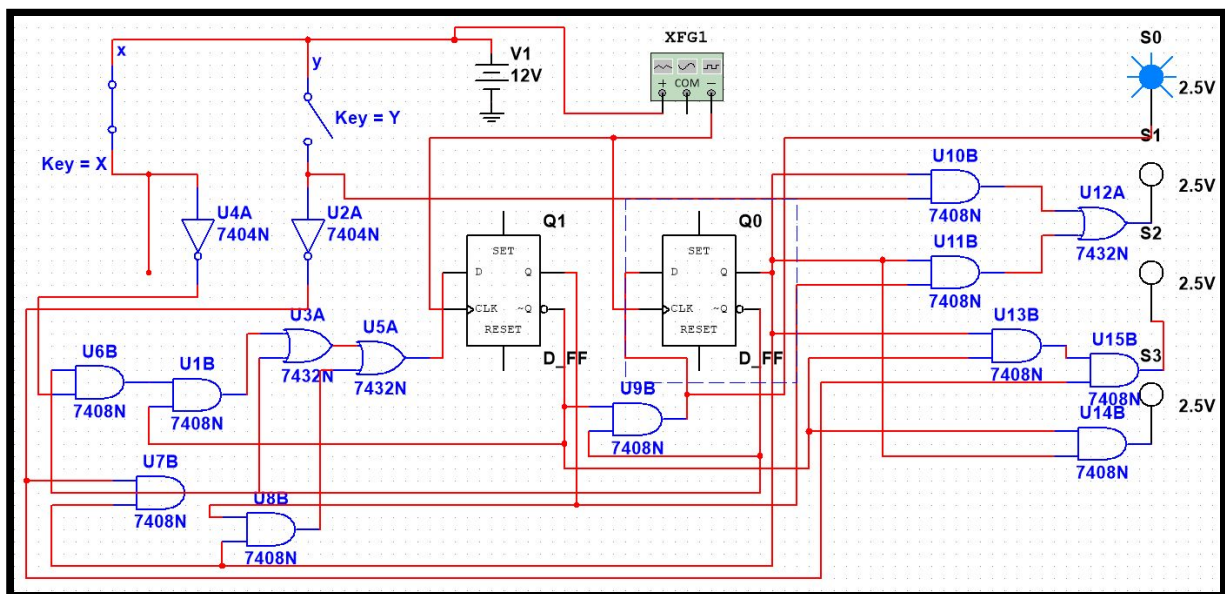


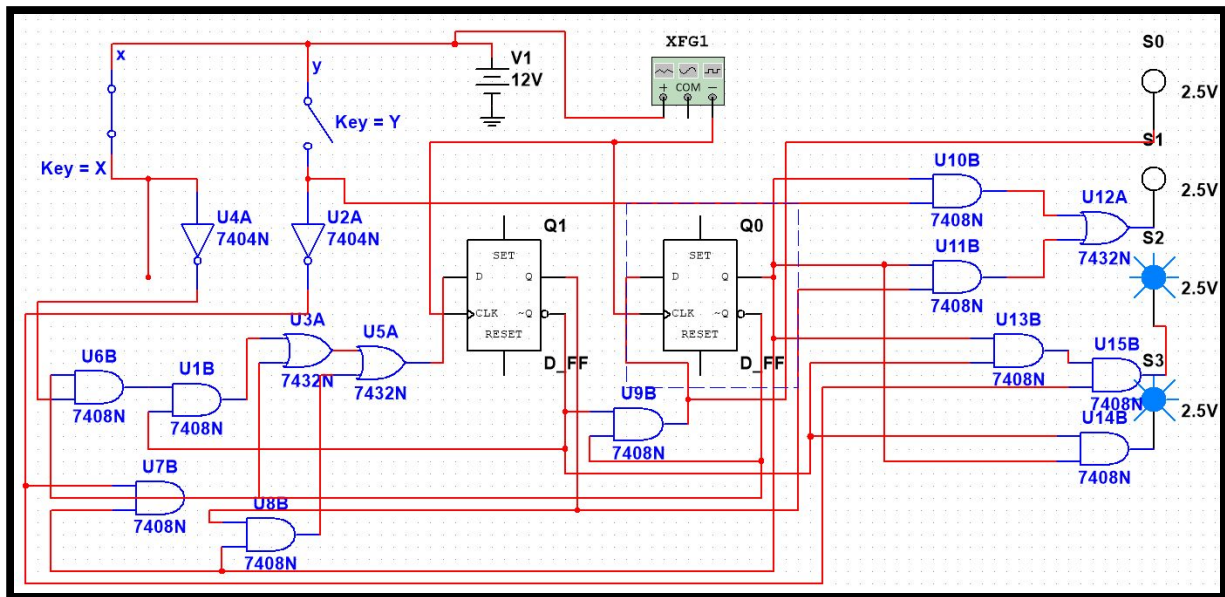
- Cuando $x=0, y=1$



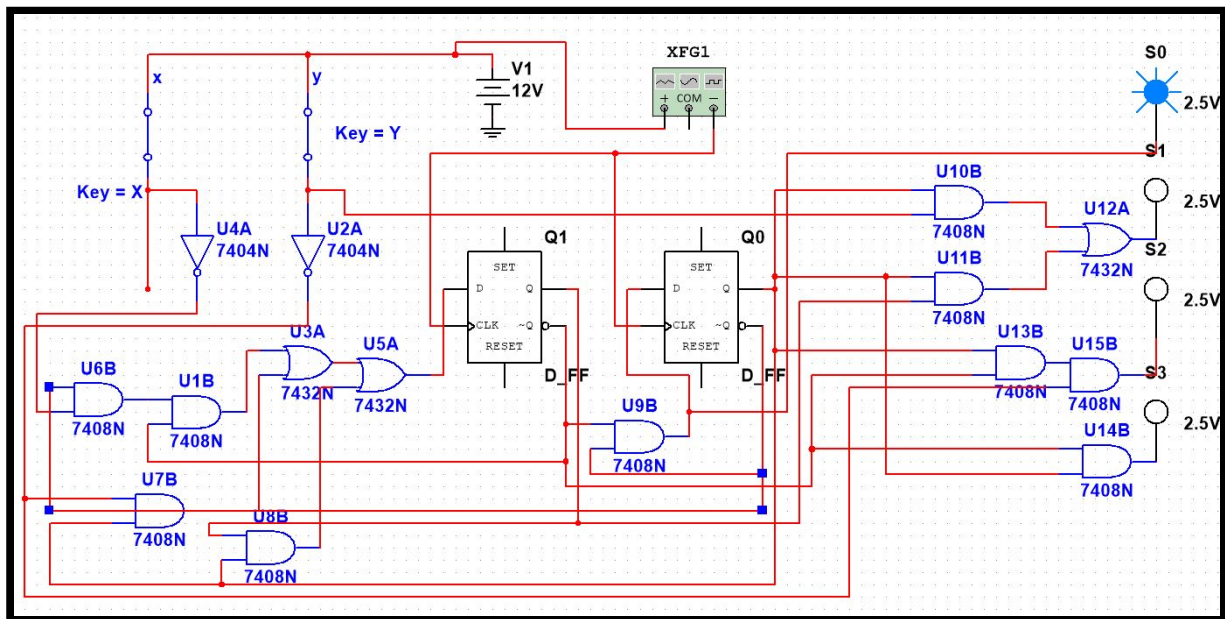


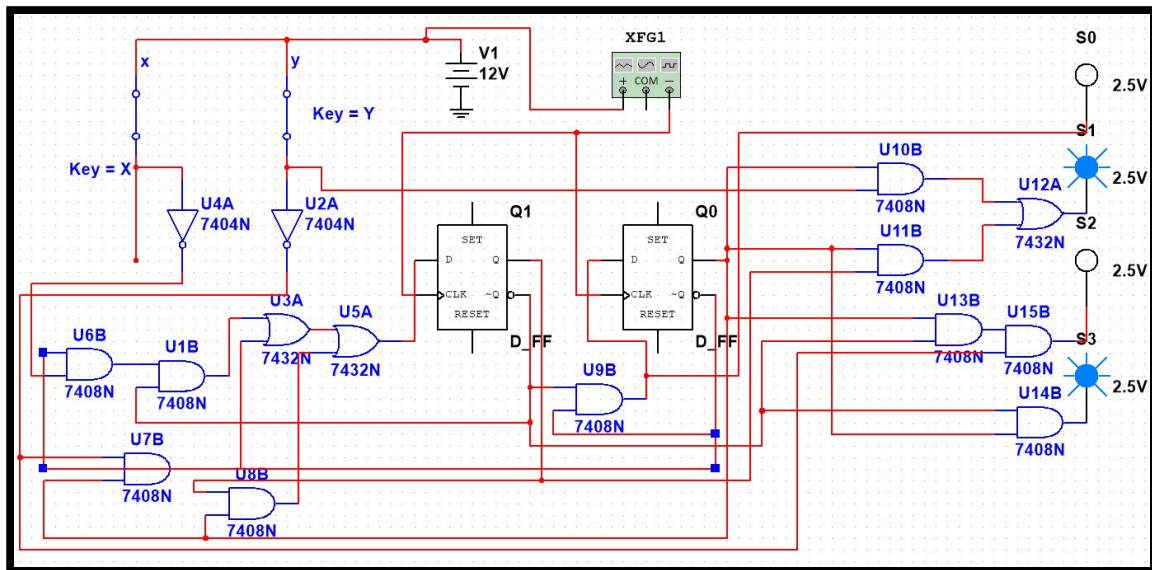
- Cuando $x=1, y=0$





- Cuando $x=1, y=1$





Referencias bibliográficas

- Anónimo (2019). Máquinas de estados en VHDL. *VHDL.es*. Recuperado el 12 de septiembre del 2019 del sitio <https://vhdl.es/maquinas-de-estado-en-vhdl/>
- Garcia, A. (2019). Máquinas de estados finitos en VHDL. *Digilogic*. Recuperado el 12 de septiembre del 2019 del sitio <https://www.digilogic.es/maquinas-de-estado-finito-fsm-vhdl/>