



Chip della CPU e BUS

Aniello Minutolo



Chip della CPU

Sommario

1

Chip della CPU

2

Bus del calcolatore

3

Funzionamento dei bus

Struttura e funzionalità del chip della CPU

- Le **CPU moderne** sono integrate in un singolo chip, definendo chiaramente l'interazione con il sistema tramite pin dedicati.
- I **pin della CPU** sono divisi in tre categorie: **indirizzi**, **dati** e **controllo**, collegati ad analoghi pin presenti sulla memoria, o sui chip di I/O, mediante un insieme di cavi paralleli (BUS).
- La **comunicazione con la memoria** avviene impostando indirizzi sui pin dedicati e attivando linee di controllo per leggere o scrivere dati.

Tipologie di pin e loro ruolo

- I **pin di indirizzo** determinano la capacità di indirizzamento della CPU, con m pin si accede fino a 2^m locazioni di memoria.
- I **pin di dati** definiscono la dimensione della parola elaborabile in un'operazione, influenzando prestazioni e costi del sistema.
- I **pin di controllo** regolano temporizzazione e flusso dei dati, inclusi segnali di clock, alimentazione e gestione degli interrupt.

Prestazioni e parametri chiave

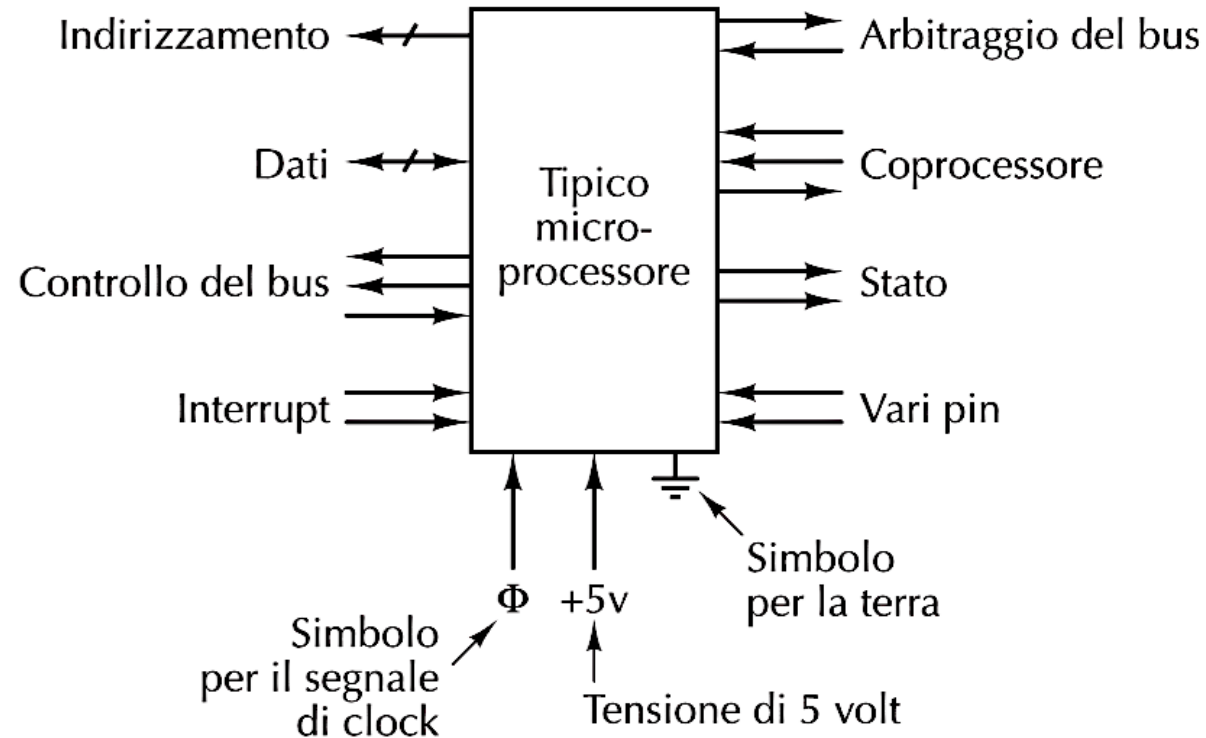
Il numero di pin di indirizzo e il numero di pin di dati determinano le prestazioni di una CPU

- più pin consentono accessi a memoria più ampi e trasferimenti più veloci;
- ad esempio, una CPU con 32 pin di dati legge parole a 32 bit in una singola operazione, riducendo i cicli necessari rispetto a una a 8 pin.

L'aumento dei pin migliora le prestazioni ma incrementa complessità e costi di produzione del chip.

Segnali di controllo e categorie

I pin di controllo sono raggruppati in categorie come gestione del bus, interrupt, arbitraggio e comunicazione con coprocessori.



Segnali di controllo e categorie

I segnali di **controllo del bus** permettono alla CPU di coordinare operazioni di lettura/scrittura con memoria e dispositivi di I/O

- i segnali di controllo sul bus non hanno corrispondenza diretta con i pin della CPU, richiedendo spesso circuiti di decodifica.

I pin di **interrupt** consentono ai dispositivi esterni di richiedere attenzione alla CPU, interrompendo le operazioni correnti.

Comunicazione con coprocessori e periferiche

- Alcuni pin sono dedicati alla comunicazione con **coprocessori**, come unità in virgola mobile o schede grafiche.
- I protocolli di arbitraggio del bus evitano conflitti tra dispositivi che richiedono l'accesso simultaneo alle risorse condivise.
- Pin aggiuntivi gestiscono reset, debug e compatibilità con dispositivi legacy, ampliando le funzionalità del sistema.

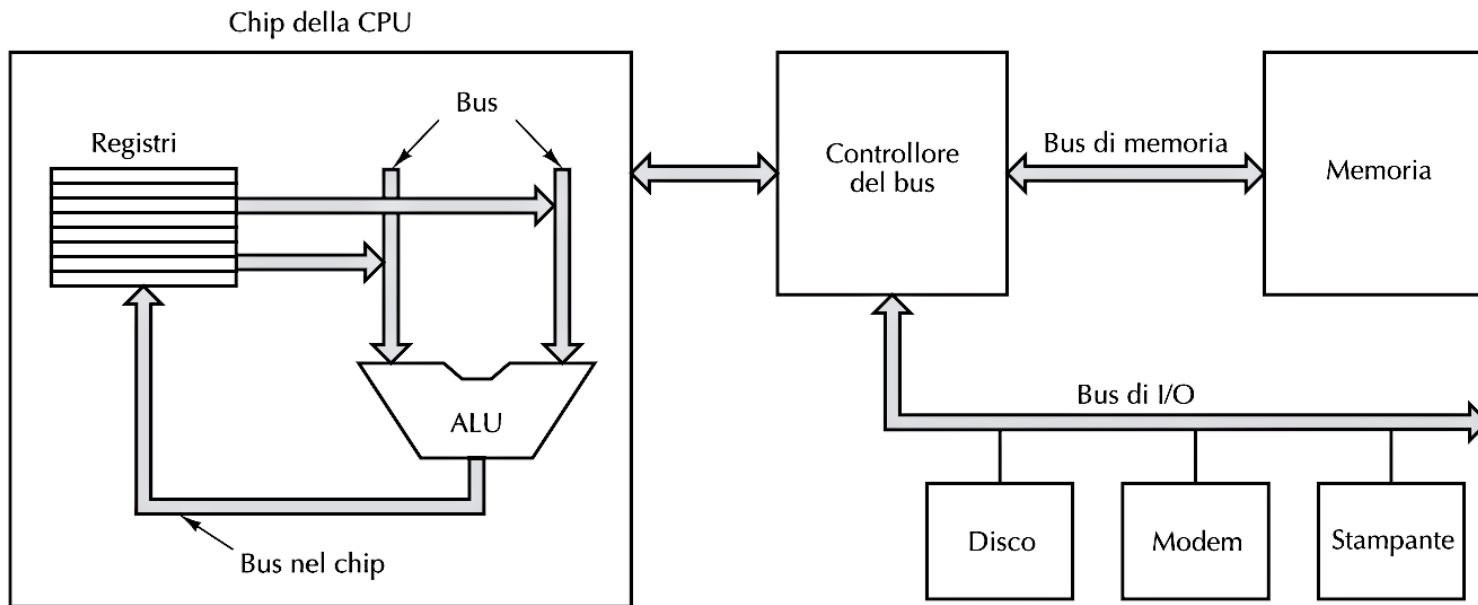


Bus del calcolatore

Definizione e classificazione dei bus

Un **bus** è un collegamento elettrico parallelo che connette CPU, memoria e dispositivi di I/O, suddiviso in bus interni ed esterni

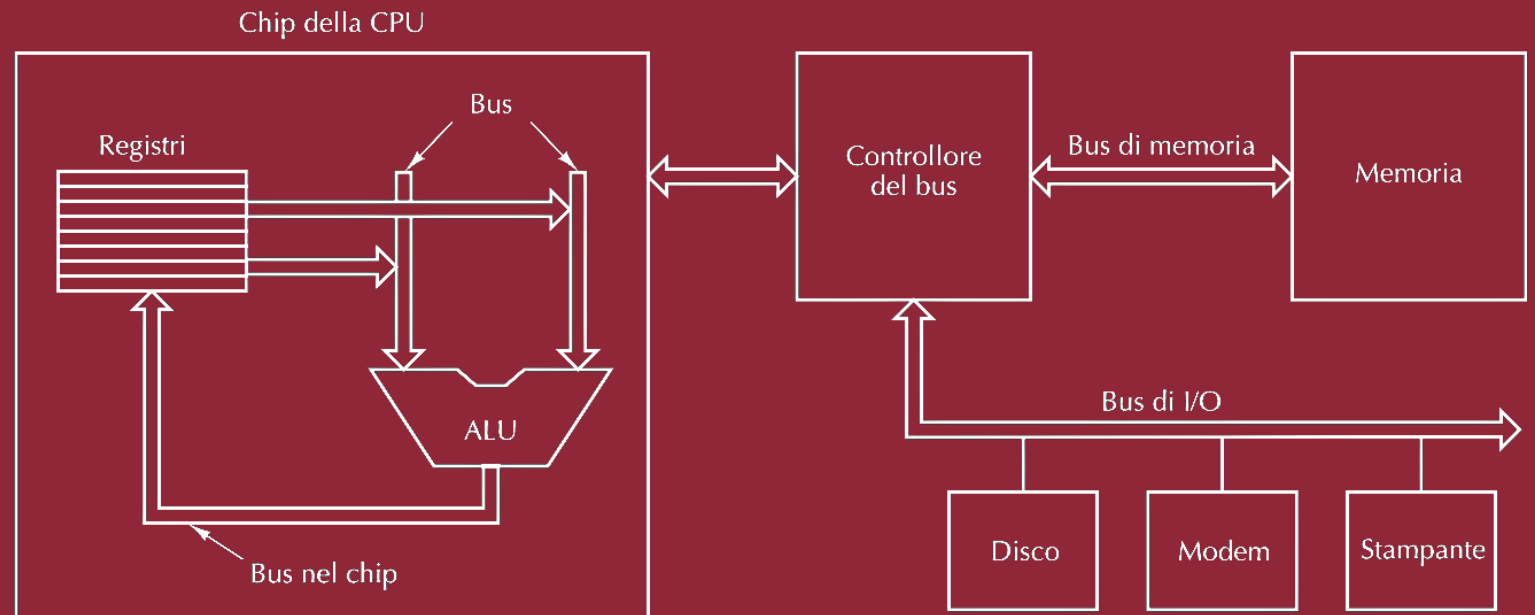
- i bus sono rappresentati come frecce spesse o linee con trattiini diagonali per indicare gruppi di bit omogenei.



Definizione e classificazione dei bus

I bus possono essere classificati in base alla loro funzione

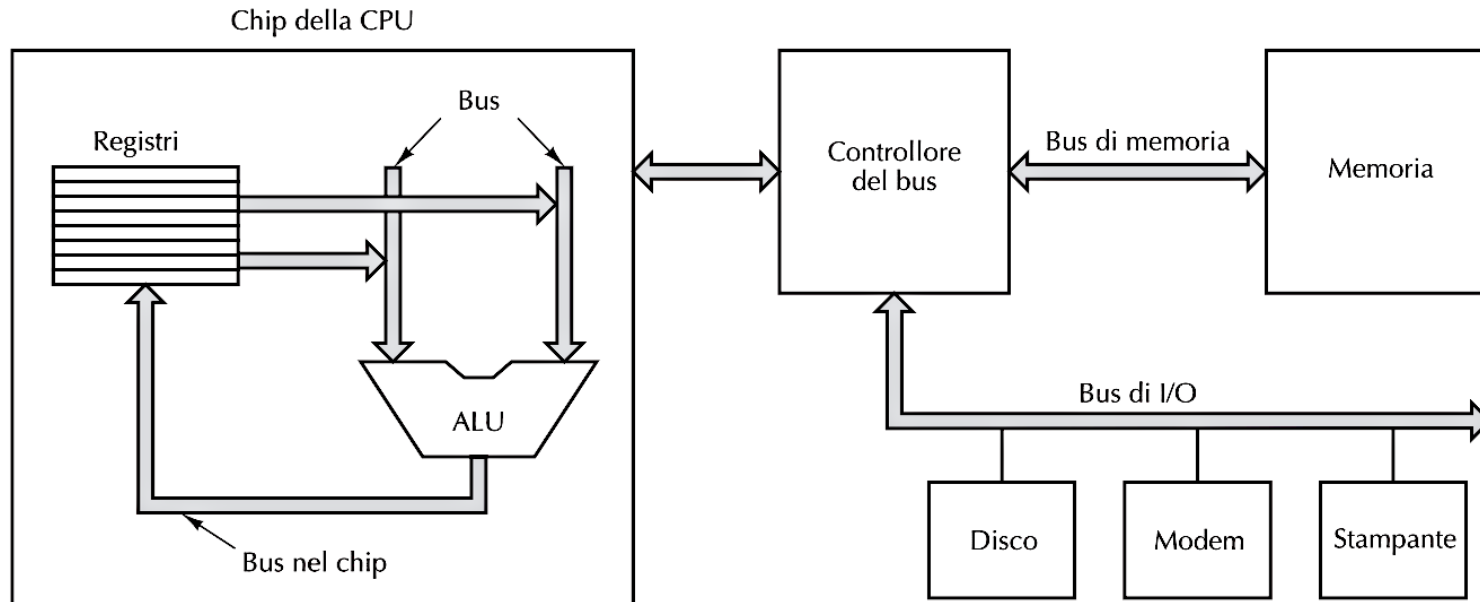
- alcuni BUS sono impiegati internamente alla CPU per trasferire dati da e verso la ALU;
- altri BUS esterni alla CPU e servono a connetterla con la memoria o con altri dispositivi di I/O.



Definizione e classificazione dei bus

I primi PC avevano un unico bus esterno chiamato anche bus di sistema

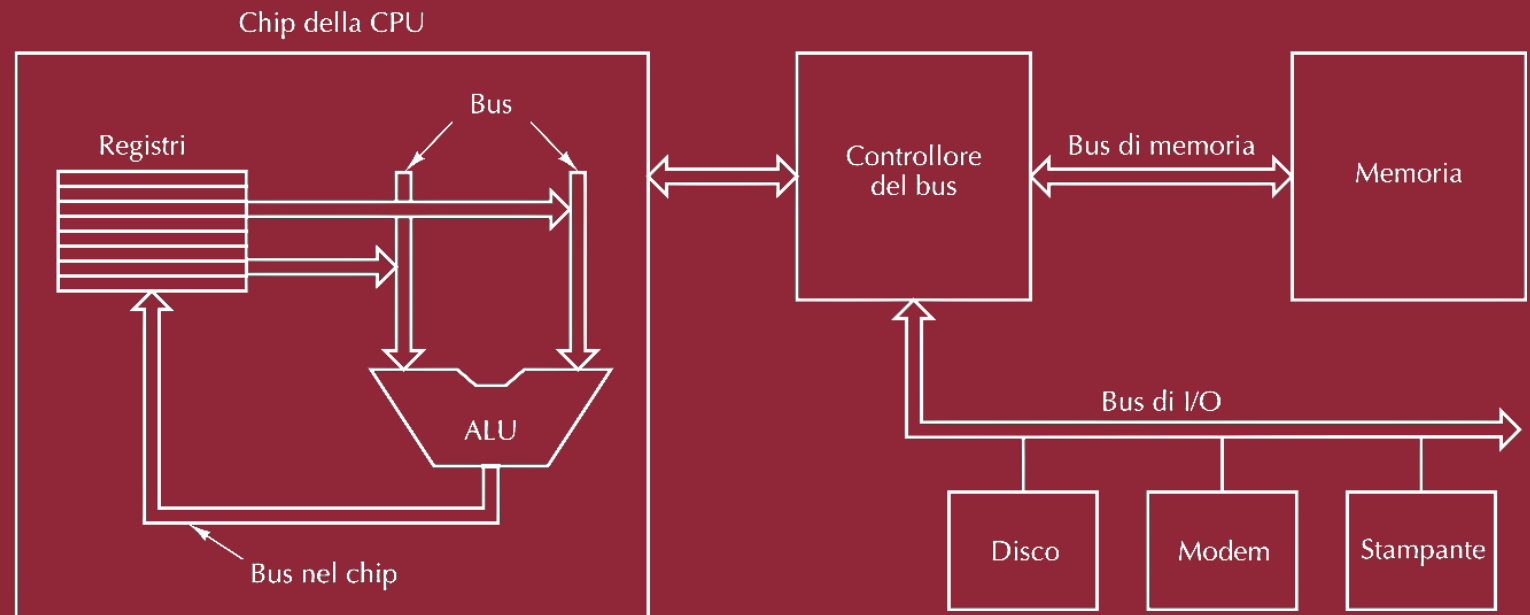
- era composto da 50 a 100 fili paralleli di rame che si inserivano nella scheda madre e i cui connettori erano distanziati a intervalli regolari per permettere l'inserimento di memorie e schede di I/O.



Definizione e classificazione dei bus

Generalmente i personal computer moderni hanno un unico bus specifico tra la CPU e la memoria e (almeno) un altro bus per le periferiche

- la progettazione dei bus esterni richiede attenzione a lunghezza, numero di connessioni e interferenze elettromagnetiche.



Protocolli e standardizzazione

- Il **protocollo del bus** definisce regole elettriche, meccaniche e temporali per garantire interoperabilità tra dispositivi collegati.
- La mancanza di standardizzazione ha portato alla proliferazione di bus incompatibili come ISA, PCI, SCSI e USB.
- Alcuni bus, come quelli nei **System-on-a-Chip (SoC)**, non richiedono specifiche meccaniche poiché integrati nello stesso circuito.

Evoluzione storica e esempi

- Bus storici come l'**Unibus** (PDP-11) e l'**ISA** (PC/AT) hanno segnato lo sviluppo dei calcolatori prima dell'avvento di standard come PCI e USB.
- L'**USB** e il **FireWire** rappresentano soluzioni moderne per la connessione plug-and-play di periferiche esterne.
- La frammentazione degli standard limita l'interoperabilità, nonostante tentativi di unificazione come l'EISA e il Microchannel.



Funzionamento dei bus

Ruoli di master e slave

Alcune periferiche che si collegano al bus sono attive e possono iniziare un trasferimento dati, mentre altre sono passive e restano in attesa di una richiesta

- quelle attive sono chiamate **master**, e quelle passive **slave**.

Quando la CPU ordina al controllore di un disco di leggere o scrivere un blocco, la CPU svolge il ruolo di master, e il controllore del disco quello di slave

- successivamente però il controllore del disco fungerà da master nel momento in cui ordina alla memoria di accettare le parole che sta leggendo dal disco.

Ruoli di master e slave

- I dispositivi **master** iniziano trasferimenti dati, come la CPU o un controller di disco, mentre gli **slave** rispondono alle richieste.
- La **memoria funge sempre da slave**, ricevendo comandi di lettura/scrittura senza avviare operazioni autonome.
- Un **controller di disco può passare da slave a master** quando trasferisce dati direttamente alla memoria (DMA).

Gestione del segnale e interfacce

I **driver del bus** amplificano segnali digitali deboli, permettendo trasmissioni affidabili su lunghe distanze o con molti dispositivi.

Molto spesso i segnali digitali generati dalle periferiche sono troppo deboli per alimentare un bus, soprattutto se è relativamente lungo o se è collegato a molti dispositivi

- per questo motivo molti master sono connessi al bus mediante un driver del bus, che funge essenzialmente da amplificatore digitale.

In modo analogo la maggior parte degli slave sono connessi al bus attraverso un **ricevitore del bus**.

Gestione del segnale e interfacce

Per le periferiche che possono svolgere sia il ruolo di master sia quello di slave si utilizza un chip chiamato **trasmettitore-ricevitore del bus**

- questi chip d'interfaccia sono tipicamente dei dispositivi a tre stati per permettere loro di essere liberi (sconnessi) quando non sono necessari.

Tecnologie di connessione

Invece di staccare i collegamenti non necessari tra bus e periferiche tramite dei dispositivi a tre stati, un'altra possibilità, che permette di ottenere lo stesso effetto, consiste nell'agganciare la periferica al bus tramite un collettore aperto

- quando due o più dispositivi su una linea a collettore aperto asseriscono la linea nello stesso istante, il risultato è un OR di tutti i segnali; spesso questa organizzazione è chiamata **OR-cablata**.

Tecnologie di connessione

La scelta tra linee a tre stati e collettore aperto dipende dalle esigenze di arbitraggio e priorità nel sistema

- in genere nei bus alcune linee sono a tre stati mentre altre, che richiedono la proprietà di essere OR-cablate, sono a collettore aperto.

Bibliografia

Libro di testo

- Andrew S. Tanenbaum e Todd Austin. Architettura dei calcolatori. Un approccio strutturale. 6/ED. Anno 2013. Pearson Italia spa. (Disponibile nella sezione “Biblioteca”)

Fonte argomenti e immagini

- Capitolo 3, Paragrafo da 3.4 a 3.4.2, pp. 191-196