



INGENIERIA EN SISTEMAS COMPUTACIONALES OCTAVO CUATRIMESTRE CUATRIMESTRE ENERO-ABRIL 2025

UNIDAD 4

MEMORIA SEGMENTADA Y MECANISMO DE PAGINACIÓN

Sesión número 10

4.1. Organización de la memoria

4.1.1. La memoria en Modo Real

4.1.2. La memoria en Modo Protegido

4.1.3. El espacio lógico virtual

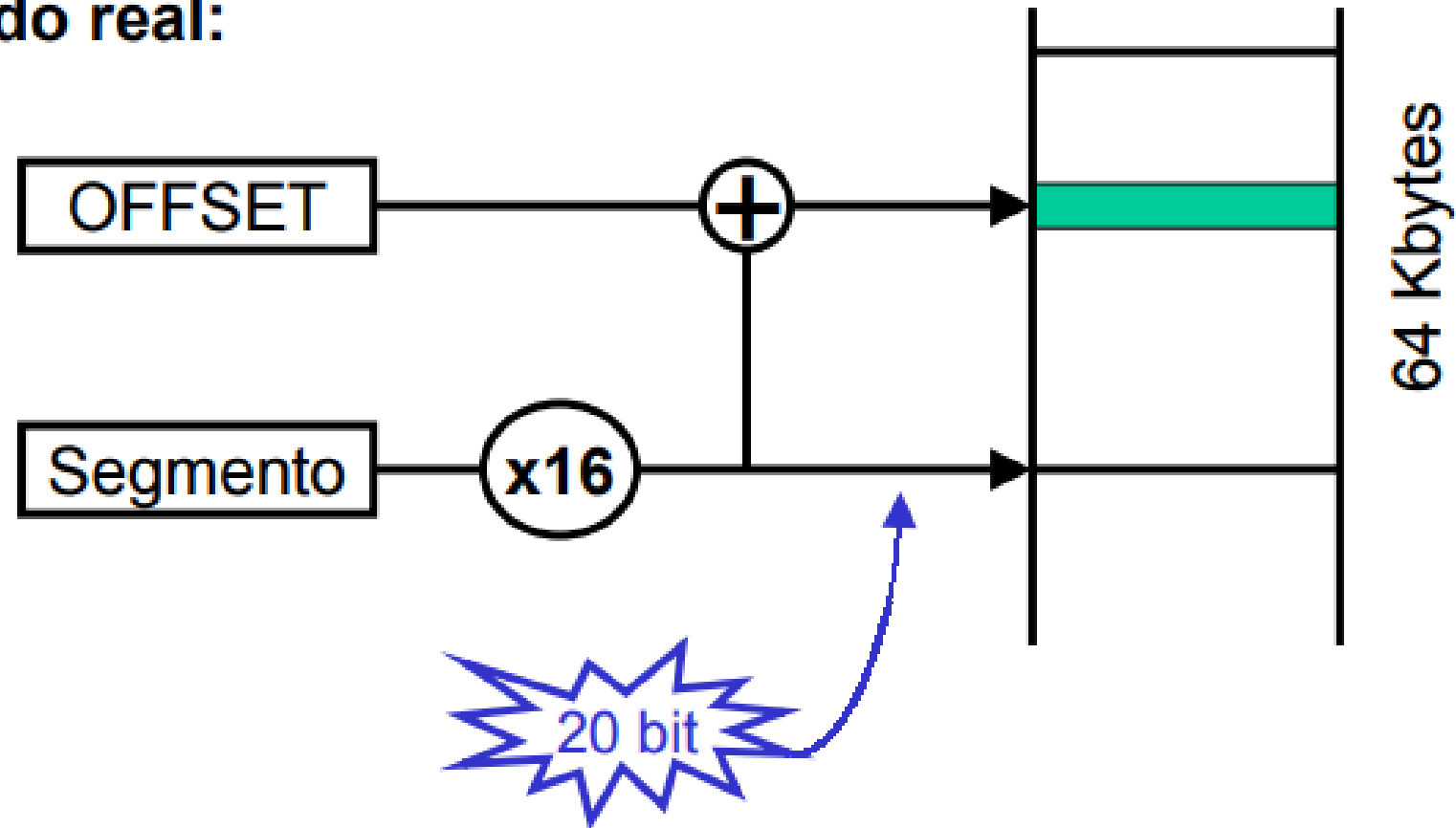
La memoria en modo real

El modo real (también llamado modo de dirección real en los manuales de Intel) es un modo de operación del 80286 y posteriores CPU compatibles de la arquitectura x86.

El modo real está caracterizado por 20 bits de espacio de direcciones segmentado (significando que solamente se puede direccionar 1 MB de memoria), acceso directo del software a las rutinas del BIOS y el hardware periférico, y no tiene conceptos de protección de memoria o multitarea a nivel de hardware. Todos los CPUs x86 de las series del 80286 y posteriores empiezan en modo real al encenderse el computador; los CPU 80186 y anteriores tenían solo un modo operacional, que era equivalente al modo real en chips posteriores.

La memoria en modo real

Modo real:



La memoria en modo protegido

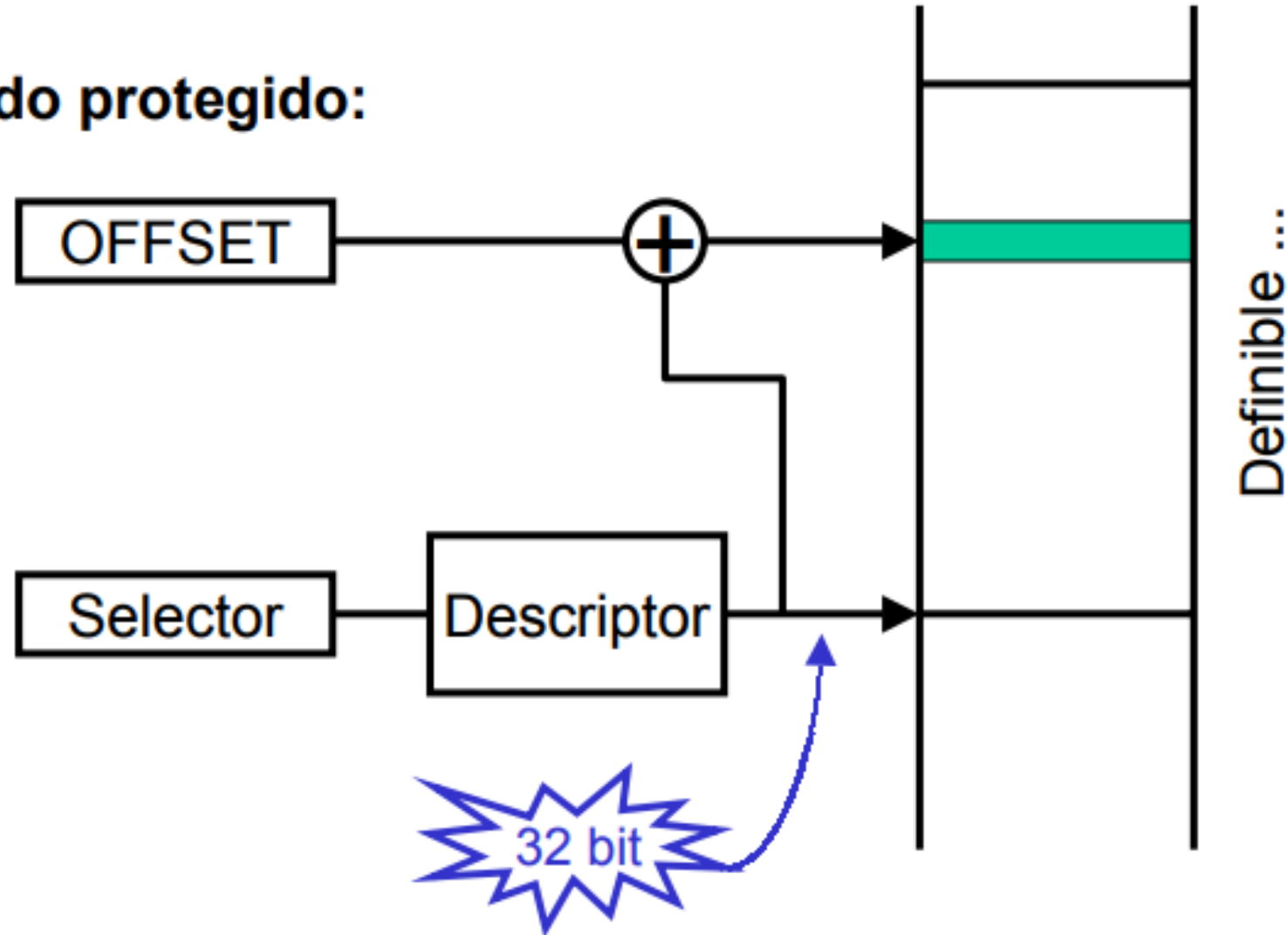
El modo protegido tiene un número de nuevas características diseñadas para mejorar las multitareas y la estabilidad del sistema, como protección de memoria, y soporte de hardware para memoria virtual así como de conmutación de tareas.

En el 80386 y procesadores de 32 bits posteriores se agregó un sistema de paginación que es parte del modo protegido.

La mayoría de los sistemas operativos x86 modernos corren en modo protegido, incluyendo Linux, FreeBSD, OpenBSD, NetBSD, y Microsoft Windows 3.0 y posteriores. (Windows 3.0 también corría en el modo real para la compatibilidad con las aplicaciones de Windows 2.x).

La memoria en modo protegido

Modo protegido:

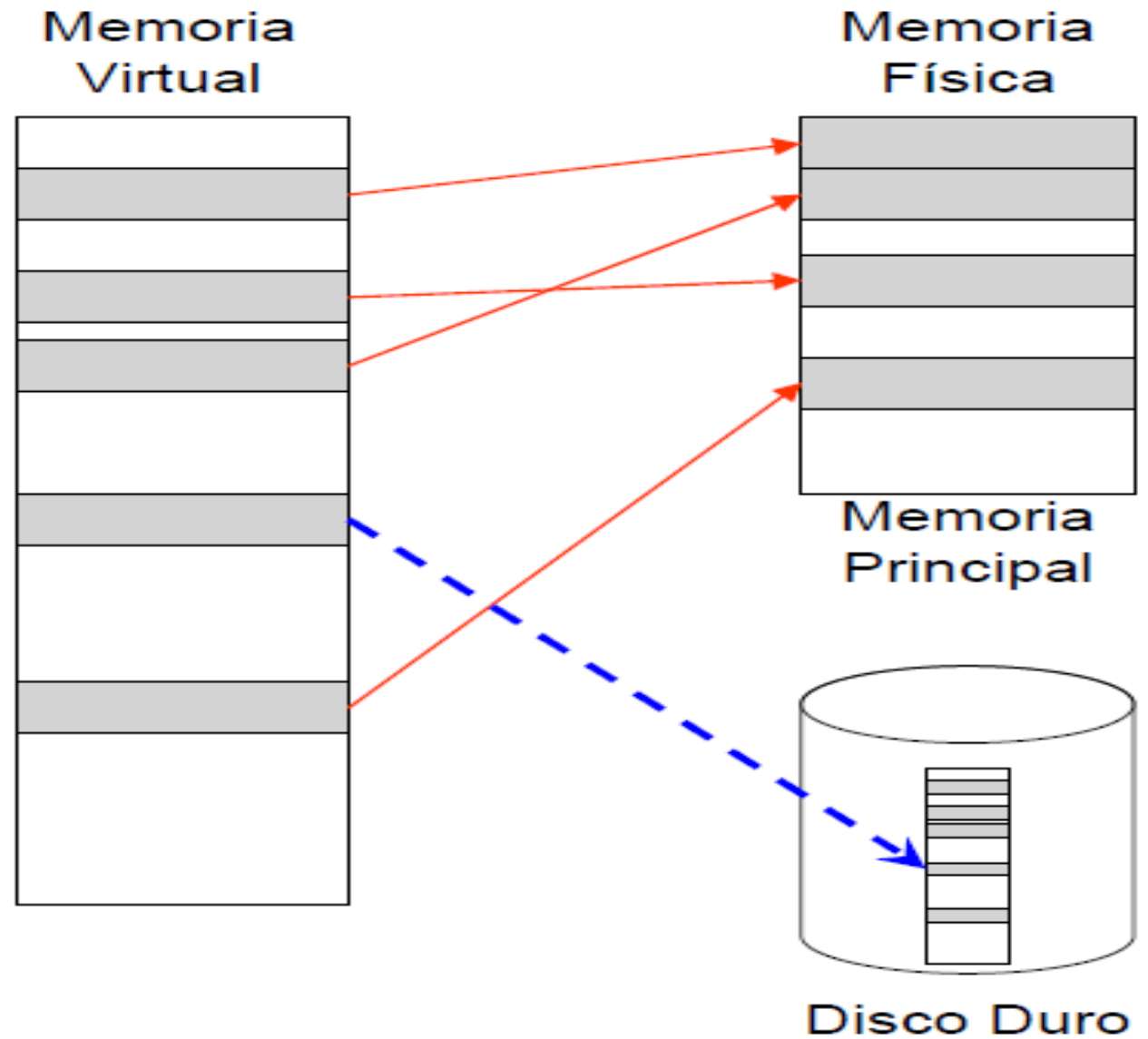


El espacio lógico virtual

La memoria principal es pequeña como para acomodar todos programas y datos permanentemente, por lo que es necesario implementar mecanismos de memoria virtual. La memoria virtual es una técnica para dar la ilusión de tener más memoria que la memoria principal.

Era usado para ejecutar programas DOS en Microsoft Windows/386, Windows 3.x, Windows 95, Windows 98, Windows Me, y OS/2 2.x y más adelante, a través de las máquinas DOS virtuales, también en SCO UNIX a través de Merge, y en Linux. Los programas de DOS de modo protegido, tanto de 16 como de 32 bits, no se ejecutan en el modo 8086 virtual, sino en modo usuario, siempre y cuando fueran compatibles con DPMI.

El espacio lógico virtual





UNIDAD 4

2 Paginación

Sesión número 12

2.1. Introducción

2.2. Mecanismos de paginación

2.3. Formato de las entradas al directorio y a las tablas de paginas

2.4. Tabla de traducción de direcciones lineales

2.5. Estructura y funcionamiento de la TLB

**Formando profesionales
de excelencia**



2.1 Introducción

La paginación es un procedimiento de gestión de la memoria muy eficaz en los sistemas operativos multitareas que manejan memoria virtual. Divide y manipula los programas y los datos en trozos de tamaño fijo llamados páginas.

A diferencia de los segmentos, las páginas no guardan relación con la estructura lógica con la que se ha construido el software.

La mayor ventaja de la paginación se obtiene en la transferencia e intercambio de elementos entre la memoria virtual y la física. El hecho de que las páginas tengan siempre el mismo tamaño facilita la ocupación de la memoria, así como el rendimiento en su explotación. Esto implica que los sistemas operativos que manejan la paginación sean muy simples, sencillos y rápidos debido a que los algoritmos de transferencia son muy simples ya que mueven cantidades de datos de igual tamaño.

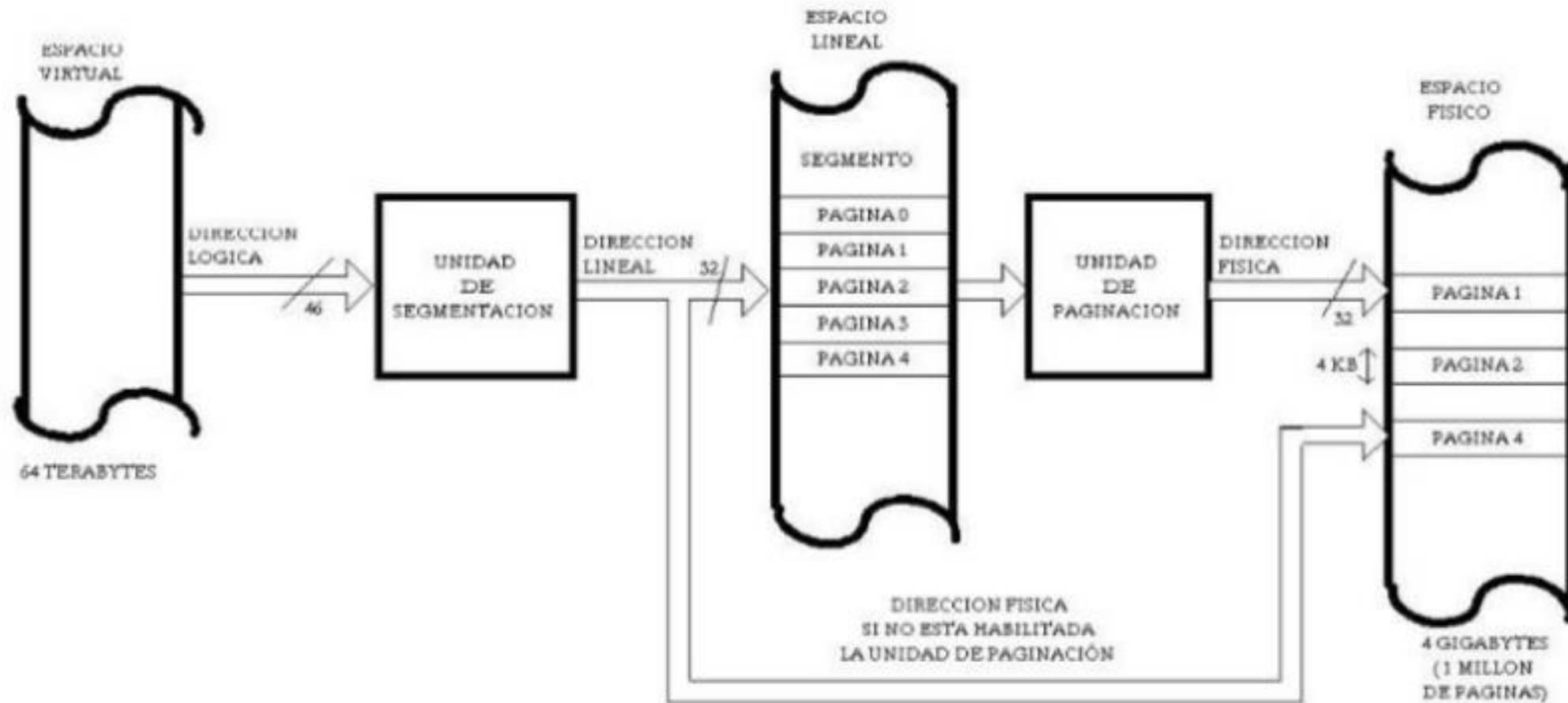
2.2 Mecanismos de paginación

La unidad de paginación es implantada en hardware dentro del Pentium. El funcionamiento de la paginación es optativo y para habilitarlo basta con activar un bit de uno de los registros de control de los que manda el programador de sistemas. Como a dicho bit solo se le puede modificar en modo protegido, la paginación solo opera en dicho modo.

Cuando está habilitada la paginación, se divide a cada segmento del espacio lineal creado por la unidad de segmentación en páginas sucesivas de 4 kb de tamaño cada una. El Pentium también puede manejar páginas de hasta 4 mb, luego, la unidad de paginación carga y distribuye de forma aleatoria las páginas que se precisan en cada momento sobre el espacio de la memoria física.

En los procesadores intel, 386 e intel 486, era necesario ejecutar una instrucción después de activar la paginación para que no se ejecutaran las instrucciones que previamente ya habían sido buscadas y decodificadas, el Pentium utiliza un buffer de predicción de bifurcaciones que evita la necesidad de utilizar instrucciones para eliminar las instrucciones que ya habían sido buscadas y decodificadas como ocurría en los procesadores anteriores.

2.2 Mecanismos de paginación



2.3 Formato de las entradas al directorio y a las tablas de páginas

El formato de una entrada al directorio es similar al de una entrada a una tabla de páginas. Ambas constan de 32 bits de los cuales los 20 de más peso proporcionan los 20 bits más significativos de la dirección de la base de la página de la siguiente estructura a la que hacen referencia. Los 12 bits de menos peso de la dirección de la base son ceros y por eso en la entrada se utilizan para definir los atributos.

En cuanto a los 12 bits restantes de las entradas que se comenta, sirven para definir los atributos tal como se refleja en la siguiente figura:

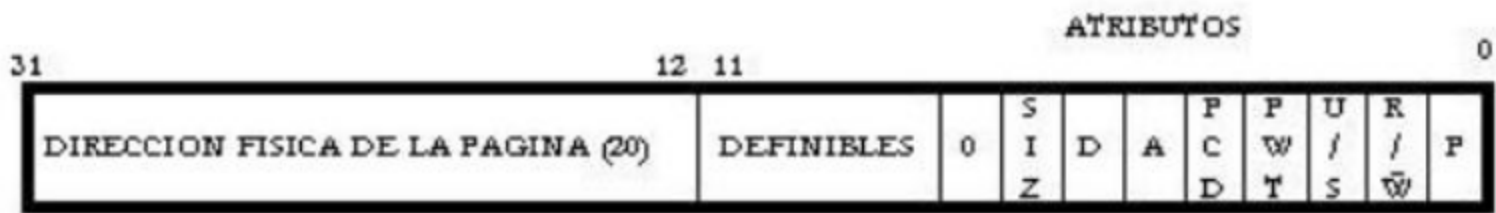


Figura 9.6. Estructura de una entrada del Directorio o de la Tabla de Páginas. Hay tres bits a disposición del S.O. que pueden usarse para guardar información auxiliar sobre la página.

2.4 Tabla de traducción de direcciones lineales

El mecanismo de traducción de direcciones en la paginación es bastante lento porque debe de realizar 2 accesos a memoria, uno al directorio y otro a la tabla de páginas, para localizar la página y en un tercer acceso, efectuar la lectura o escritura solicitada por el CPU. Además en dichos accesos se debe realizar la suma del valor de la base y el desplazamiento en la página referenciada, con la cual el CPU tarda cierto tiempo en realizar la traducción de una dirección lineal a física.

La TLB guarda la traducción de las direcciones lineales a físicas, correspondiente a las 32 últimas páginas que se han manejado. Se trata de un mecanismo parecido al utilizado en la segmentación, donde a cada registro segmento se asociaba un registro cache invisible, que guardaba el valor del descriptor con el fin de evitar tener que acceder a la tabla de descriptores en cada acceso a memoria.

2.5 Estructura y funcionamiento de la TLB

Con 32 entradas residentes en la TLB se controlan 32 páginas, que suponen un espacio total de 128 kb de memoria, que, en muchas ocasiones, es suficiente para contener el área de trabajo de un proceso. Se ha comprobado experimentalmente que, para programas de propósito general una TLB de 32 entradas proporciona acierto en más del 97% de los accesos a la memoria. También hay que considerar que en cada de contexto, hay que limpiar la TLB lo que puede ser barato, pero hay que considerar un costo indirecto, pues si los cambios de contexto son muy frecuentes la tasa de aciertos se puede reducir.

2.5 Estructura y funcionamiento de la TLB

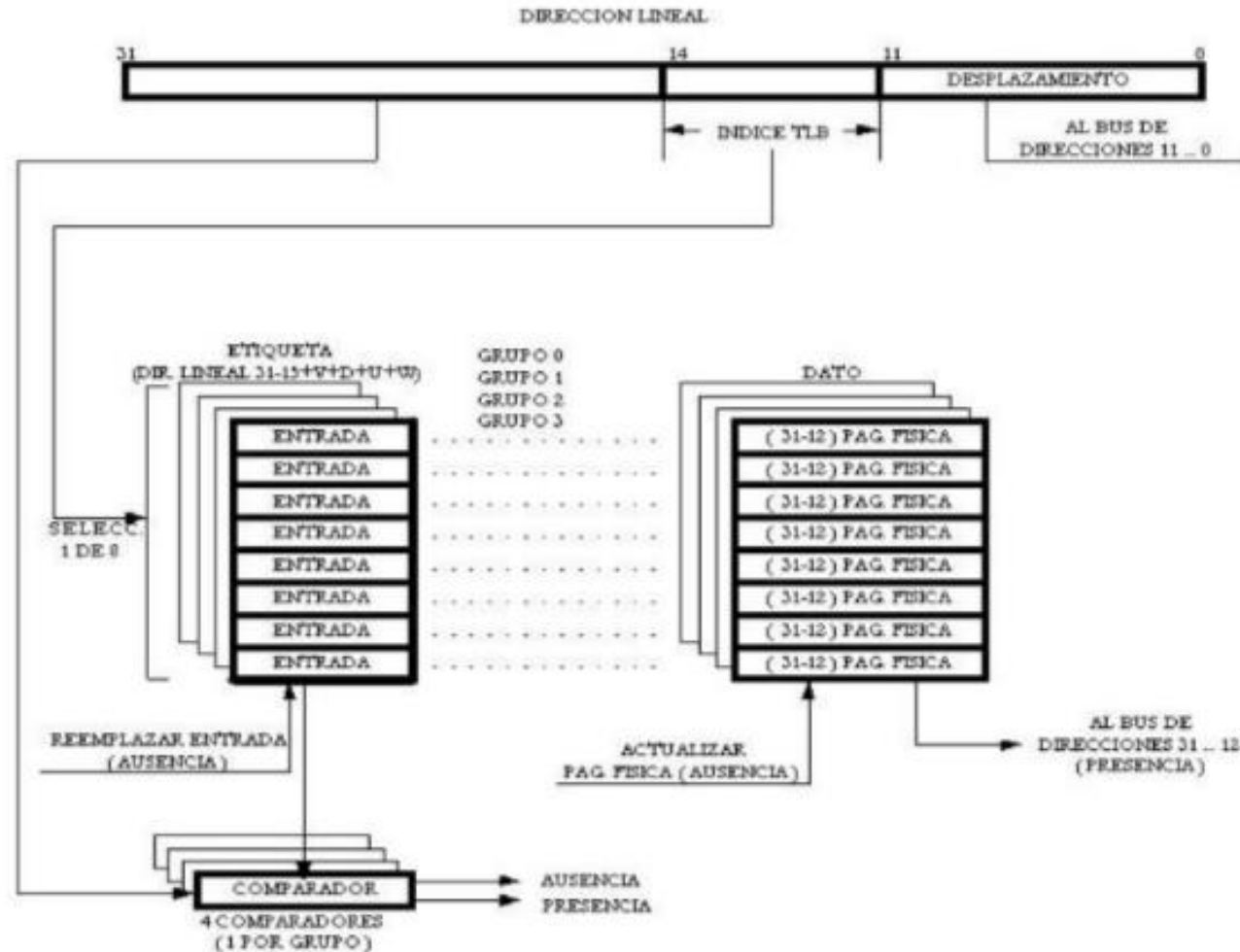


Figura 9.7 – Organización y esquema simplificado sobre el comportamiento de la TLB.