

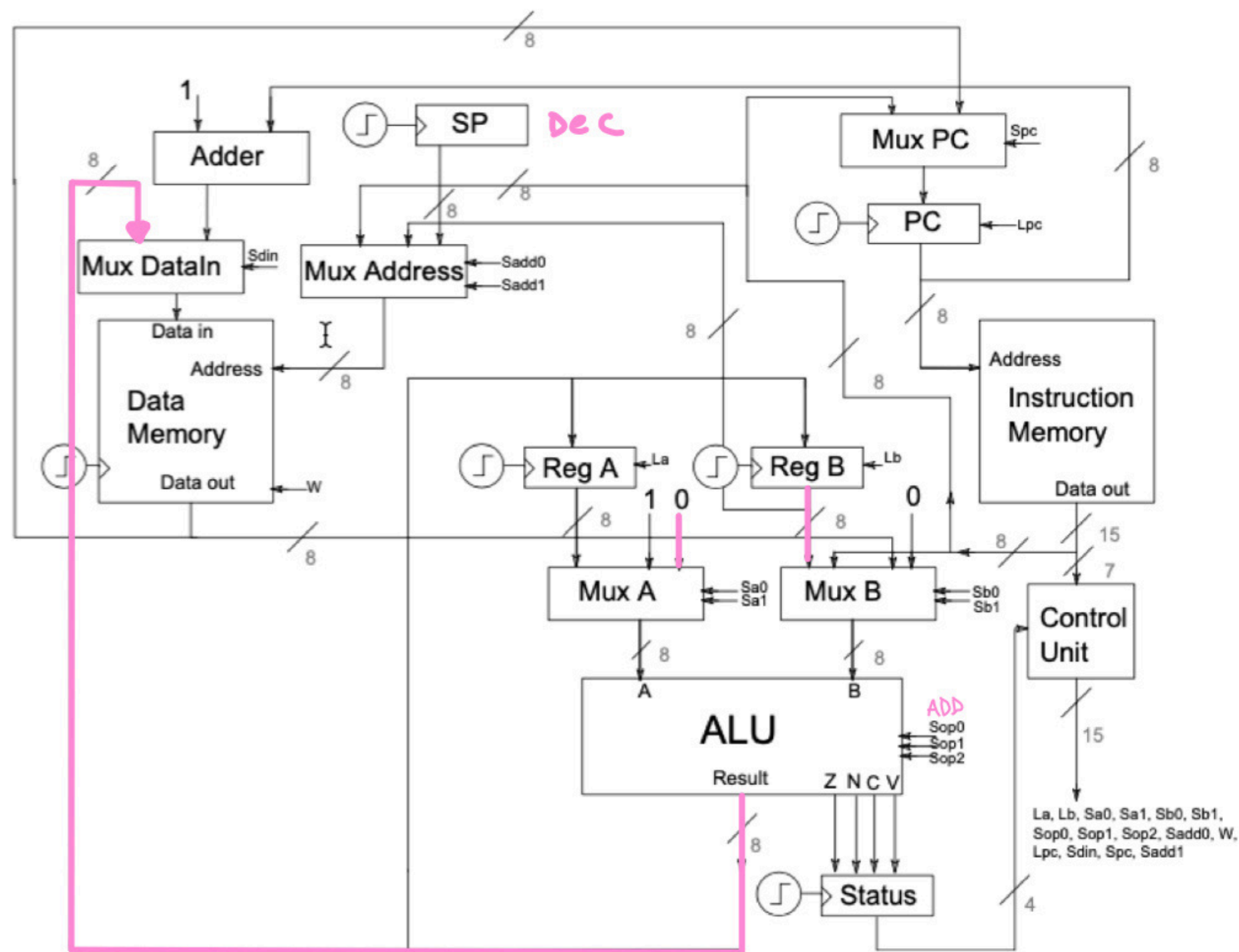
# Repaso Interrogación Nº1

IIC2343

Daniela Ríos  
Joaquín Peralta

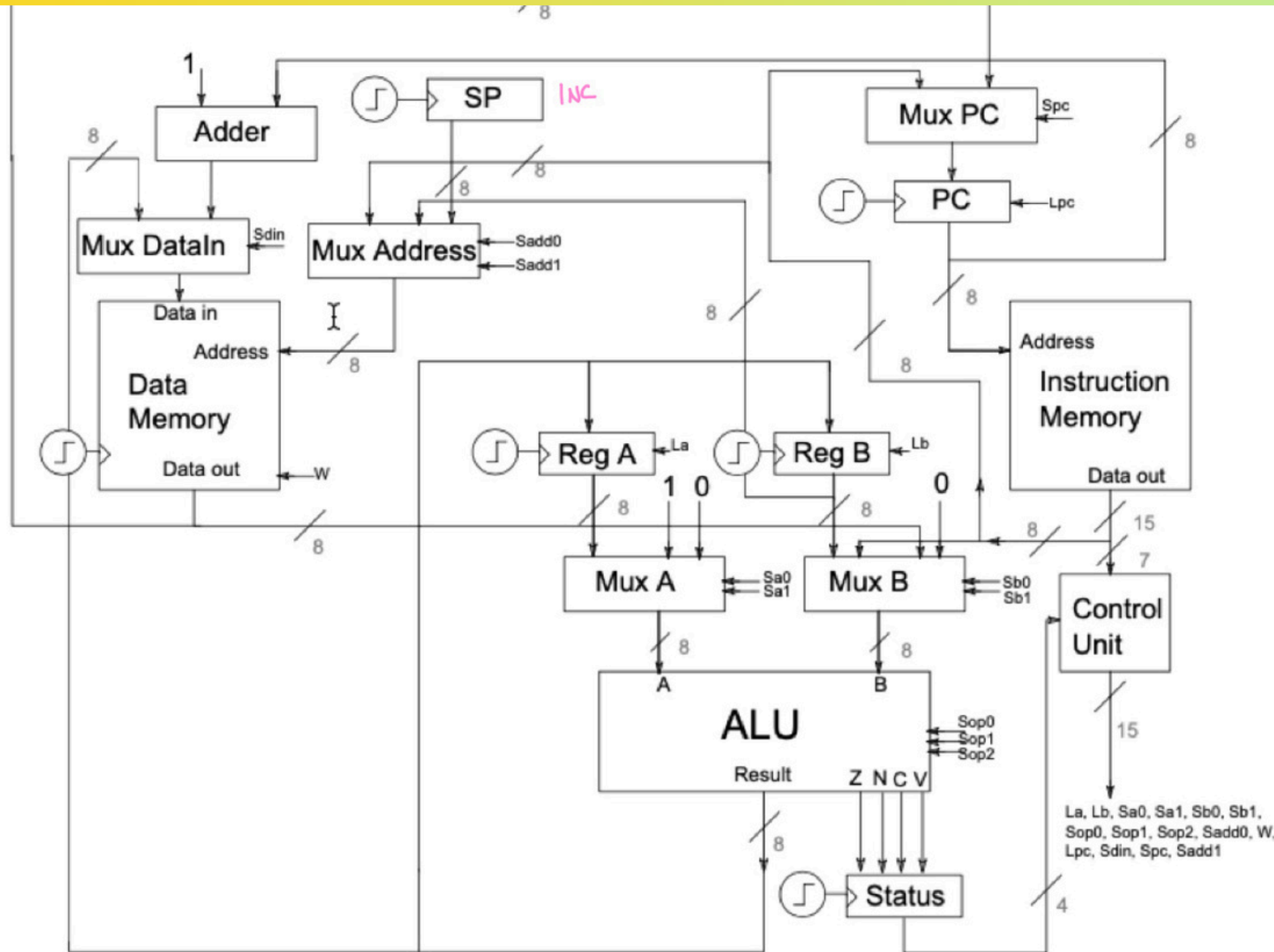


# Repasemos algunas instrucciones



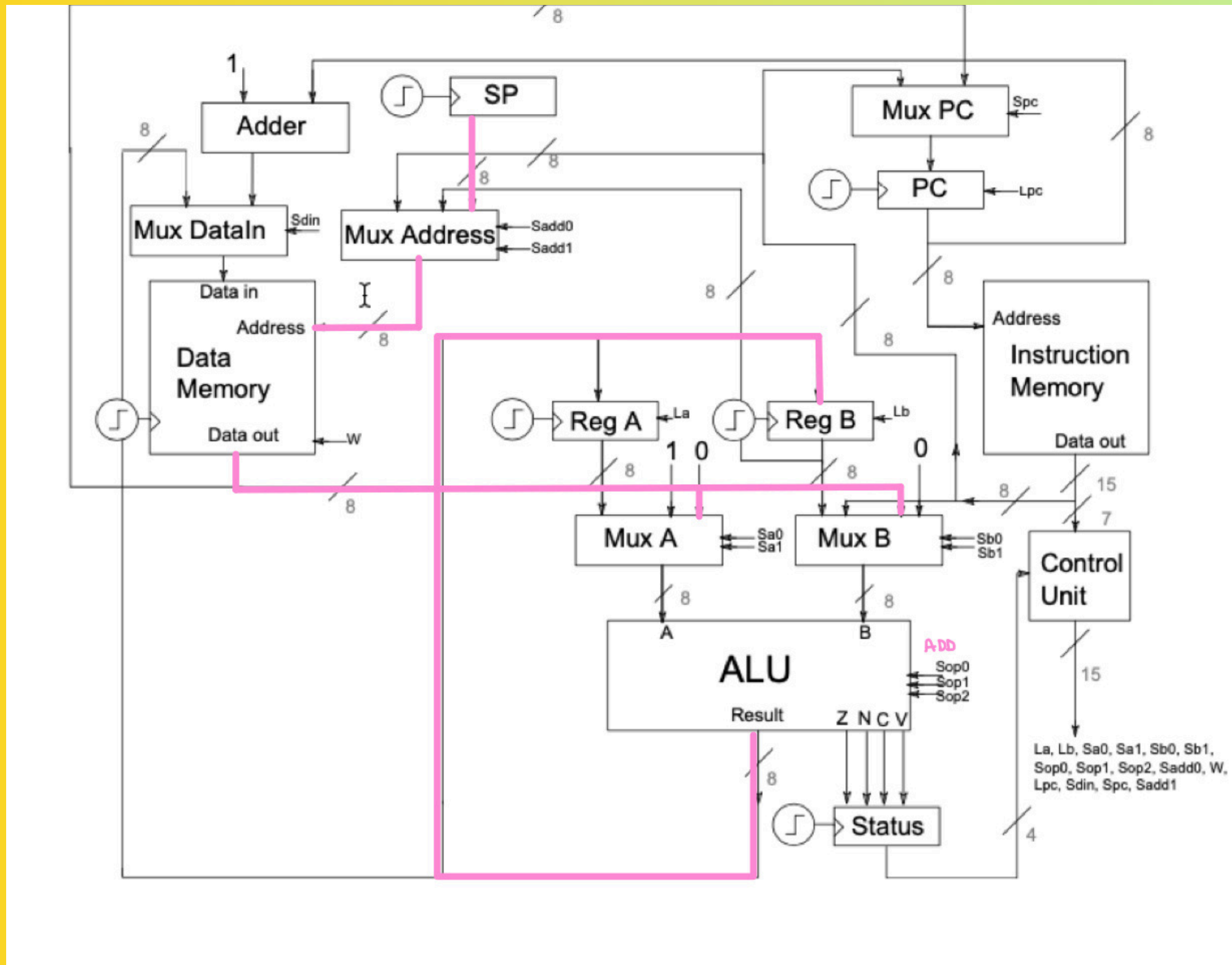
**PUSH B**

# Repasemos algunas instrucciones



**POP B**

# Repasemos algunas instrucciones



**POP B**

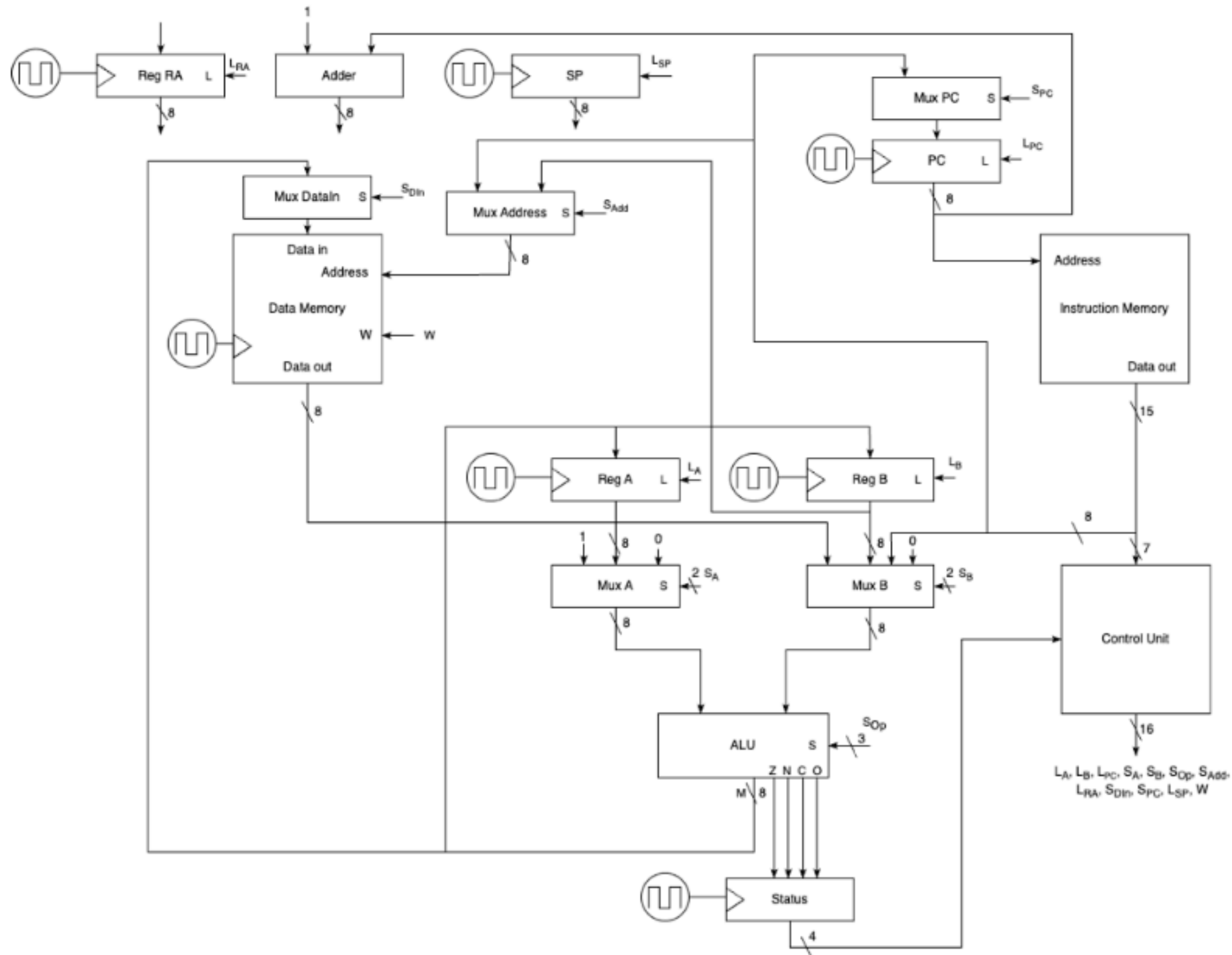


# Pregunta 1: Computador Básico

En arquitecturas RISC, las direcciones de retorno de una subrutina se almacenan en un registro de enlace (RA), a diferencia del computador básico donde se guardan en el stack. Asimismo, estas arquitecturas no poseen PUSH/POP, sino que acceden al stack directamente con el stack pointer (SP). Deberá contestar las preguntas de esta sección a partir de este contexto y el siguiente diagrama:



# Pregunta 1: Computador Básico







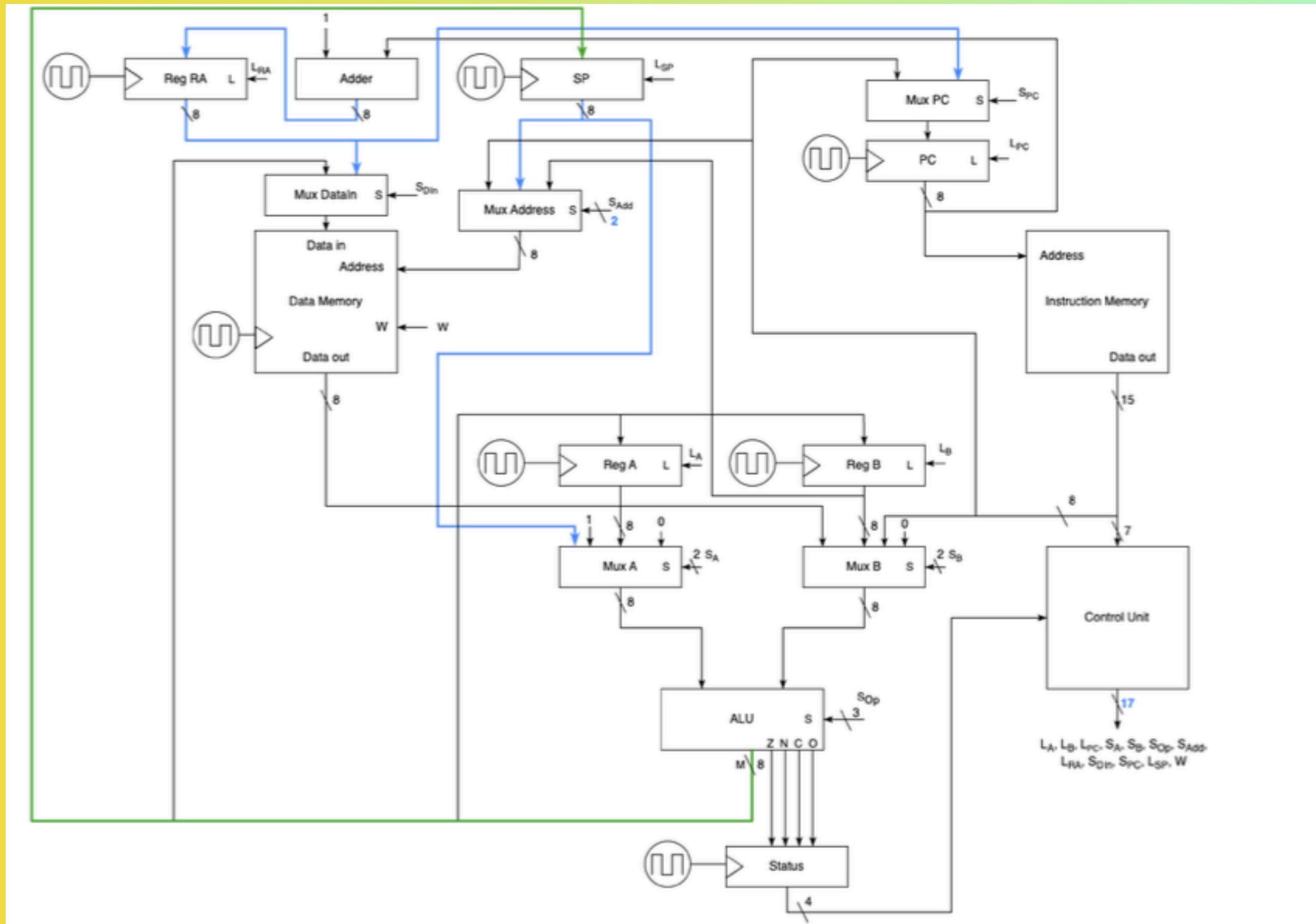


# Pregunta 1: Computador Básico

A partir del diagrama de base adjunto, y asumiendo que se eliminan las instrucciones CALL, RET, PUSH y POP, realice las modificaciones de hardware necesarias e indique la combinación de señales completa para ejecutar las siguientes instrucciones en un ciclo:

- MOV A,(SP). Guarda en A el valor Mem[SP].
  - MOV (SP), A. Guarda en Mem[SP] el valor A.
  - ADD SP,Lit. Guarda en SP el valor  $SP + Lit$ . Lit puede ser negativo.
  - MOV (SP), RA. Guarda en Mem[SP] el valor RA.
  - JAL RA, label. Guarda PC+1 en RA y salta a la dirección asociada a label.
  - JALR RA. Salta a la dirección almacenada en RA.
- 
- 

# Pregunta 1: Computador Básico





# Pregunta 1: Computador Básico

Instrucción	L <sub>A</sub>	L <sub>B</sub>	L <sub>PC</sub>	L <sub>SP</sub>	L <sub>RA</sub>	W	S <sub>A</sub>	S <sub>B</sub>	S <sub>OP</sub>	S <sub>Add</sub>	S <sub>DIn</sub>	S <sub>PC</sub>
MOV A, (SP)	1	0	0	0	0	0	ZERO	DOUT	ADD	SP	-	-
MOV (SP), A	0	0	0	0	0	1	A	ZERO	ADD	SP	ALU	-
ADD SP, Lit	0	0	0	1	0	0	SP	LIT	ADD	-	-	-
MOV (SP), RA	0	0	0	0	0	1	-	-	-	SP	RA	-
JAL RA, label	0	0	1	0	1	0	-	-	-	-	-	LIT
JALR RA	0	0	1	0	0	0	-	-	-	-	-	RA

# Pregunta 2: Diagrama de Señales

## Recordatorio Latches y FlipFlops

C	D	Q(t+1)
0	0	Q(t)
0	1	Q(t)
1	0	0
1	1	1

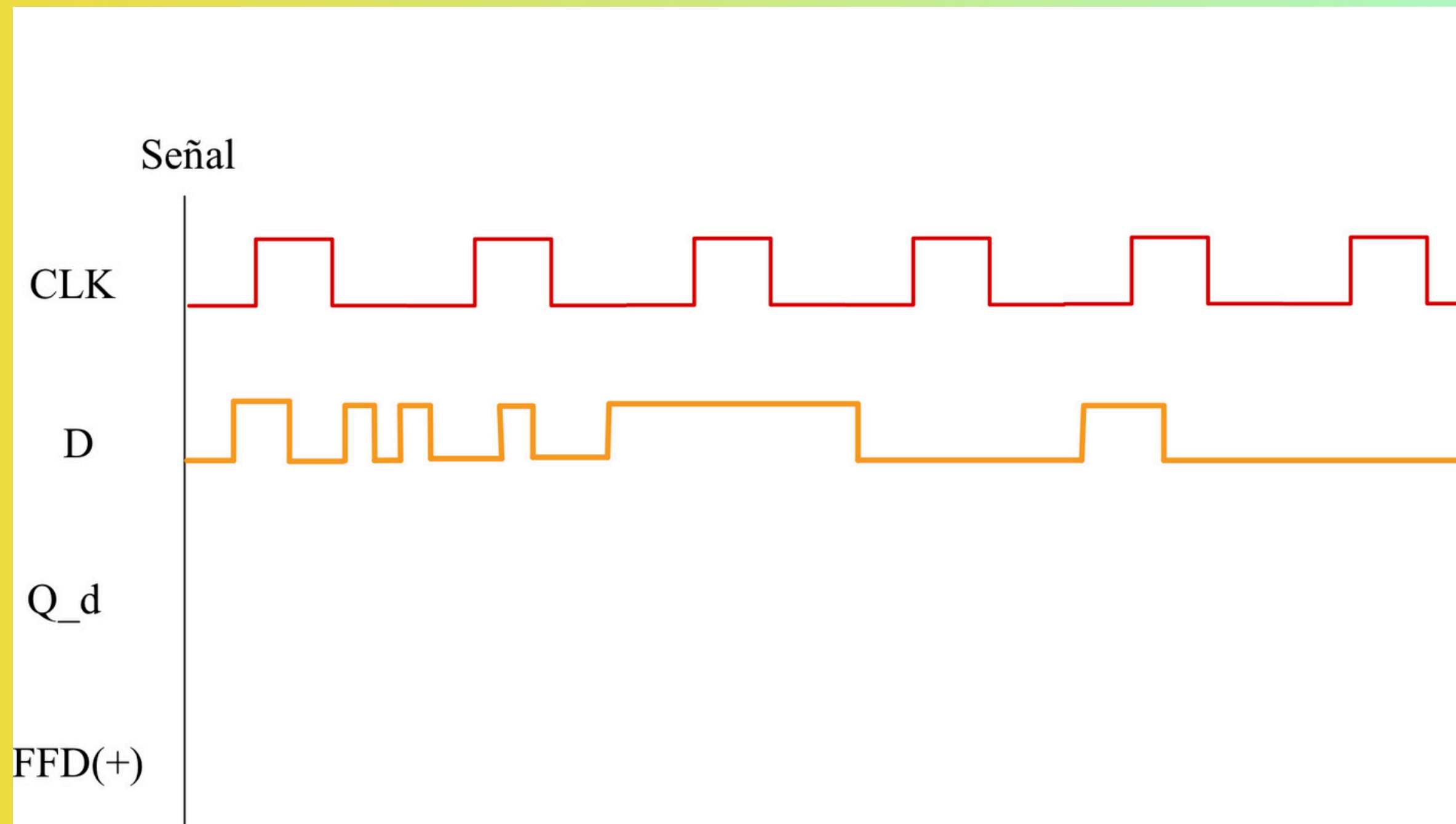
Latch D

CLK	D	Q(t+1)
0/1/↓	0/1	Q(t)
↑	1	Q(t)
↑	0	0

FlipFlop D

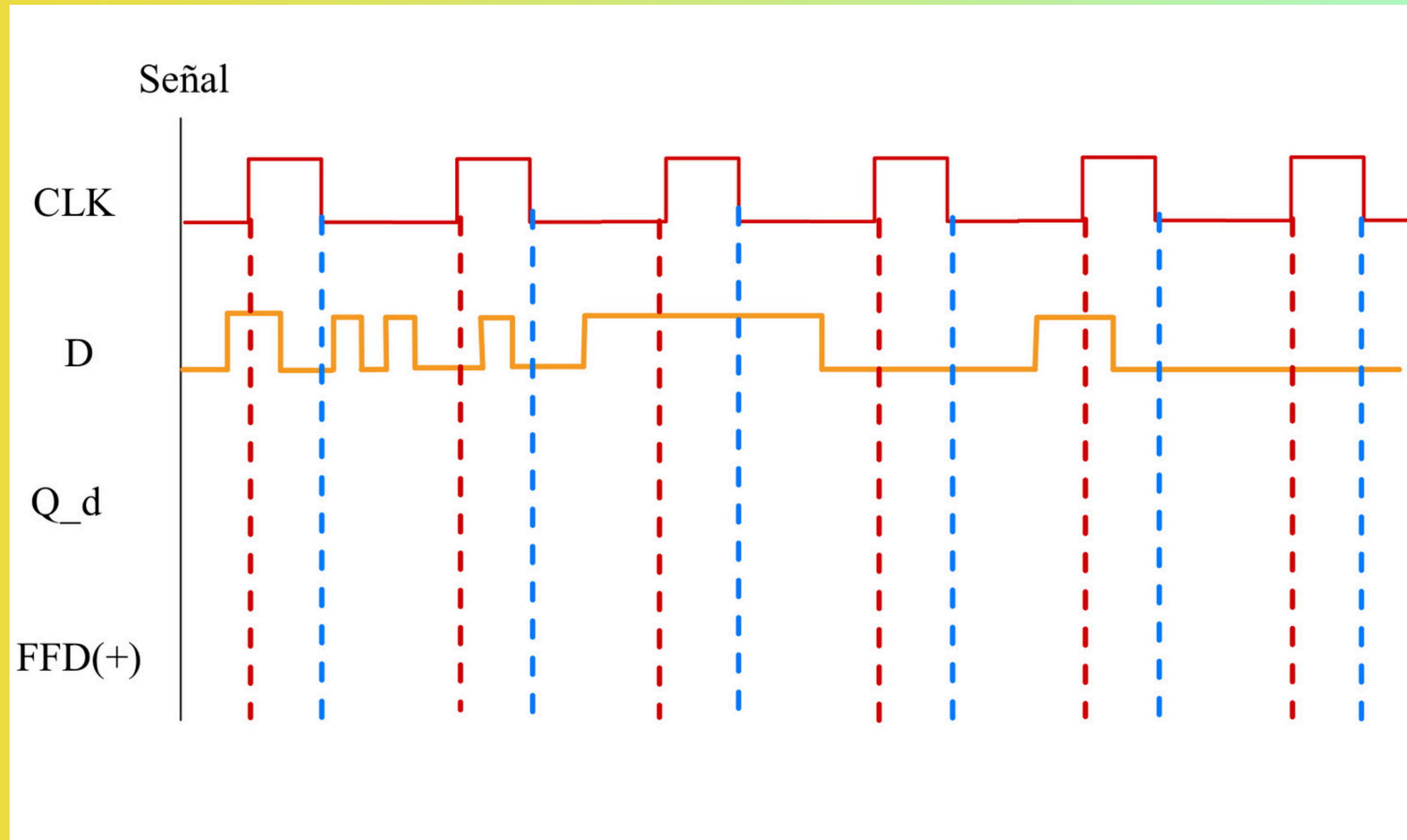
# Pregunta 2: Diagrama de Señales

Dibujar las señales de salida:



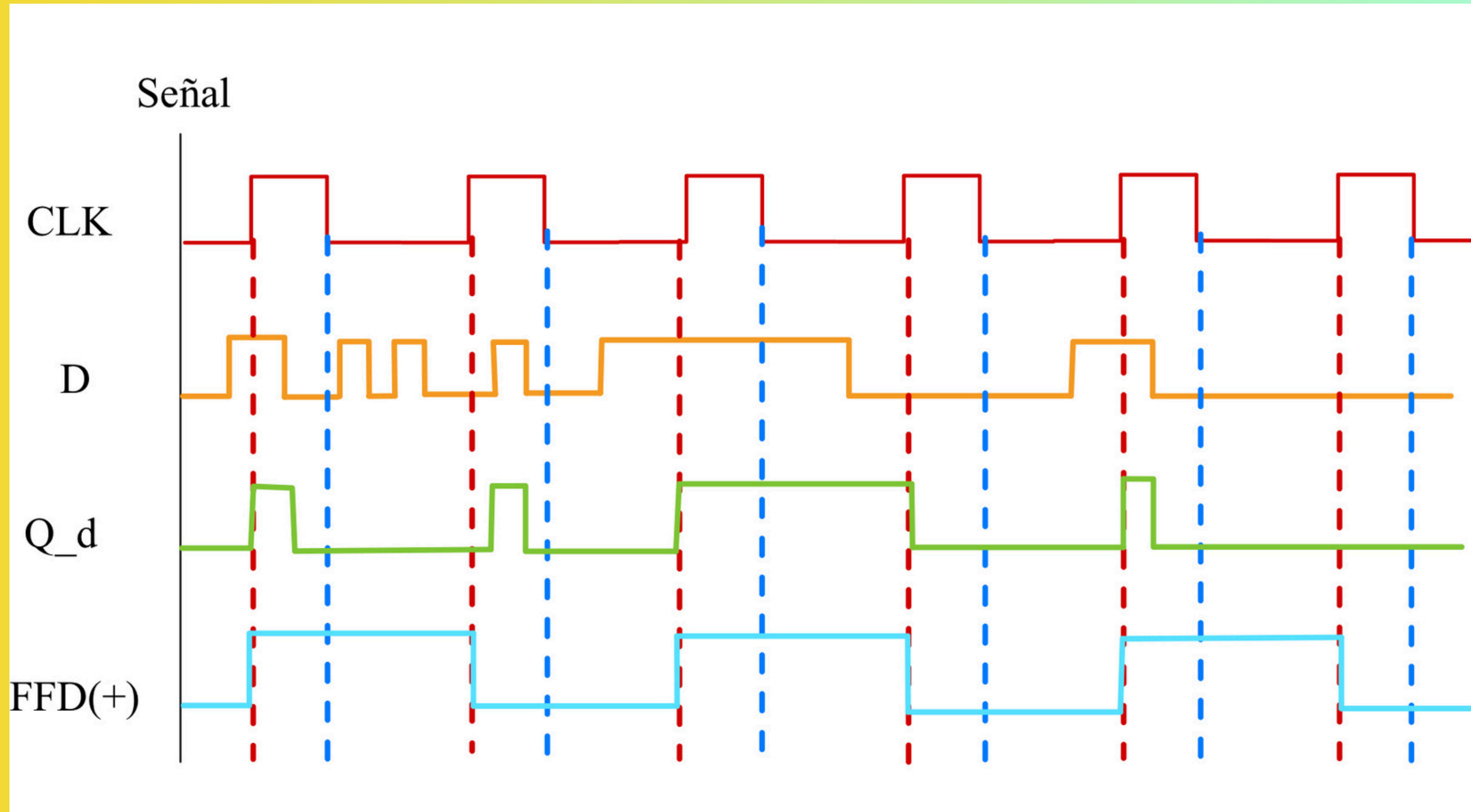
# Pregunta 2: Diagrama de Señales

Dibujar las señales de salida:



# Pregunta 2: Diagrama de Señales

Dibujar las señales de salida:



# Pregunta 2: Circuitos de Almacenamiento

Dibujar circuito:

Diseñe un contador secuencial de 2 bits que se decrementa con cada flanco de subida de la señal de control. Este contador, además debe recibir una señal de entrada B de un 1 bit, correspondiente al valor del botón del timer. si el valor de B es igual a 1 durante el flanco de subida de la señal de control (el botón está presionado), entonces el contador debe actualizar su valor a 3 en vez de decrementarse en una unidad





# Pregunta 2: Circuitos de Almacenamiento

Pasos Recomendados a Seguir:

- **Identificar conceptos importantes**
- **Crear tablas de verdad**
- **Deducir comportamiento salidas**
- **Dibujar el circuito**





# Pregunta 2: Circuitos de Almacenamiento

## Conceptos Importantes

- **Contador de 2 bits**
- **Decrementa en Flanco de Subida**
- **Señal B (1 bit) → RESET**



# Pregunta 3: Circuitos de Almacenamiento

Tabla de verdad:

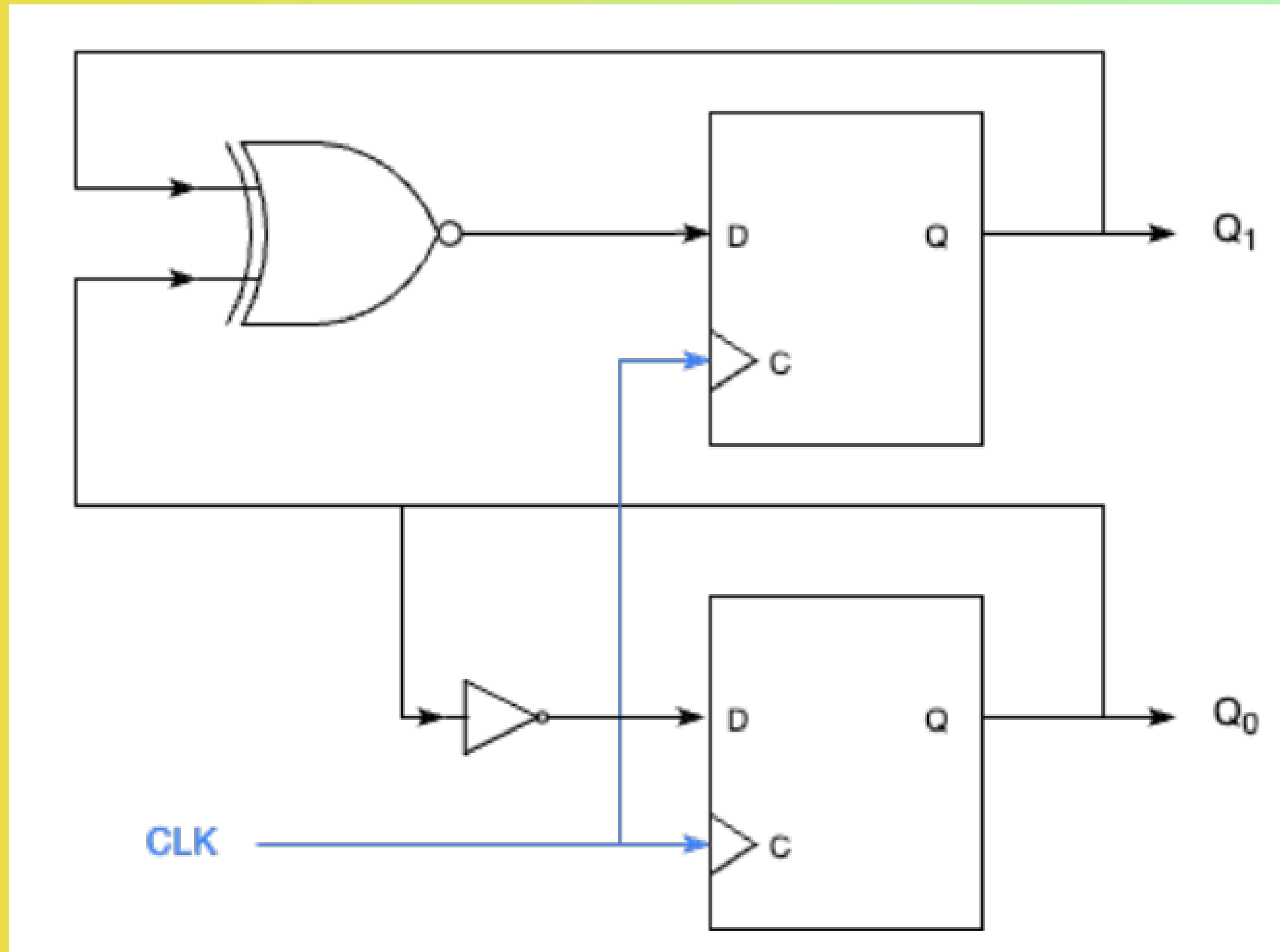
$Q_1^t$	$Q_0^t$	$Q_1^{t+1}$	$Q_0^{t+1}$
1	1	1	0
1	0	0	1
0	1	0	0
0	0	1	1

# Pregunta 3: Circuitos de Almacenamiento

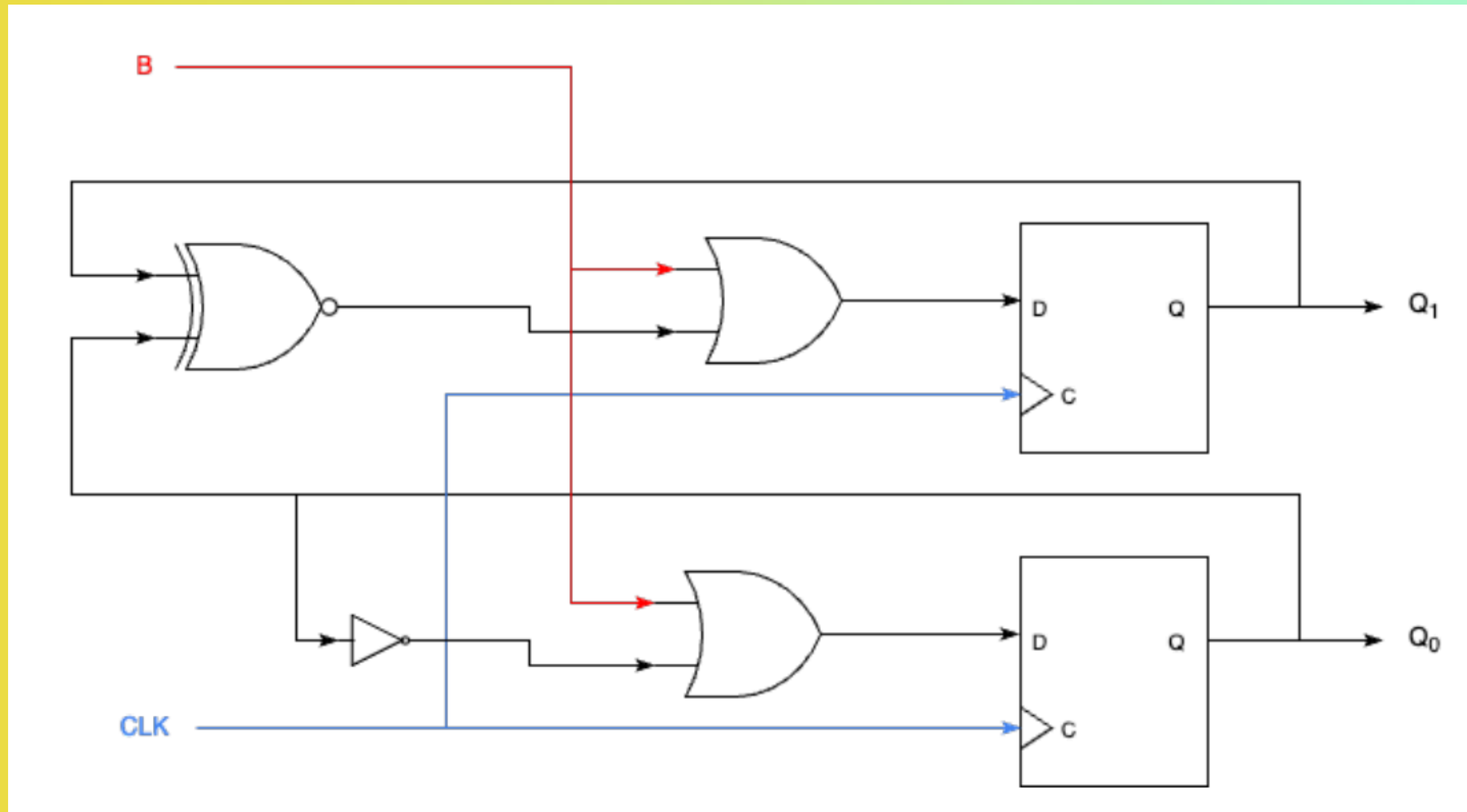
Deducción Salidas

- $Q_0^{t+1} = \text{NOT}(Q_0^t)$
- $Q_1^{t+1} = \text{NOT}(Q_1^t \text{ XOR } Q_0^t)$

# Pregunta 3: Circuitos de Almacenamiento



# Pregunta 3: Circuitos de Almacenamiento







# Representación numérica

Resta en formato IEEE-754



**Gracias Por Venir :D**  
Cualquier sugerencia respondan la encuesta<3

