

Regulamentul laboratorului de AC

Organizatoric (doar pentru ore ținute fizic în laborator!)

1. Hârtia și instrumentul de scris sunt obligatorii.
2. La stațiile de lucru existente se va lucra în D:\Student, unde se recomandă crearea unui director cu numele grupei, respectiv sub-director cu numele studentului.
3. La final de laborator, munca se salvează pe suport extern (USB stick, online, etc.). Nu se garantează persistenta proiectelor pe stațiile de lucru în săptămâni succesive. (=scuza "Cineva mi-a șters ce am făcut săptămâna trecută, deci nu pot..." este inutilă).
4. Se lucrează individual. Dacă există supraaglomerare, atunci este permis lucrul în echipă cu condiția ca fiecare să lucreze, alternativ!
5. Este permis lucrul pe laptop-ul personal, dacă se dorește, cu condiția să folosiți cablul personal micro-usb pentru programarea plăcii. Este interzisă utilizarea cablurilor de rețea/USB de la stațiile de lucru!
6. Semigrupele care termină la ora 20 (ultima semigrupă a zilei) au obligația de a pune la loc plăcile Basys (și alte elemente folosite).

Notare și prezență

1. Notarea/prezența se face la fiecare laborator prin menționarea nivelului de progres (ultima activitate completă).
2. Situația pe un laborator va arăta gradul de finalizare al activităților cerute, eventualele teme făcute acasă din laboratorul anterior, precum și lecturarea în prealabil (acasă) a materialului pentru laboratorul curent.
3. Necitirea în avans, acasă, a materialului pentru laboratorul curent se penalizează.
4. Orice cod prezentat pe care studentul nu este capabil să-l explice în detaliu, sau să îl poată reproduce, se consideră copiat. Penalizarea de regulă va fi marcată în situația online pe laboratorul curent, la prima abatere (de la a doua, se poate ajunge la recontractarea disciplinei).
5. Prezențele sunt obligatorii conform orarului pe grupe (inclusiv semi-grupele se vor respecta!), absențele accidentale (maxim 2), din motive întemeiate, se pot recupera în aceeași săptămână cu alte grupe, sau în săptămâna imediat următoare. Se anunță prin e-mail profesorul de laborator și curs. Situațiile excepționale (ex. mai multe absențe din motive medicale) se discută cu profesorul de laborator și curs.
6. În cazul cumulării a mai mult de 2 absențe (cel mult 4), se discută cu profesorul de la curs.
7. În cazul cumulării a mai mult de 4 absențe (chiar și recuperate pe parcurs), disciplina se recontractează (complet).

Examinare la laborator (în varianta online! Dacă la finalul semestrului se va reveni la activitatea față în față atunci pot interveni modificări):

Procedura de evaluare pentru laborator va avea 2 componente, care acoperă evaluarea amănunțită a cunoștințelor acumulate:

1. Test unic online, pe Moodle, în ultimele săptămâni de școală (se va da un singur test cu ambele serii, la o data/ora care se va stabili de comun acord cu reprezentantii de serie). **Nota L1**
2. Discuție individuală de 20-30 minute cu profesorul de laborator (audio/video/share screen, cu Vivado și proiectele MIPS deschise + cele 2 rapoarte). Se vor evalua 6-8 studenți în fiecare laborator / grupa. Evaluarea va avea loc în ultimele săptămâni de școală. Programarea se stabilește în prealabil cu cadrul didactic de la fiecare grupă/semigrupă. **Nota L2**

Nota finală pe laborator $L = 0.6 \cdot L1 + 0.4 \cdot L2$. Promovare dacă $L1 \geq 5$ și $L2 \geq 5$, prezenta conform regulament (verificată prin temele încărcate în Moodle), condiționată suplimentar de un nivel susținut de activitate pe parcursul laboratoarelor

Descrierea în VHDL

1. Primele 3 laboratoare/primul curs au scopul de a vă reintroduce în limbajul VHDL. Se începe de la cel mai jos nivel, fiind extrem de important pentru cei care au lacune să recupereze (= scuza la final de semestru „De fapt eu nu am lucrat nimic pentru că nu am știut VHDL de la materiile anterioare....” este inutilă!).
2. Nu se va mai privi limbajul VHDL ca un limbaj de programare! Când scrieți cod VHDL, gândiți-vă permanent că prin acel cod descrieți comportamentul unui circuit digital, și implicit, mediul de dezvoltare va sintetiza acel circuit.
3. Ca o completare la regula 2, nu scrieți niciodată un proces VHDL atât de complex încât să nu vă fie clar ce se va sintetiza din acel proces (respectiv ce componentă descrieți de fapt).
4. Nu se va merge pe abordare structurală generalizată, adică fiecare componentă, indiferent de complexitatea sa (poartă logică, registru, etc.) să aibă entitate separată, importată apoi cu component/port map într-un circuit mai complex.
5. Se va folosi pe o abordare mixtă, adică o componentă X se va declara ca o entitate de sine stătătoare dacă: are o funcționalitate care este peste cea a componentelor de bază și conține cel puțin câteva componente de bază (porți, regiștri, mux, demux, decodificator, etc.). Aceste componente de bază se vor descrie în arhitectura entității X prin semnale declarate, procese și / sau atribuiri concurente.