



Projeto II

Design de Computadores

NOVEMBRO 2021

Professor: Paulo Santos

**Autores: Cícero Valentim, Gabriel Kabbani, Luís
Filipe Loureiro**

Insper

Introdução

Esse Relatório tem o objetivo de apresentar o a Entrega Intermediária do Projeto 2 da disciplina de Design de Computadores. Para tanto foi realizado a implementação de um processador RISC 32 bits, compatível com o MIPS DLX.

Toda a construção do código foi realizada por meio do código em VHDL realizada no Quartus. Nesse Relatório, foi feita a descrição do funcionamento do fluxo de dados e unidade de controle.

Diagrama de Blocos

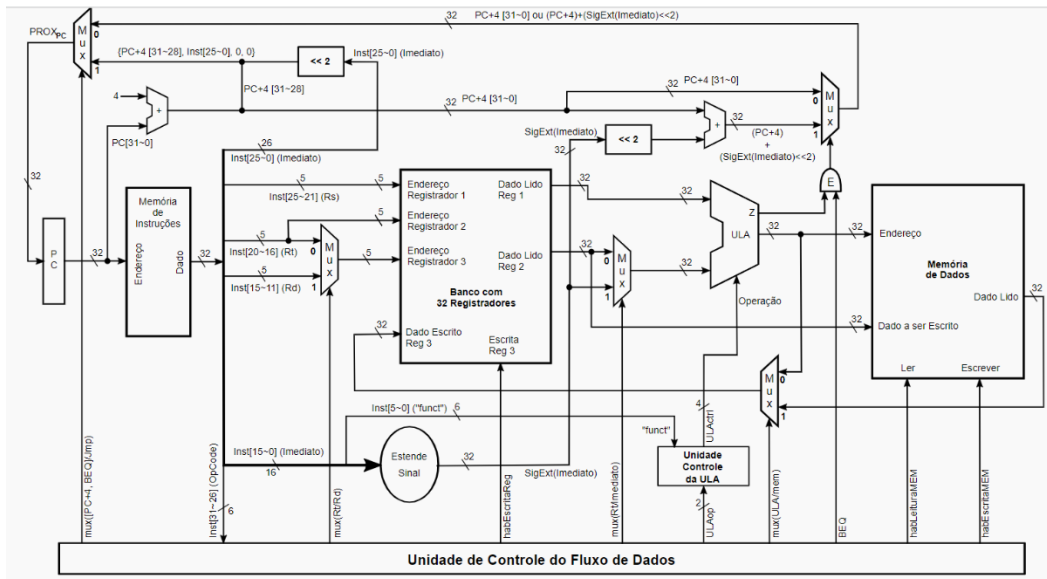


Imagem 1: Diagrama geral do circuito MIPS com a especificação das larguras

Descrição Geral

O circuito é compatível com o MIPS DLX, assim, é baseado em três formatos básicos de instruções, todas com 32 bits de largura:

- **Tipo R:** Grupo de instruções lógica e aritméticas que operam apenas com registradores (sempre com três registradores).

opcode	Rs	Rt	Rd	shamt	funct
6 bits	5 bits	5 bits	5 bits	5 bits	6 bits
MSB (b31)					LSB (b0)

Imagem 2: Estrutura dos Campos da Instrução Tipo R

- **Tipo I:** Utilizados para manipulação de memória e carregar e operações aritméticas entre valores carregados e registradores.

opcode	Rs	Rt	Rd	shamt	funct
6 bits	5 bits	5 bits	5 bits	5 bits	6 bits
MSB (b31)			LSB (b0)		

Imagem 3: Estrutura dos Campos da Instrução Tipo I

- **Tipo J:** Utilizados para realizar desvios incondicionais no fluxo do programa – alterando o valor do PC

opcode	Rs	Rt	Rd	shamt	funct
6 bits	5 bits	5 bits	5 bits	5 bits	6 bits
MSB (b31)			LSB (b0)		

Imagem 4: Estrutura dos Campos da Instrução Tipo J

Para a construção da ULA, nós, inicialmente, a construímos como um único bit e a repetimos 32 vezes, recebendo, assim, um vetor de 32 bits. Ela é capaz de executar 8 instruções.

Operação	Tipo
ADD	R
SUB	R
AND	R
OR	R
SLT	R
LW	I
SW	I
BEQ	I

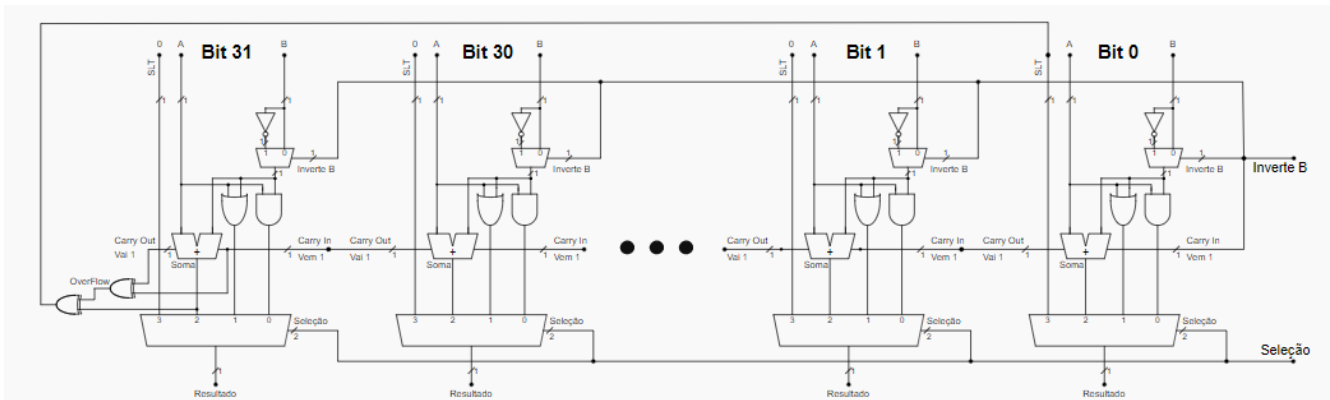


Imagem 5: Construção da ULA foi baseada na reprodução com um bit unitário

Fluxo de Dados

O fluxo de dados completo do processador (incluindo LEDs e displays de 7 segmentos) segue o esquema apresentado na figura a seguir (Imagem 6) abaixo.

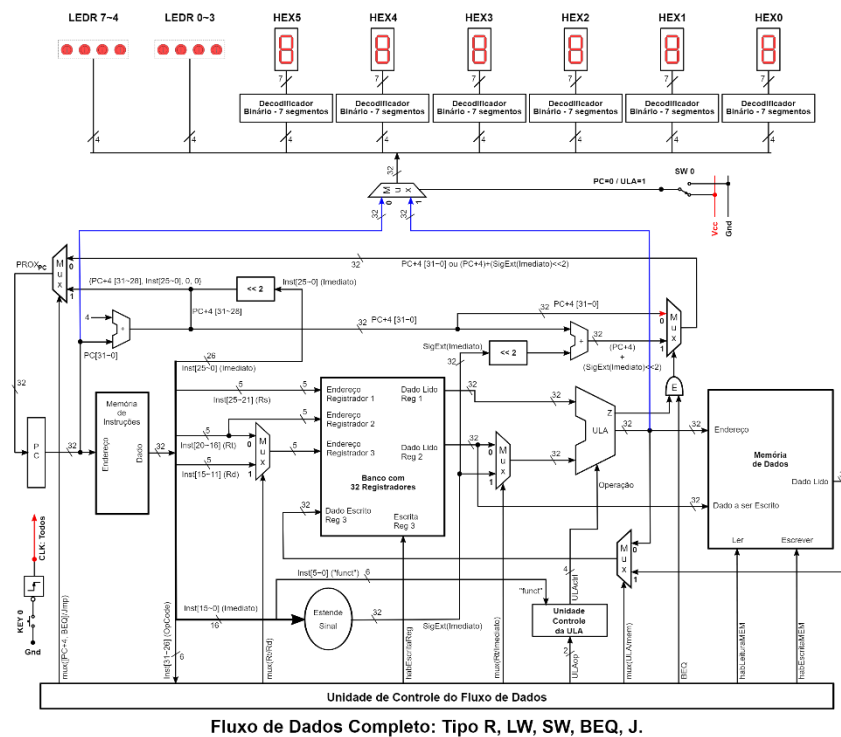


Imagem 6: Diagrama geral da interação entre a instrução de as unidades de controle

De modo geral, o FD está preparado para realizar operações do tipo I, R e J do MIPS. Para que isso ocorra adequadamente, a unidade de controle do fluxo de dados configura os sinais de controle para cada componente de comportamento variável, isto é, que muda de comportamento a depender

da operação a ser realizada. As configurações diferentes que podem ser assumidas pelo fluxo de dados se devem aos sinais de controle.

- Três dos nove sinais de controle do fluxo configuram multiplexadores;
- Dois habilitam leitura e escrita na memória de dados;
- Um habilita escrita no registrador R3 do banco de registradores;
- Um habilita um flip-flop de desvio em caso da operação “branch on equal”;
- Um deles é enviado à unidade de controle da ULA;

Unidade de Controle

Neste projeto utilizamos duas unidades de controle, uma destinada à ULA, e outra para o fluxo de dados. Ambas elas são cruciais para decodificar a instrução, e assegurar o fluxo correto de dados. Como é possível ver na imagem abaixo, a UC de fluxo de dados decodifica o *opcode*, enquanto a UC da ULA decodifica o *funct*.

Começando pela UC FD, ela é responsável por acionar os sinais de controle baseado no *opcode* que recebe. Dessa forma, uma série de seletores de Mux e outros sinais são ativados pela UC FD. Além disso, caso seja uma operação que utilize a ULA, como as do tipo R, LW/SW, ou BEQ, a unidade de controle específica para a UC ULA qual dessas está sendo utilizada, através do sinal *ULAop*.

Uma vez que a UC ULA recebe o *ULAop*, ela consegue decodificar o *funct* caso seja uma instrução do tipo R, e assim atribuir a operação correta na ULA através do seletor *ULActrl*. Caso o *ULAop* indique que a instrução é de BEQ ou LW/SW, o sinal de *ULActrl* já pode ser enviado com a operação correspondente para a ULA, seja ela *add* ou *sub*.

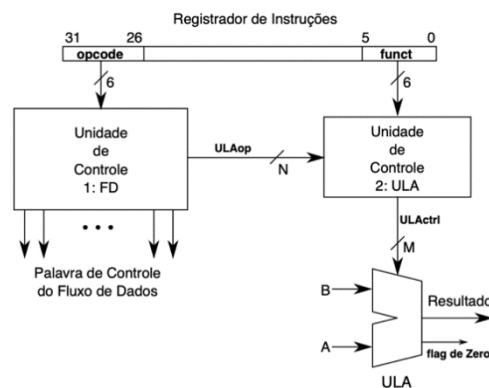


Imagem 7: Diagrama geral da interação entre a instrução e as unidades de controle