

Circuito de Recepção Serial Assíncrona

Versão LabEAD 2021

RESUMO

O objetivo desta experiência é realizar o projeto e a implementação de um circuito digital em VHDL que recebe dados digitais (caracteres em código ASCII) originados de um terminal serial usando a linguagem de descrição de hardware VHDL e uma placa de desenvolvimento FPGA DE0-CV da Intel FPGA.

OBJETIVOS

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Comunicação serial assíncrona (RS232C);
- Metodologia de Projeto de Circuitos Digitais com FPGA;
- Projeto de circuitos com VHDL;
- Depuração com ferramentas.

1. PARTE EXPERIMENTAL

A parte experimental envolve a realização de um conjunto de atividades visando o desenvolvimento de um circuito digital para a recepção de dados de um terminal serial, usando a placa de desenvolvimento FPGA DE0-CV da Intel. Completa-se assim o estudo da comunicação serial assíncrona.

1.1. Atividade 1 – Estudo Inicial para o Projeto do Circuito de Recepção

Estude a apostila “**Conceitos de Comunicação Serial Assíncrona**” sobre o uso da técnica de superamostragem no projeto do circuito de recepção. A figura 1 ilustra a relação dos principais sinais do circuito de recepção serial assíncrona.

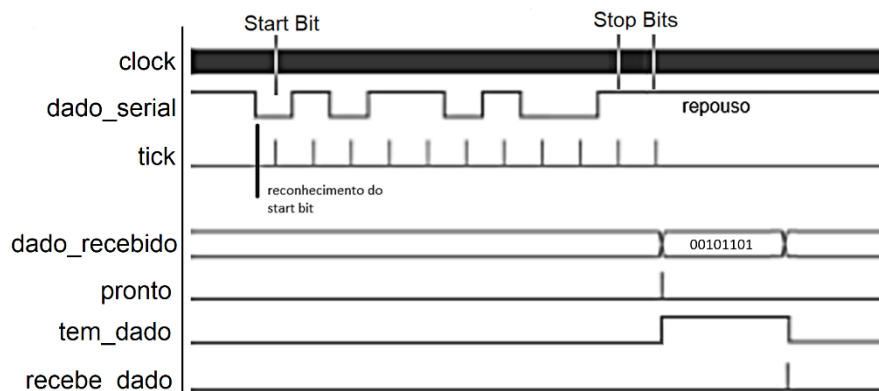


Figura 1 – Dados seriais, clock e tick na superamostragem da recepção serial assíncrona.

- Explique o funcionamento básico do circuito de recepção serial assíncrona em termos dos principais componentes digitais que fazem parte do **fluxo de dados** (p.ex. deslocador, contador, etc). Considere nesta descrição um circuito básico com a recepção de um *bit* por período de *clock*.
- Explique a máquina de estados básica da **unidade de controle** do circuito de recepção. Considere aqui também um circuito básico para recepção de um bit por período de *clock*.
- Explique o funcionamento da aplicação da técnica de superamostragem para o circuito de recepção serial assíncrona. Que alterações são necessárias na unidade de controle do item b) com a adoção da técnica de superamostragem?

- d) Mostre a relação de frequências entre os sinais de *clock* e *tick*. Explique os instantes da ocorrência dos sinais de *tick* em relação aos *bits* de dados do sinal serial de entrada do circuito de recepção.
DICA: considere por exemplo um *clock* de 50MHz e uma taxa de comunicação de 9600 *bauds*.
- e) Ao comparar o projeto do circuito da experiência com o projeto do circuito de transmissão serial, o que a adoção da superamostragem muda no desenvolvimento do fluxo de dados e da unidade de controle?

1.2. Atividade 2 – Projeto do Circuito de Recepção Serial

Esta atividade envolve o desenvolvimento do projeto lógico do circuito de recepção serial assíncrona, usando a técnica de superamostragem. A configuração da comunicação serial deve ser **8N2** com uma taxa de comunicação de 9600 *bauds*.

Especificação do Projeto. O circuito de recepção de dados seriais recebe a sequência de *bits* proveniente de um terminal serial pela entrada *dado_serial*. Ao detectar o envio de um dado serial, o circuito deve mostrar seu código ASCII (*dado_recebido*) e acionar um *led* para indicar a recepção do dado (*tem_dado*).

Este sinal *tem_dado* deve permanecer ativado até que o circuito receba o acionamento do sinal de entrada *recebe_dado*, indicando que o dado recebido foi registrado (p.ex. pelo módulo principal do sistema digital). O circuito não deve descartar este dado recebido até que o sinal *recebe_dado* seja acionado (manter registrado o dado, mesmo com a vinda de outro dado serial pela linha de comunicação).

Ao receber a confirmação de recebimento do dado pelo acionamento de *recebe_dado*, o circuito deve desativar a saída *tem_dado*. Somente a partir deste momento, o circuito poderá receber novos dados seriais.

Estes sinais fazem parte de um circuito de interface entre o circuito de recepção serial e o sistema digital que faz uso da comunicação serial. Isto está ilustrado nas formas de onda da figura 1.

A documentação do circuito deve detalhar os elementos do fluxo de dados e seu controle pela unidade de controle. A interface do circuito é mostrada na Figura 2. Sinais adicionais de depuração podem ser especificados e devem ser documentados no Planejamento. A configuração da comunicação serial a ser adotada no projeto é denominada **8N2**, ou seja, 8 *bits* de dados, sem *bit* de paridade e 2 *stop bits*.

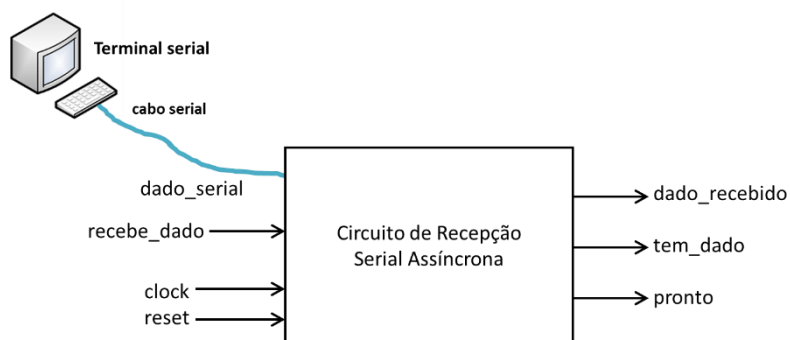


Figura 2 – Interface do Circuito de Recepção de Dados.

A entidade principal do circuito de recepção serial deve seguir a especificação dada.

```

entity rx_serial_8N2 is
  port
  (
    clock:          in  std_logic;
    reset:          in  std_logic;
    dado_serial:    in  std_logic;
    recebe_dado:    in  std_logic;
    pronto_rx:      out std_logic;
    tem_dado:       out std_logic;
    dado_recebido:  out std_logic_vector (7 downto 0);
    db_estado:      out std_logic_vector (6 downto 0) -- estado da UC
  );
end entity;
```

Note que foi especificada uma saída de depuração para a apresentação do estado da unidade de controle em um *display* de 7 segmentos da placa FPGA.

- f) Incluir na documentação do projeto os diagramas de funcionamento usados no projeto (diagrama de estados da unidade de controle, diagrama de blocos do fluxo de dados, etc).
- g) O Planejamento deve conter a descrição do projeto em VHDL de cada um dos componentes e módulos, uma explicação da integração destas partes e, finalmente, uma descrição do funcionamento do projeto completo.
- h) Defina os casos de testes devem ser executados para assegurar o correto funcionamento do circuito completo. Redija um Plano de Testes a ser empregado tanto na simulação como nos testes na placa FPGA.

1.3. Atividade 3 – Simulação do Circuito de Recepção Serial

Esta atividade envolve a simulação do projeto lógico do circuito de recepção serial assíncrona, usando o software **ModelSim**, disponível com o Intel Quartus Prime.

- i) Estude a descrição do *testbench* fornecido para o circuito de recepção serial (arquivo `rx_serial_tb.vhd`).
- j) Ajuste o *testbench* para verificar o funcionamento do circuito de recepção serial, incluindo os casos de teste especificadas no item h). Documente o código VHDL do *testbench* no Planejamento.

Dica: Para mais informações sobre a organização interna de *testbenches*, consulte a postagem do prof. Bruno Albertini disponível em [ALBERTINI, 2021].

- k) Simule a recepção de dados com o software ModelSim e inclua as formas de onda no Planejamento. A figura 3 ilustra uma possível saída da simulação com ModelSim.

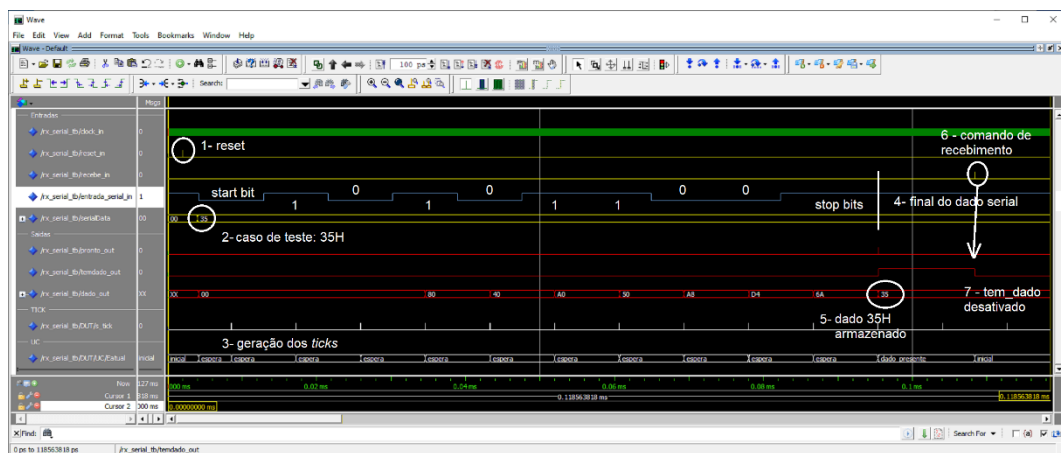


Figura 3 – Exemplo de forma de onda gerada pelo ModelSim.

- l) Submeter o arquivo QAR (`exp3-txby.qar`) do projeto e o arquivo VHDL do *testbench* junto com o Planejamento.

1.4. Atividade 4 – Implementação do Projeto na Placa FPGA DE0-CV

Neste item vamos implementar, no Laboratório Digital, o projeto do circuito de recepção serial com configuração em **8N2** e 9600 *bauds* na placa FPGA DE0-CV.

- m) Inicialmente, realizaremos testes do circuito com auxílio do **Analog Discovery**. A entrada de dados seriais deverá ser gerada a partir da ferramenta **Protocol** (Analisador de Protocolos) configurada para o protocolo RS232C com comunicação em 8N2 na aba UART da ferramenta. O caractere ASCII a ser enviado deverá ser digitado no campo de transmissão (TX) e será transmitido ao pressionar o botão *Send*, conforme a figura 4 abaixo.

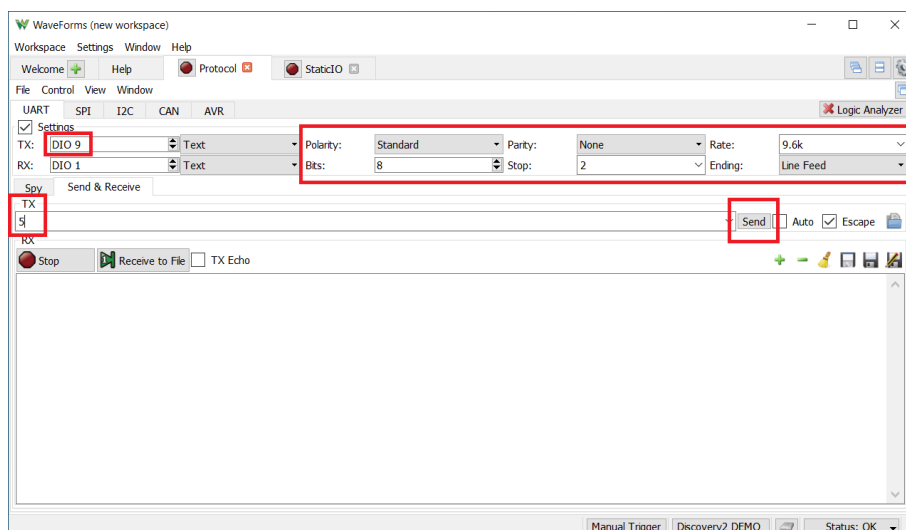


Figura 4 – Uso da ferramenta *Protocol* para envio de dados seriais.

- n) Sintetizar o circuito de recepção serial para a placa FPGA DE0-CV. Usar a seguinte designação de pinos mínima (adicionar sinais de depuração definidos pelo grupo).

sinal	pino	Analog Discovery
CLOCK	CLOCK_50	-
RESET	GPIO_0_D27	Static I/O – Button 0/1 – DIO7
RECEBE_DADO	GPIO_0_D29	Static I/O – Button 0/1 – DIO8
DADO_SERIAL	GPIO_0_D31	Protocol – UART – DIO9
DADO_RECEBIDO	leds LEDR[0-7]	-
PRONTO_RX	led LEDR[8]	-
TEM_DADO	led LEDR[9]	-
DB_ESTADO	display HEX5	-

DICA: outros sinais de depuração podem ser especificados e também devem ser designados.

- o) Programe a placa DE0-CV e execute os testes definidos para o circuito de recepção serial para vários dados seriais, conforme Plano de Teste elaborado no Planejamento. Anote os resultados obtidos.
- p) Use ferramentas do **Analog Discovery** para a visualização dos sinais digitais e depuração do circuito. Adicione figuras com as saídas das ferramentas no Relatório.

DICA: por exemplo, a forma de onda da entrada serial pode ser observada através do uso da ferramenta *Scope* do Analog Discovery, com um pequeno ajuste no circuito.

- q) Na segunda parte desta atividade, passaremos a interfacear o circuito de recepção serial via protocolo **MQTT**. Configure o projeto do *MQTT Dash* e ajuste o circuito na FPGA DE0-CV conforme a tabela de designação (mínima) abaixo. Sinais de depuração podem ser adicionados pelo grupo (documento no Relatório).

sinal	pino	MQTT
CLOCK	CLOCK_50	-
RESET	GPIO_0_D0	E0 (Switch/button)
RECEBE_DADO	GPIO_0_D1	E1 (Switch/button)
DADO_SERIAL	GPIO_0_D12	RX (Text)
DADO_RECEBIDO	<i>leds LEDR[0-7]</i>	-
PRONTO_RX	<i>led LEDR[8]</i>	-
TEM_DADO	<i>led LEDR[9]</i>	-
DB_ESTADO	<i>display HEX5</i>	-

- r) Sintetizar o circuito de recepção serial e programe o projeto na placa FPGA DE0-CV.
- s) Testar o circuito e documentar os resultados experimentais obtidos. Anexe figuras comprovando o funcionamento do circuito.
- t) Submeter o arquivo QAR final do projeto (`exp3-final-txby.qar`) junto com o Relatório.

1.5. Atividade 5 – Desafio

Neste item deverão ser estudados e implementados alguns melhoramentos nos circuitos de comunicação serial desenvolvidos nas experiências anteriores. A comunicação serial deve seguir a especificação **8N2**.

- u) A **especificação** do projeto do desafio, envolvendo os circuitos de transmissão serial assíncrona e de recepção serial assíncrona, será apresentada pelo professor. Estude esta especificação e verifique quais partes dos projetos dos circuitos deverão ser alterados.
- v) Projete o circuito do desafio e documente.
- w) Elabore um *testbench* para ser usado nas **simulações** do projeto do Desafio com o software ModelSim. Documente as simulações, com figuras das formas de onda obtidas.
- x) Sintetize o circuito para a placa DE0-CV, programe o projeto e teste seu funcionamento.
- y) Documente os resultados obtidos nos **testes** realizados.
- z) Submeter o arquivo QAR do projeto do desafio (`exp3-desafio-txby.qar`) e o arquivo VHDL do *testbench* junto com o Relatório.

2. BIBLIOGRAFIA

- ALBERTINI, B. **Testbenchs em VHDL**. https://balbertini.github.io/vhdl_testbench-pt_BR.html. Acesso em 12/09/2021.
- ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1**. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2017.
- ALTERA. **DE0-CV User Manual**. 2015.
- ALTERA. **Quartus Prime Introduction Using VHDL Designs**. 2016.
- ALTERA. **Quartus Prime Introduction to Simulation of VHDL Designs**. 2016.
- CCITT - Fifth Plenary Assembly. Green Book. Vol. VIII, Geneve, December 1972.
- D'AMORE, R. **VHDL - descrição e síntese de circuitos digitais**. 2ª edição, LTC, 2012.
- Electronic Industries Association. **Interface Between Data Terminal Equipment and Data Communication Equipment Employing Serial Date Interchange EIA-RS-232-C**, Washington, August 1969.
- HELD, G. **Understanding Data Communications**. 6th ed., New Riders, 1999.
- PCS-EPUSP. **Conceitos de Comunicação Serial Assíncrona**. Apostila de Laboratório Digital. 2020.
- TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. **Sistemas Digitais: Princípios e Aplicações**. Prentice-Hall, 11ª ed., 2011.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4th edition, Prentice Hall, 2006.

3. EQUIPAMENTOS NECESSÁRIOS

- 1 computador com softwares Intel Quartus Prime e ModelSim.
- 1 dispositivo Analog Discovery da Digilent.
- 1 placa de desenvolvimento FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N.
- 1 *kit* Lab do LabEAD (para implementação do acesso remoto).

Histórico de Revisões

E.S.G. e F.N.A./2001 – revisão
 E.T.M./2004 – revisão
 E.T.M./2005 – revisão
 E.T.M./2008 – revisão
 E.T.M./2011 – revisão
 E.T.M./2012 – revisão
 E.T.M./2013 – revisão da parte experimental
 E.T.M./2014 – revisão
 E.T.M./2015 – revisão do texto
 E.T.M./2016 – revisão
 E.T.M./2017 – revisão
 E.T.M./2018 – revisão
 E.T.M./2019 – revisão
 E.T.M./2020 – revisão e reorganização da experiência para acesso remoto.
 E.T.M./2021 – revisão