

# Transmissão Serial Assíncrona

Versão LabEAD 2021

## RESUMO

O objetivo desta experiência é projetar circuitos digitais para comunicação serial de dados (transmissão de dados) com um terminal de dados, utilizando a norma EIA-RS-232C e o código ASCII (*American Standard Code Information Interchange*). A parte experimental consiste no projeto e na implementação de um circuito digital em VHDL que envia dados digitais (caracteres em código ASCII) para um terminal serial usando a linguagem de descrição de hardware VHDL e uma placa de desenvolvimento FPGA DE0-CV da Altera.

## OBJETIVOS

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Comunicação serial assíncrona (RS232C);
- Conversores de nível de tensão;
- Metodologia de Projeto de Circuitos Digitais com FPGA;
- Projeto de circuitos com VHDL;
- Depuração com ferramentas.

## 1. PARTE EXPERIMENTAL

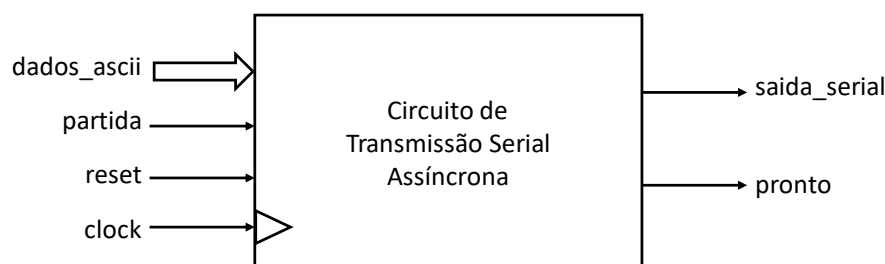
A parte experimental envolve a realização de um conjunto de atividades visando o desenvolvimento de um circuito digital para a transmissão de dados para um terminal serial, usando a placa de desenvolvimento FPGA DE0-CV.

Esta experiência foi planejada para ser executada de forma remota, usando os recursos disponíveis na plataforma LabEAD. A bancada remota no Laboratório Digital inclui computador, uma placa FPGA DE0-CV, um Analog Discovery e os componentes do LabEAD (placa ESP8266/Wemos D1 mini, webcam e outros componentes).

### 1.1. Atividade 1 – Estudo do Projeto Base do Circuito de Transmissão Serial

Esta atividade envolve o estudo e a familiarização do projeto do **circuito base** de transmissão serial assíncrono. O arquivo `tx_serial_base.qar` fornecido contém os arquivos para o Intel Quartus Prime.

**Especificação do Projeto Base:** O circuito fornecido transmite um caractere ASCII de 7 *bits* especificado na entrada `dados_ascii` com o acionamento do sinal `partida`. Ao final da transmissão, o sinal `pronto` é acionado. A saída `saida_serial` deve ser usada para ser ligada ao terminal serial. A configuração da comunicação serial adotada no projeto é denominada 7E2, ou seja, 7 *bits* de dados, paridade par (*even*) e 2 *stop bits*, com uma taxa de comunicação de 115 200 *bauds*. A figura 1 mostra a interface externa do circuito, com os sinais de entrada e saída.



**Figura 1 – Interface do Circuito de Transmissão Serial Assíncrona.**

- a) Abrir o arquivo QAR com o Intel Quartus Prime e estudar o código VHDL do circuito.

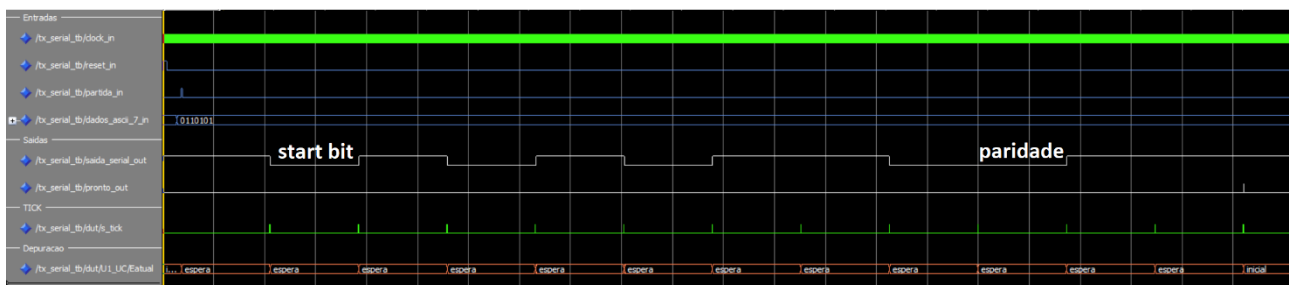
Este estudo é muito importante para o aprendizado de técnicas de projeto e utilização eficiente de ferramentas de desenvolvimento. Por exemplo, a técnica de superamostragem aplicada no projeto do circuito de transmissão serial será também usada no projeto seguinte. Além disto, o ModelSim deverá ser usado não somente para a simulação e geração de formas de onda, como também para medidas e análise de parâmetros das saídas do circuito.

Alguns aspectos essenciais deste estudo incluem os seguintes pontos:

- Identificar os componentes do fluxo de dados e a composição deles para formar o módulo fluxo de dados (entidade `tx_serial_7E2_fd`).  
DICA: use a saída da ferramenta *RTL Viewer* para ilustrar este estudo.
- Determinar como os *bits* de entrada são armazenados nos componentes internos do fluxo de dados.
- Analisar a máquina de estados da unidade de controle (entidade `tx_serial_uc`) e estude os estados e as transições entre eles.  
DICA: use a saída da ferramenta *State Machine Viewer* e edite a figura para incluir as condições de transição de estados e as saídas dos sinais de controle em cada estado.
- Verificar como o sinal interno de *tick* é gerado e como este sinal é usado pela unidade de controle para determinar os instantes em que o sinal serial é modificado.

Os diagramas gerados são importantes para as modificações a serem realizadas no projeto da Atividade 2 a seguir.

- b) Defina os casos de testes que devem ser executados para assegurar o correto funcionamento do circuito completo. Se julgar necessário, defina alguns **sinais de depuração**.
- c) Simular o funcionamento do projeto com ModelSim, usando os casos de teste definidos, e anexar as formas de onda obtidas no Planejamento.  
DICA: um modelo de *testbench* (`tx_serial_tb.vhd`) é fornecido como base para o desenvolvimento das simulações com o ModelSim. Por exemplo, a figura 2 ilustra uma forma de onda para o caso de teste de transmissão do caractere 5 (código ASCII 35H), com acréscimo de sinais de depuração (sinal de *tick* e estado da unidade de controle). A partir da análise da forma de onda obtida da simulação, podemos também identificar que o *bit* de paridade da transmissão é igual a zero.



**Figura 2 – Exemplo de forma de onda da simulação de um caso de teste.**

Use as ferramentas disponíveis do software para verificar e analisar as formas de onda geradas (p.ex. largura de *bit*, conjunto de *bits* transmitidos, geração do sinal de *tick*, etc). A figura 3 mostra a medida da largura de 1 *bit* usando os cursores. Observe que para uma taxa de 115 200 *bauds*, a largura de 1 *bit* corresponde a  $(1/115200)$  ou aproximadamente 8,68µs.

- d) Redigir um parágrafo descrevendo textualmente o funcionamento do circuito desde o acionamento do *reset*, espera do acionamento do sinal de *partida*, até o final da transmissão e a ativação do sinal *pronto*.
- e) Os resultados desta atividade devem ser incluídos no Planejamento.

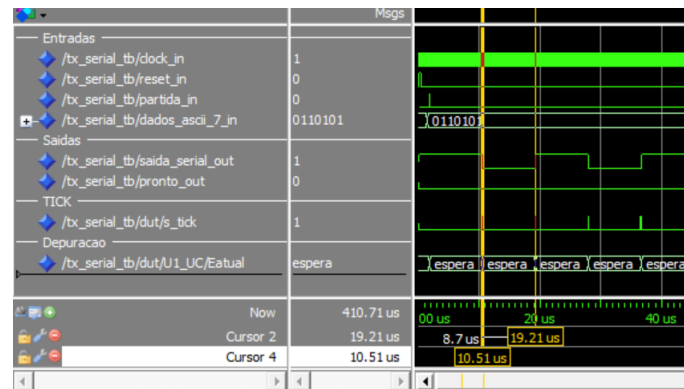


Figura 3 – Exemplo de medida de largura de *bit* usando cursores.

## 1.2. Atividade 2 – Modificação do Circuito de Transmissão Serial

Esta atividade envolve a modificação do projeto base para transmissão serial assíncrona desenvolvido na Atividade 1 para usar a configuração de transmissão **8N2** (8 *bits* de dados, sem paridade, 2 *stop bits*) e uma taxa de comunicação de **9600 bauds**. Nesta modificação deve-se criar um novo projeto no Intel Quartus Prime denominado `tx_serial_8N2`. Adote a seguinte entidade VHDL (figura 4). Repare que a entrada `dados_ascii` possui 8 *bits*.

```
entity tx_serial_8N2 is
    port (
        clock, reset, partida: in std_logic;
        dados_ascii: in std_logic_vector (7 downto 0);
        saida_serial, pronto : out std_logic
    );
end entity;
```

Figura 4 – Principais sinais para a transmissão serial com superamostragem.

- Explique as **modificações necessárias** para a implementação das modificações no circuito base. Quais módulos do circuito necessitaram ser modificados e como?
  - Quais as alterações para ajustar a configuração de comunicação 8N2?
  - Como a taxa de comunicação serial foi alterada para 9600 *bauds*?
- Documente o projeto do grupo. DICA: anexe as saídas das ferramentas *RTL Viewer* e *State Machine Viewer* editadas para completar as informações de funcionamento.
- Use os casos de testes e sinais de depuração definidos no item b) para verificar e assegurar o correto funcionamento do circuito. Se julgar necessário, defina outros casos de teste e sinais de depuração.
- Simular o funcionamento do projeto com o ModelSim e anexar as formas de onda obtidas no Planejamento. Execute também medidas dos parâmetros das formas de onda e confirme sua correteude.
- O circuito de transmissão serial modificado deve usar preparado para síntese no Intel Quartus Prime com a seguinte designação (mínima) de pinos. Mais sinais podem ser adicionados.

signal	pino	pino FPGA	MQTT	Analog Discovery	
CLOCK	CLK_50	M9	-	-	-
RESET	GPIO_0_D0	N16	E0	-	-
PARTIDA	GPIO_0_D1	B16	E1	-	-
DADOS_ASCII[0]	GPIO_0_D2	M16	E2		
DADOS_ASCII[1..7]	GPIO_0_D3, D4,D5,D6, D7,D8,D9	C16,D17,K20,K21, K22,M20,M21	E3-E4-E5-E6 E7-E8-E9	-	-
PRONTO	led LEDR9	L1	-	-	-
SAIDA_SERIAL	GPIO_1_D27	F15	-	Scope	CH1+

- Submeter o novo arquivo QAR (`exp2_txserial_txby.qar`) junto com o Planejamento do grupo.

### 1.3. Atividade 3 – Implementação do Projeto na Placa FPGA DE0-CV

Neste item vamos implementar, no Laboratório Digital, o projeto do circuito de transmissão serial modificado na placa FPGA DE0-CV. Os sinais de entrada deste circuito serão acionados via MQTT Dash e a saída serial será verificada com as ferramentas disponibilizadas pelo Analog Discovery.

- l) O sinal de saída do circuito `SAIDA_SERIAL` deve inicialmente ser ligado na ferramenta *Scope* (osciloscópio) do Analog Discovery (designação conforme o item j).
- m) Programar o circuito modificado na placa DE0-CV, usando a infraestrutura de acesso remoto do LabEAD.
- n) Execute testes de funcionamento do circuito para a taxa de 9600 *bauds*, aplicando os casos de teste definidos no Planejamento. A figura 5 ilustra os sinais de entrada acionados via MQTT Dash.

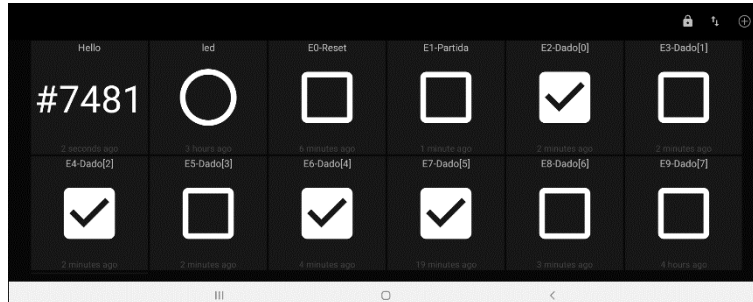


Figura 5 – Entradas do circuito acionadas via MQTT Dash.

- o) Use a **ferramenta Scope** do Analog Discovery para a visualização do sinal de saída serial para fins de depuração. Realize também medidas de parâmetros das formas de onda obtidas (largura de *bit*, tempo total de transmissão, etc). Adicione figuras com as saídas das ferramentas no Relatório. A figura 6 ilustra a medida da largura de 1 *bit*.

DICA: Para esta atividade, é preciso usar os recursos de acesso à bancada remota via AnyDesk.



Figura 6 – Exemplo de uso dos recursos da ferramenta Scope.

- p) Se as formas de onda forem validadas, mude a designação do sinal de saída para o pino da GPIO ligado no **canal digital DIO0** do Analog Discovery (`GPIO_0_D27`).

DICA: opcionalmente, o projeto pode manter uma saída para a ferramenta *Scope* e possuir outra saída para o canal digital DIO0. Para isto basta acrescentar outra saída ao circuito para a saída serial da transmissão.

- q) A comunicação serial deve ser analisada usando a **ferramenta Protocol** do Analog Discovery. Esta ferramenta implementa um analisador de protocolos e será usada para verificar a comunicação via protocolo RS-232C. A figura 7 ilustra o uso desta ferramenta.

DICA: mais informações sobre o uso desta ferramenta serão divulgadas na página da disciplina.

- r) Programe o circuito modificado na placa DE0-CV e execute testes de funcionamento do circuito, aplicando mais uma vez os casos de teste definidos no Planejamento.

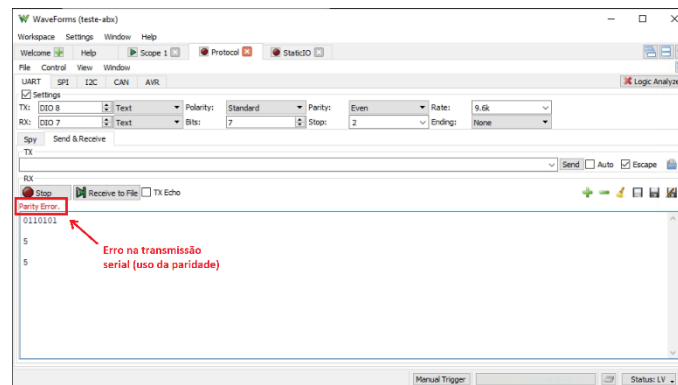


Figura 7 – Exemplo de uso dos recursos da ferramenta *Protocol*.

- s) Verifique o funcionamento do circuito, observando as saídas apresentadas na ferramenta *Protocol*.
- t) Colete imagens da tela da ferramenta e documente o funcionamento do projeto no Relatório.
- u) Submeter o arquivo QAR do projeto (exp2\_txserial8N2\_txby.qar) junto com o Relatório.

## 1.4. Atividade 4 –Desafio

Neste item deverão ser estudados e implementados alguns melhoramentos no circuito de transmissão serial na placa DE0-CV.

- v) Uma **modificação** no projeto do circuito de transmissão serial assíncrona será proposta pelo professor. Estude esta modificação e verifique qual parte do projeto deve ser alterado.
- w) Implemente o circuito no Intel Quartus Prime e sintetize-o na placa FPGA DE0-CV. Documente a designação de pinos adotada e alterações no projeto do MQTT Dash.
- x) Documente os resultados obtidos nos testes experimentais realizados.
- y) Submeter o arquivo QAR do projeto do desafio (exp2\_desafio\_txby.qar) junto com o Relatório.

## 2. BIBLIOGRAFIA

- ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1**. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2017.
- ALTERA. **DE0-CV User Manual**. 2015.
- ALTERA. **Quartus Prime Introduction Using VHDL Designs**. 2016.
- ALTERA. **Quartus Prime Introduction to Simulation of VHDL Designs**. 2016.
- CCITT - Fifth Plenary Assembly. Green Book. Vol. VIII, Geneve, December 1972.
- D'AMORE, R. **VHDL - descrição e síntese de circuitos digitais**. 2ª edição, LTC, 2012.
- Electronic Industries Association. **Interface Between Data Terminal Equipment and Data Communication Equipment Employing Serial Date Interchange EIA-RS-232-C**, Washington, August 1969.
- HELD, G. **Understanding Data Communications**. 6<sup>th</sup> ed., New Riders, 1999.
- MIDORIKAWA, E.T. **Metodologia de Projeto com Dispositivos Programáveis**. Apostila de Laboratório Digital. PCS-EPUSP, 2016.
- PCS-EPUSP. **Conceitos de Comunicação Serial Assíncrona**. Apostila de Laboratório Digital. 2019.
- TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. **Sistemas Digitais: Princípios e Aplicações**. Prentice-Hall, 11ª ed., 2011.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4<sup>th</sup> edition, Prentice Hall, 2006.

### 3. EQUIPAMENTOS NECESSÁRIOS

- 1 computador com software Intel Quartus Prime.
- 1 dispositivo Analog Discovery da Digilent.
- 1 placa de desenvolvimento FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N.
- 1 kit Lab do LabEAD (para implementação do acesso remoto).

#### Histórico de Revisões

E.S.G. e F.N.A./2001 – revisão  
E.T.M./2004 – revisão  
E.T.M./2005 – revisão  
E.T.M./2008 – revisão  
E.T.M./2011 – revisão  
E.T.M./2012 – revisão  
E.T.M./2013 – revisão da parte experimental  
E.T.M./2014 – revisão  
E.T.M./2015 – revisão do texto  
E.T.M./2016 – revisão  
E.T.M./2017 – revisão  
E.T.M./2018 – revisão  
E.T.M./2019 – revisão  
E.T.M./2020 – revisão e reorganização da experiência para acesso remoto.  
E.T.M./2021 – revisão