

## Análise e síntese de circuitos sequenciais

As técnicas para análise de circuitos sequenciais que implementam uma certa máquina de estados finitos, em geral, dividem-se em duas etapas:

1. determinar as funções que determinam o próximo estado e as saídas
  - especificar as equações que representem a lógica do circuito e as saídas de cada **flip-flop** (estado corrente);
  - especificar as equações que determinem as transições entre dois pulsos de **clock**;
  - construir a *tabela de transições* para cada uma das combinações das entradas, indicando quais os próximos estados;
  - identificar todas as combinações que representem um mesmo estado e reescrevê-las em uma *tabela de estados*;
2. construir as tabelas de estados/saídas que especifiquem o comportamento do circuito para todas as combinações das entradas e do estado corrente:
  - verificar as funções das saídas em relação às entradas e aos estados correntes;
  - após avaliar todas as combinações de entradas e estados, combinar a tabela de estados com essas informações e criar a tabela de estados/saídas, relacionando cada saída ao próximo estado.

Exemplo 1:

Considerar o circuito abaixo com um **flip-flop** tipo D.

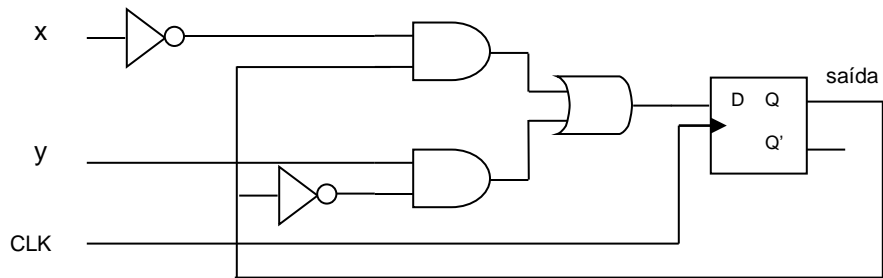


Tabela de transições

$Q_t \backslash xy$	00	01	10	11
0	0	1	0	1
1	1	1	0	0

$Q_{t+1}$

Equações de transições

$$D = x' \cdot Q + y \cdot Q'$$

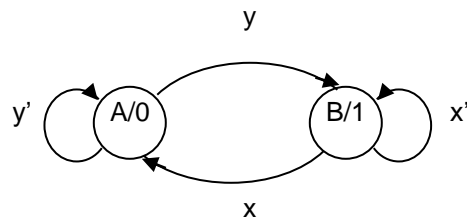
$$Q_{t+1} = x' \cdot Q_t + y \cdot Q'_t$$

Tabela de estados/saídas

$Q_t \backslash xy$	00	01	10	11
A	A,0	B,1	A,0	B,1
B	B,1	B,1	A,0	A,0

$Q_{t+1},$  saída

Diagrama de estados



Considerar o circuito abaixo com dois **flip-flops** tipo JK.

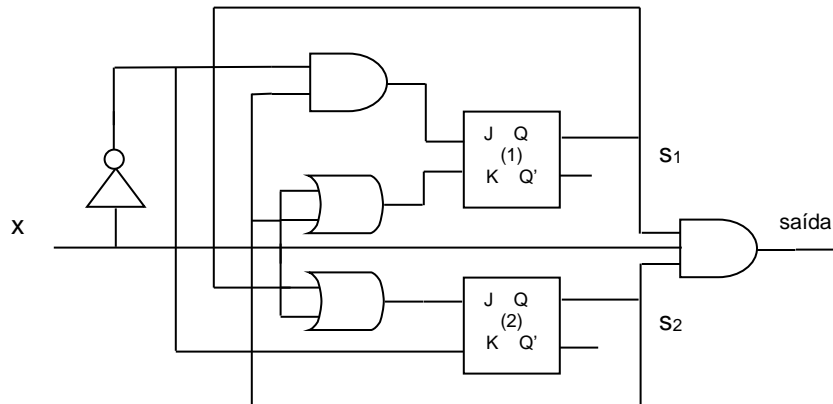


Tabela de transições

	$S_1$ (t)	$S_2$ (t)	X	$S_1$ (t+1)	$S_2$ (t+1)	saída
0	0	0	0	0	0	0
1	0	0	1	0	1	0
2	0	1	0	1	0	0
3	0	1	1	0	1	0
4	1	0	0	1	1	0
5	1	0	1	0	1	0
6	1	1	0	0	0	0
7	1	1	1	0	1	1

Equações de transições

$$\text{saída} = S_1 \cdot S_2 \cdot X$$

$$J_1 = S_2 \cdot X' \quad \text{e} \quad K_1 = S_2 + X$$

$$J_2 = S_1 + X \quad \text{e} \quad K_2 = X'$$

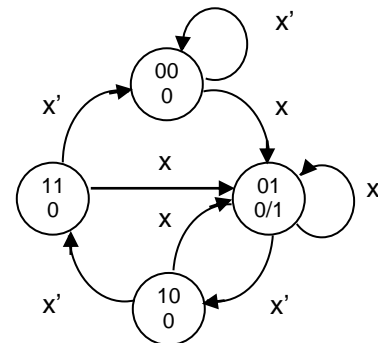
$$\begin{aligned} Q_{t+1} &= J_1 Q_t' + K_1' Q_t \\ S_1 &= S_2 \cdot X' \cdot S_1' + (S_2 + X)' \cdot S_1 \\ &= S_2 \cdot X' \cdot S_1' + S_2' \cdot X' \cdot S_1 \\ &= X' \cdot (S_2 \cdot S_1' + S_2' \cdot S_1) \\ &= X' \cdot (S_1 \text{ xor } S_2) \end{aligned}$$

$$\begin{aligned} Q_{t+1} &= J_2 Q_t' + K_2' Q_t \\ S_2 &= (X + S_1) \cdot S_2' + (X')' \cdot S_2 \\ &= (X \cdot S_2') + (S_1 \cdot S_2') + (X \cdot S_2) \\ &= X \cdot (S_2' + S_2) + (S_1 \cdot S_2') \\ &= X + (S_1 \cdot S_2') \end{aligned}$$

Tabela de estados/saídas

	S1	S2	x=0	x=1	saída		
0	0	0	0	0	0	1	0
1	0	1	1	0	0	1	0
2	1	0	1	1	0	1	0
3	1	1	0	0	0	1	0/1

Diagrama de estados



Exemplo 2:

Projetar um contador crescente módulo 4 (0-1-2-3-0) com **flip-flops** tipo D.

Tabela de transições

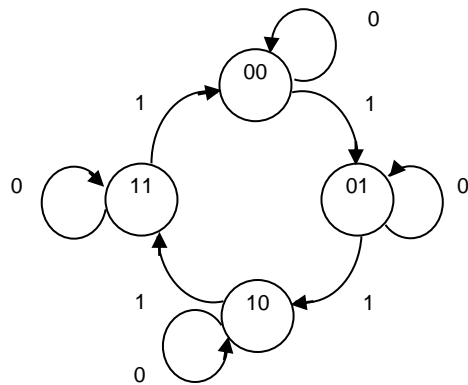


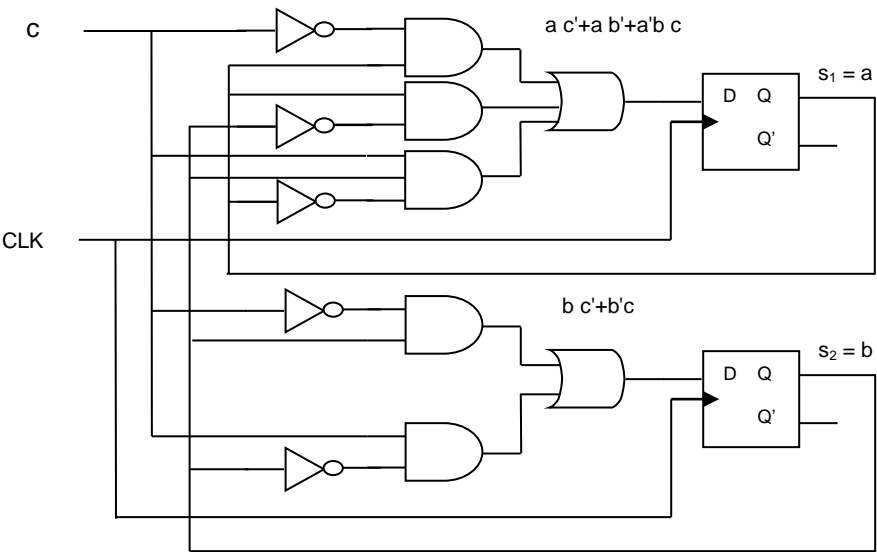
Diagrama de estados

	S1 (t)	S2 (t)	evento c	S1 (t+1)	S2 (t+1)
	a	b		a	b
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	1	0
5	1	0	1	1	1
6	1	1	0	1	1
7	1	1	1	0	0

Equações de transições

sinais	SoP	mintermos	simplificação
S1	3,4,5,6	$a'bc+ab'c'+ab'c+abc'$	$ac'+ab'+ab'c$
S2	1,2,5,6	$a'b'c+a'bc'+ab'c+abc'$	$bc'+b'c$

Circuito



Exemplo 3:

Projetar um contador decrescente módulo 4 (0-3-2-1-0) com **flip-flops** tipo D.

Tabela de transições

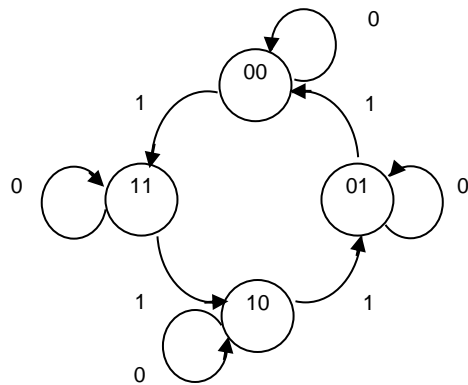


Diagrama de estados

	S1 (t)	S2 (t)	evento c	S1 (t+1) a	S2 (t+1) b
0	0	0	0	0	0
1	0	0	1	1	1
2	0	1	0	0	1
3	0	1	1	0	0
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	1	1
7	1	1	1	1	0

Equações de transições

sinais	SoP	mintermos	simplificação
S1	1,4,6,7	$a'b'c+ab'c'+abc'+abc$	$ac'+ab+a'b'c$
S2	1,2,5,6	$a'b'c+a'bc'+ab'c+abc'$	$bc'+b'c$

Circuito

