Apresentação
Trabalho 2 - Sistemas Digitais
2018/2

Neander em VHDL

Nome: Gabriel Martins dos Santos

Cartão : 00275617

UFRGS
UNIVERSIDADE FEDERAL
DO RIO GRANDE DO SUL

.inf
INSTITUTO
DE INFORMÁTICA
UFRGS

Introdução

Este trabalho tem como objetivo implementar as instruções do processador NEANDER, e seus respectivos componentes e máquina de estados, através da linguagem de descrição VHDL.

Além das 11 instruções primárias do neander foram adicionadas as instruções de subtração e multiplicação.

Ao longo do trabalho foram adicionados três programas utilizando as instruções do NEANDER, os programas 1 e 2 utilizam as instruções primárias, o programa 3 usa as instruções adicionais desenvolvidas para o projeto:

1. Somador de matrizes de 4 bits 2x2.

2. Multiplicador de matrizes de 4 bits 2x2.

3. Subtração de endereços de memória.

Definições

Características do NEANDER:

- Largura dos endereços e dados de 8 bits
- Dados representados em complemento de dois
- 1 acumulador de 1 byte (AC)
- 1 apontador de programa de 1 byte (PC)
- 1 registrador de estado que indica dados negativos ou zero
- Modo de endereçamento direto

Definições

11 Instruções primárias :

Código	Instrução	Comentário
0000	NOP	nenhuma operação
0001	STA end	armazena acumulador - (store)
0010	LDA end	carrega acumulador - (load)
0011	ADD end	soma
0100	OR end	"ou" lógico
0101	AND end	"e" lógico
0110	NOT	inverte (complementa) acumulador
1000	JMP end	desvio incondicional - (jump)
1001	JN end	desvio condicional - (jump on negative)
1010	JZ end	desvio condicional - (jump on zero)
1111	HLT	término de execução - (halt)

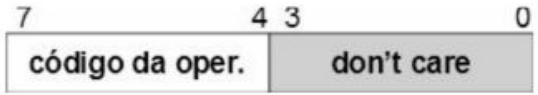
2 Instruções Implementadas:

1011 - SUB end
1100 - MULT end

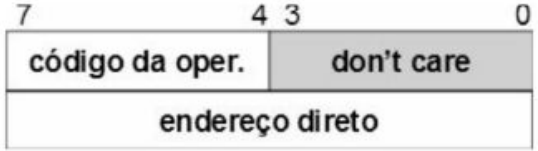
UFRGS UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
.inf INSTITUTO DE INFORMÁTICA UFRGS

Definições

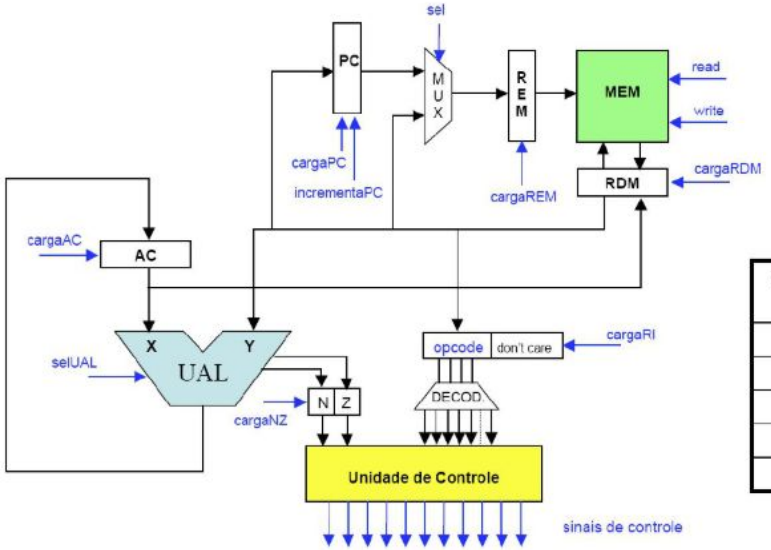
Instruções com um byte: NOP, NOT, HLT



Instruções com dois bytes: STA, LDA, ADD, OR, AND, JMP, JN, JZ

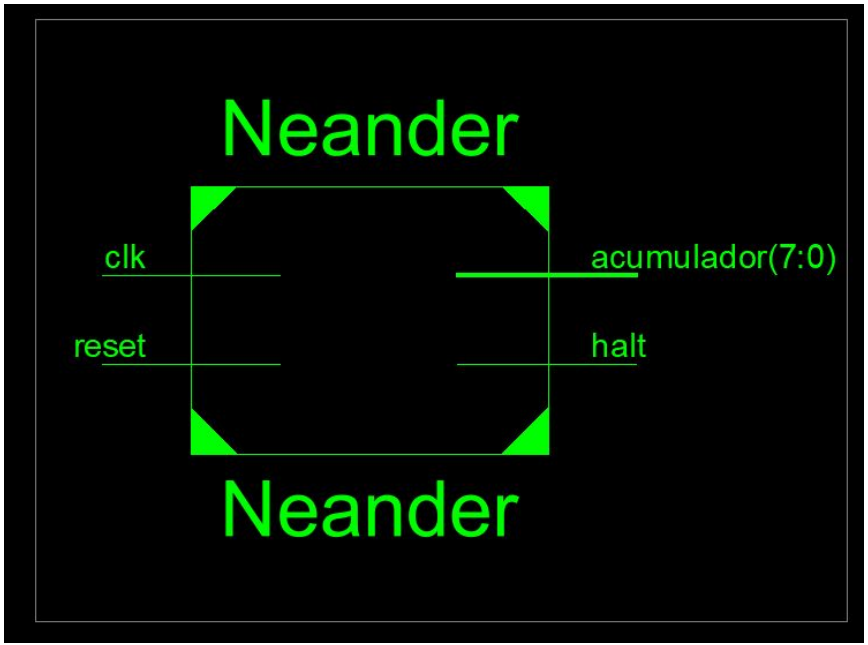


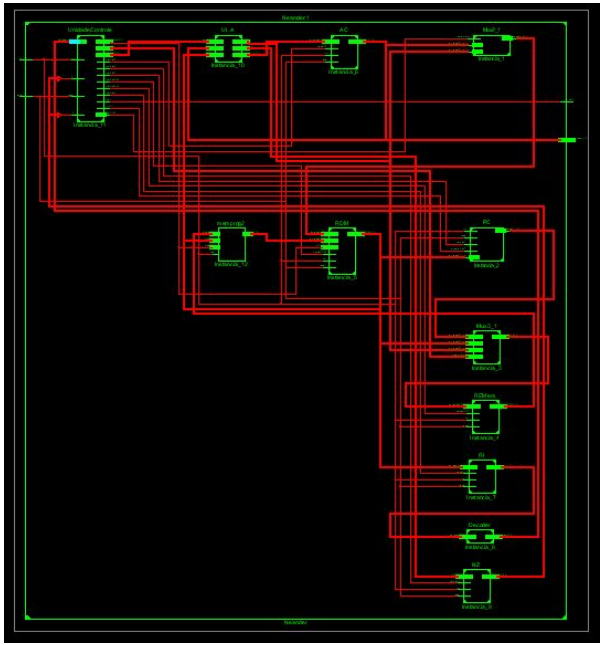
Definições



operações da UAL	selUAL
X + Y	000
X and Y	001
X or Y	010
Not X	011
Y	100

RTL do circuito





UFRGS
UNIVERSIDADE FEDERAL
DO RIO GRANDE DO SUL

.inf
INSTITUTO
DE INFORMÁTICA
UFRGS

Tempo

```
Timing Summary:
---------------
Speed Grade: -5

   Minimum period: 10.707ns (Maximum Frequency: 93.393MHz)
   Minimum input arrival time before clock: 3.788ns
   Maximum output required time after clock: 7.612ns
   Maximum combinational path delay: No path found

Timing Detail:
--------------
All values displayed in nanoseconds (ns)

=========================================================================
Timing constraint: Default period analysis for Clock 'clk'
  Clock period: 10.707ns (frequency: 93.393MHz)
  Total number of paths / destination ports: 11346 / 186
-------------------------------------------------------------------------
Delay:               10.707ns (Levels of Logic = 14)
  Source:            Instancia_7/entrada_7 (FF)
  Destination:       Instancia_9/dado_0 (FF)
  Source Clock:      clk rising
  Destination Clock: clk rising
```

UFRGS UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf INSTITUTO DE INFORMÁTICA UFRGS

Resultados Obtidos

Dados da Unidade de Controle e ULA:

```
Synthesizing Unit <ULA>.
    Related source file is "C:/Neander_Gabriel_Martins/ULA.vhd".
    Found 8x8-bit multiplier for signal <mult>.
    Found 8-bit addsub for signal <operacao$addsub0000>.
    Summary:
        inferred   1 Adder/Subtractor(s).
        inferred   1 Multiplier(s).
Unit <ULA> synthesized.


Synthesizing Unit <UnidadeControle>.
    Related source file is "C:/Neander_Gabriel_Martins/UnidadeControle.vhd".
    Found finite state machine <FSM_0> for signal <state>.
    -----------------------------------------------------------------------
    | States             | 9                                              |
    | Transitions        | 48                                             |
    | Inputs             | 12                                             |
    | Outputs            | 9                                              |
    | Clock              | clkDiv                    (rising_edge)        |
    | Reset              | reset                     (positive)           |
    | Reset type         | asynchronous                                   |
    | Reset State        | s0                                             |
    | Power Up State     | s0                                             |
    | Encoding           | automatic                                      |
    | Implementation     | LUT                                            |
    -----------------------------------------------------------------------
    Found 1-bit register for signal <clkDiv>.
    Found 32-bit up counter for signal <cont>.
    Summary:
        inferred   1 Finite State Machine(s).
        inferred   1 Counter(s).
        inferred   1 D-type flip-flop(s).
Unit <UnidadeControle> synthesized.
```

UFRGS UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf INSTITUTO DE INFORMÁTICA UFRGS

Número de FF's , LUT4 Utilizados

Neander Project Status (10/17/2018 - 19:25:05)			
Project File:	Neander_Gabriel_Martins.xise	**Parser Errors:**	No Errors
Module Name:	Neander	**Implementation State:**	Placed and Routed
Target Device:	xc3s100e-5cp132	**•Errors:**	No Errors
Product Version:	ISE 14.7	**•Warnings:**	66 Warnings (1 new)
Design Goal:	Balanced	**•Routing Results:**	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	**•Timing Constraints:**	All Constraints Met
Environment:	System Settings	**•Final Timing Score:**	0 (Timing Report)

Device Utilization Summary				[-]
Logic Utilization	**Used**	**Available**	**Utilization**	**Note(s)**
Number of Slice Flip Flops	85	1,920	4%	
Number of 4 input LUTs	157	1,920	8%	
Number of occupied Slices	121	960	12%	
Number of Slices containing only related logic	121	121	100%	
Number of Slices containing unrelated logic	0	121	0%	
Total Number of 4 input LUTs	203	1,920	10%	
Number used as logic	157			
Number used as a route-thru	46			
Number of bonded IOBs	11	83	13%	
Number of RAMB16s	1	4	25%	
Number of BUFGMUXs	1	24	4%	
Number of MULT18X18SIOs	1	4	25%	
Average Fanout of Non-Clock Nets	3.46			

UFRGS UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf INSTITUTO DE INFORMÁTICA UFRGS

Memória utilizada / Erros / 4LUTs detalhados

```
Target Device  : xc3s100e
Target Package : cp132
Target Speed   : -5
Mapper Version : spartan3e -- $Revision: 1.55 $
Mapped Date    : Wed Oct 17 19:24:32 2018

Design Summary
--------------
Number of errors:      0
Number of warnings:   56
Logic Utilization:
  Number of Slice Flip Flops:            85 out of   1,920    4%
  Number of 4 input LUTs:               157 out of   1,920    8%
Logic Distribution:
  Number of occupied Slices:            121 out of     960   12%
    Number of Slices containing only related logic:     121 out of     121 100%
    Number of Slices containing unrelated logic:          0 out of     121   0%
      *See NOTES below for an explanation of the effects of unrelated logic.
  Total Number of 4 input LUTs:         203 out of   1,920   10%
    Number used as logic:               157
    Number used as a route-thru:         46

  The Slice Logic Distribution report is not meaningful if the design is
  over-mapped for a non-slice resource or if Placement fails.

  Number of bonded IOBs:                 11 out of      83   13%
  Number of RAMB16s:                      1 out of       4   25%
  Number of BUFGMUXs:                     1 out of      24    4%
  Number of MULT18X18SIOs:                1 out of       4   25%

Average Fanout of Non-Clock Nets:                3.46

Peak Memory Usage:  4432 MB
Total REAL time to MAP completion:  2 secs
Total CPU time to MAP completion:   1 secs
```

UFRGS UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf INSTITUTO DE INFORMÁTICA UFRGS

Delay

```
Generating "PAR" statistics.

**************************
Generating Clock Report
**************************

+---------------------+--------------+------+------+------------+-------------+
|        Clock Net    |   Resource   |Locked|Fanout|Net Skew(ns)|Max Delay(ns)|
+---------------------+--------------+------+------+------------+-------------+
|           clk_BUFGP | BUFGMUX_X2Y10| No   |   60 |  0.024     |  0.057      |
+---------------------+--------------+------+------+------------+-------------+
| Instancia_11/clkDiv |         Local|      |    4 |  0.009     |  1.287      |
+---------------------+--------------+------+------+------------+-------------+
```

UFRGS UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf INSTITUTO DE INFORMÁTICA UFRGS

Simulações - ULA

operações da UAL	selUAL
X + Y	000
X and Y	001
X or Y	010
Not X	011
Y	100

UFRGS
UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf
INSTITUTO DE INFORMÁTICA
UFRGS

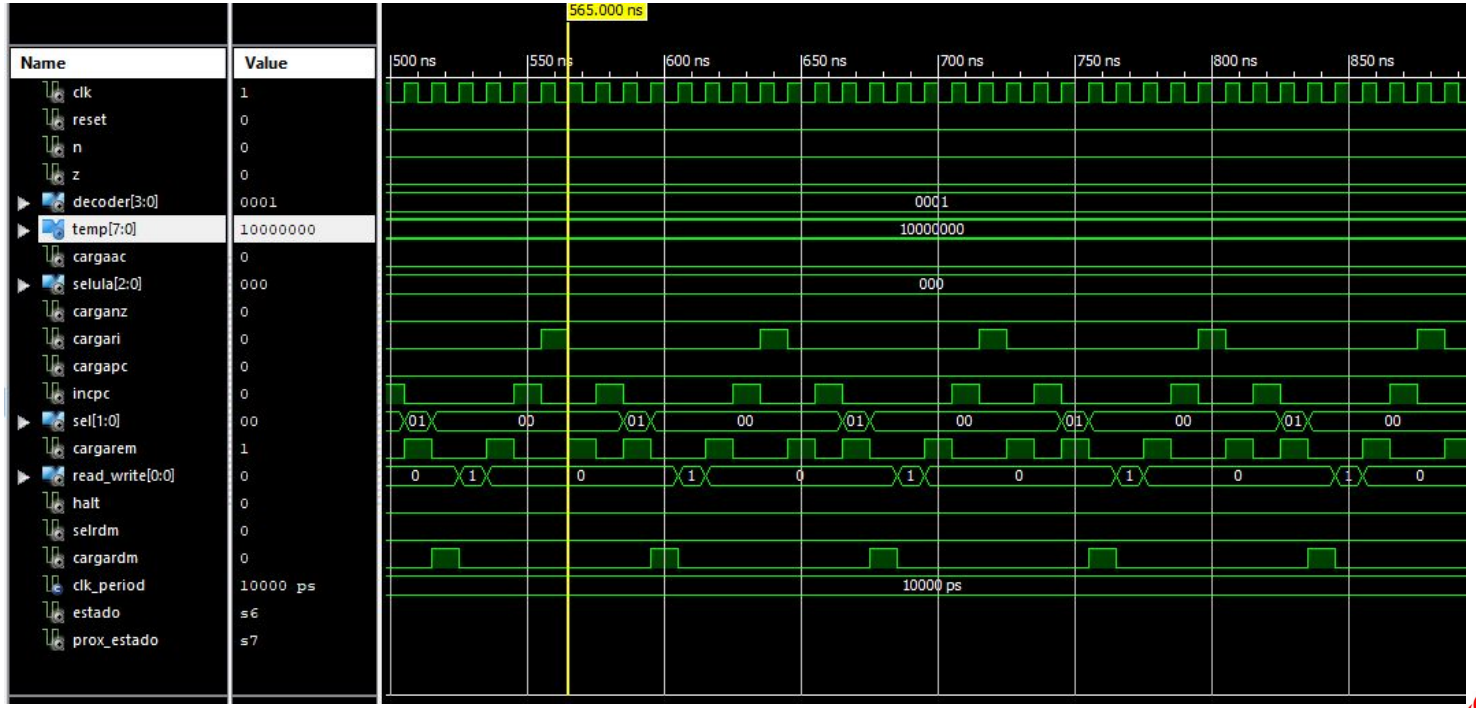
Simulações - ULA

operações da UAL	selUAL
X + Y	000
X and Y	001
X or Y	010
Not X	011
Y	100

UFRGS UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf INSTITUTO DE INFORMÁTICA UFRGS

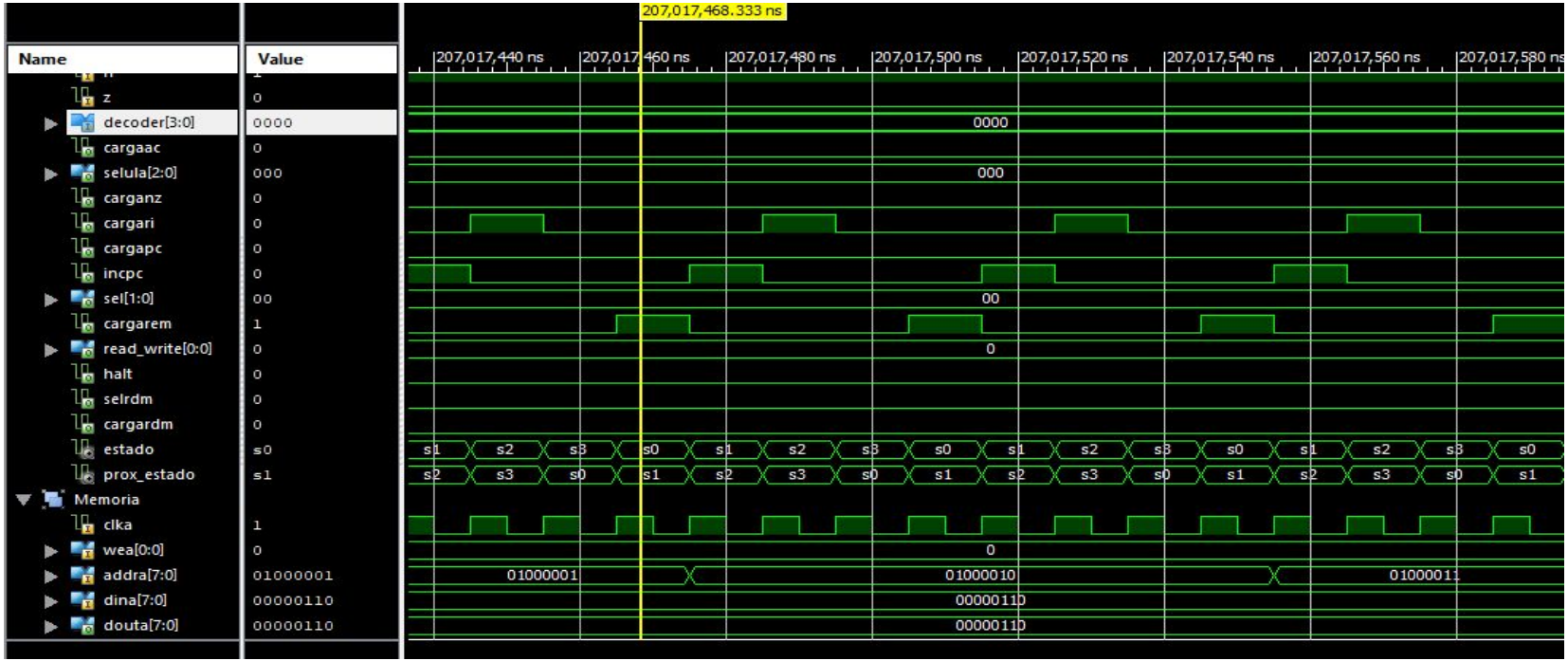
Simulações: Unidade Controle - Teste com LDA



UFRGS
UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf
INSTITUTO DE INFORMÁTICA
UFRGS

Simulações: Neander Completo



UFRGS
UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf
INSTITUTO DE INFORMÁTICA
UFRGS

Prog 1 - Soma de Matrizes

Resultado

$$A + B = \begin{bmatrix} 2,00 & 4,00 \\ 6,00 & 8,00 \end{bmatrix}_{(2x2)}$$

Matriz A

$$A = \begin{bmatrix} 1,00 & 2,00 \\ 3,00 & 4,00 \end{bmatrix}_{(2x2)}$$

Matriz B

$$B = \begin{bmatrix} 1,00 & 2,00 \\ 3,00 & 4,00 \end{bmatrix}_{(2x2)}$$

UFRGS
UNIVERSIDADE FEDERAL
DO RIO GRANDE DO SUL

.inf
INSTITUTO
DE INFORMÁTICA
UFRGS

Prog 1 - Soma de Matrizes

```
NOP
LDA   30
ADD   34
STA   38
LDA   31
ADD   35
STA   39
LDA   32
ADD   36
STA   40
LDA   33
ADD   37
STA   41
HLT
```

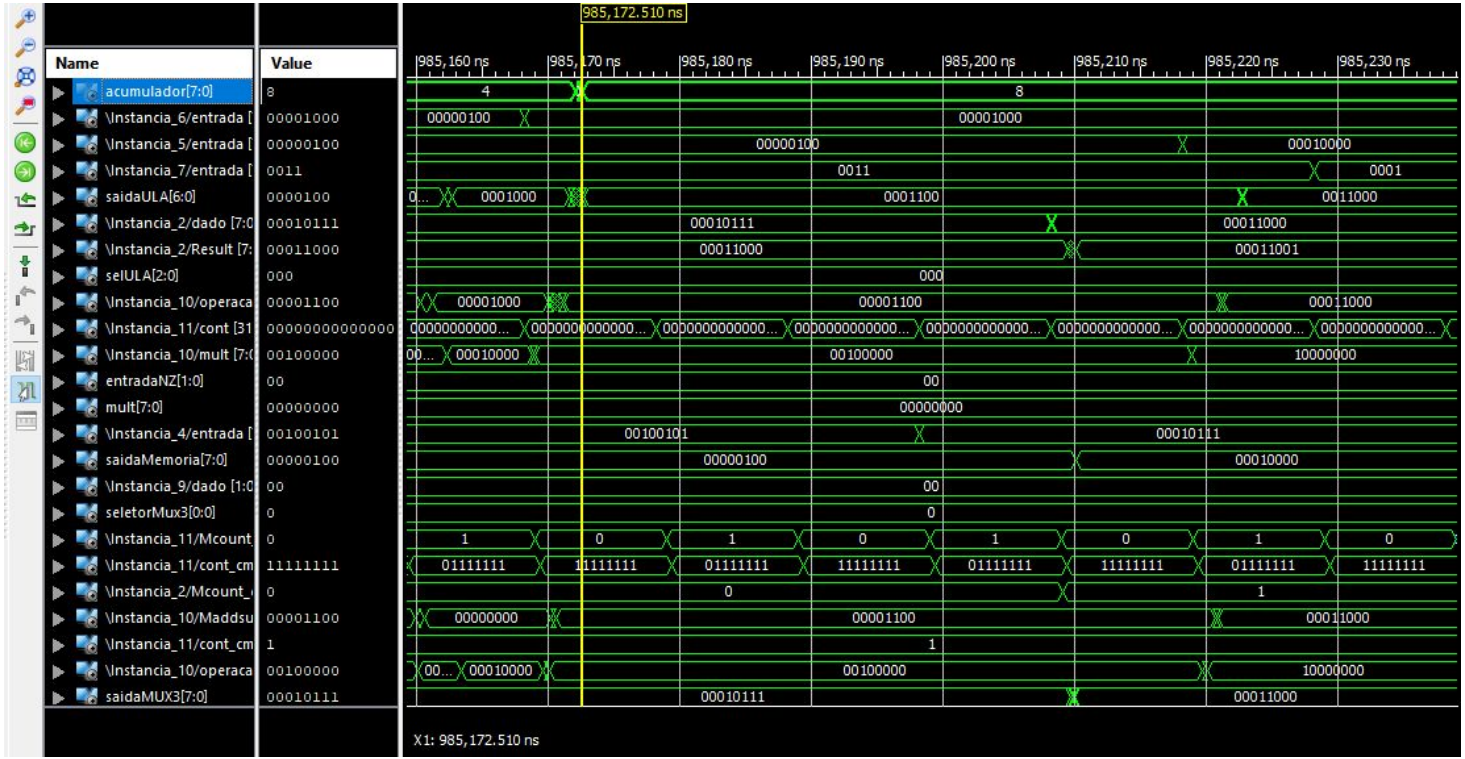
0	0	32	30	48	34	16	38	32	31	48	35	16	39	32	32
16	36	16	40	32	33	48	37	16	41	240	0	0	0	0	1
32	3	4	1	2	3	4	2	4	6	8	0	0	0	0	0
48	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
64	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
80	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
96	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
112	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
128	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
144	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
160	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
176	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
192	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
208	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
224	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
240	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

13 instruções
235 ciclos de relógio
4700 ns (operando a 50MHz)

UFRGS
UNIVERSIDADE FEDERAL
DO RIO GRANDE DO SUL

.inf
INSTITUTO
DE INFORMÁTICA
UFRGS

Prog 1 - Soma de Matrizes - Simulação c/ atraso



UFRGS
UNIVERSIDADE FEDERAL
DO RIO GRANDE DO SUL

.inf
INSTITUTO
DE INFORMÁTICA
UFRGS

Prog 2 - Multiplicação de Matrizes

Resultado

$$AxB = \begin{bmatrix} 7,00 & 10,00 \\ 15,00 & 22,00 \end{bmatrix}_{(2x2)}$$

Matriz A

$$A = \begin{bmatrix} 1,00 & 2,00 \\ 3,00 & 4,00 \end{bmatrix}_{(2x2)}$$

Matriz B

$$B = \begin{bmatrix} 1,00 & 2,00 \\ 3,00 & 4,00 \end{bmatrix}_{(2x2)}$$

Prog 2 - Multiplicação de Matrizes

```
NOP
LDA  80
MUL  84
STA  88
LDA  82
MUL  85
STA  89
LDA  80
MUL  86
STA  90
LDA  82
MUL  87
STA  91
LDA  81
MUL  84
STA  92
LDA  83
MUL  85
STA  93
LDA  81
MUL  86
STA  94
LDA  83
MUL  87
STA  95
```

```
LDA  88
ADD  89
STA  96
LDA  90
ADD  91
STA  97
LDA  92
ADD  93
STA  98
LDA  94
ADD  95
STA  99
HLT
```

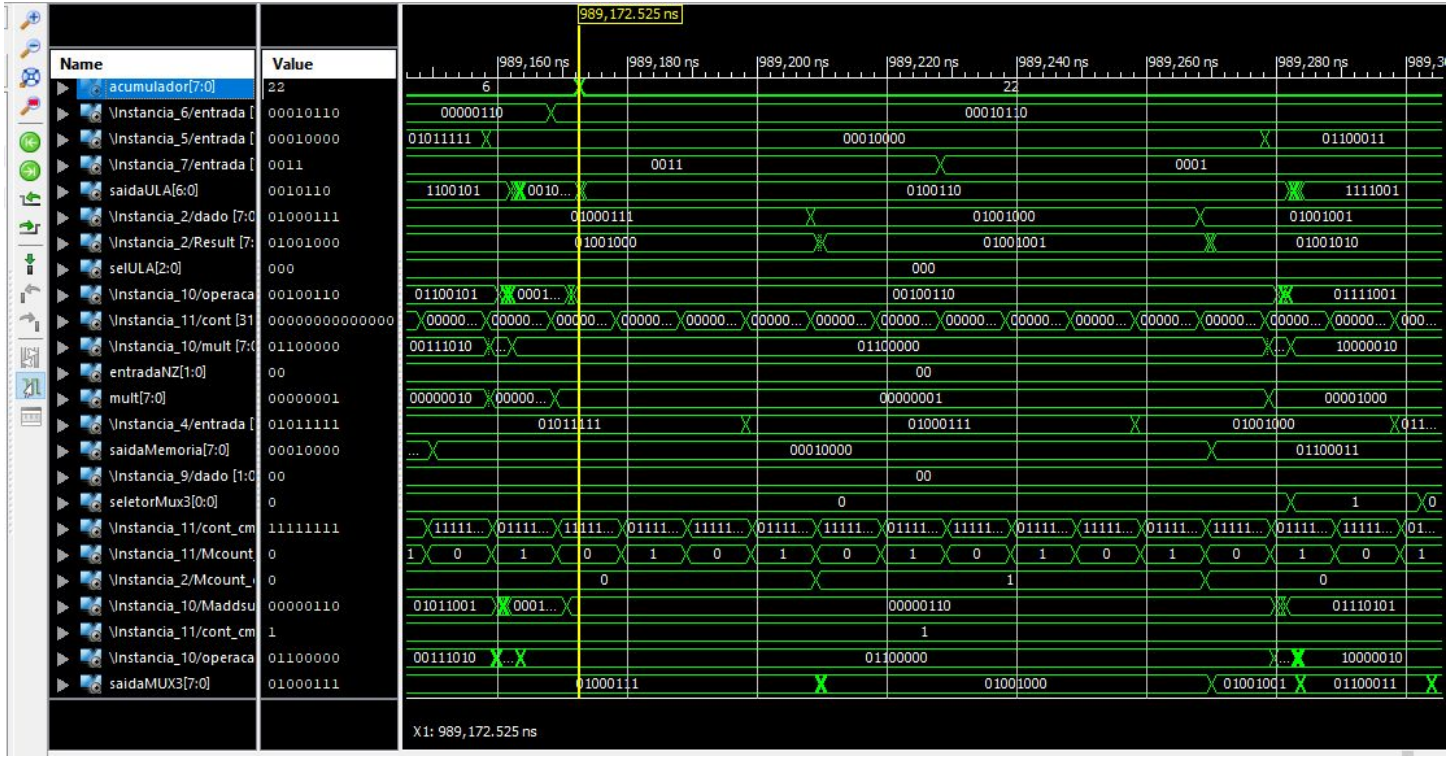
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	32	80	192	84	16	88	22	82	192	85	16	89	32	80	192
16	86	16	90	32	82	192	87	16	91	32	81	192	84	16	92	32
32	22	192	85	16	93	32	81	192	86	16	94	32	83	192	87	16
48	95	32	88	48	89	16	96	32	90	48	91	16	97	32	92	48
64	93	16	98	32	94	48	95	16	99	240	0	0	0	0	0	0
80	1	2	3	4	1	2	3	4	1	6	3	12	2	8	6	16
96	7	15	10	22	0	0	0	0	0	0	0	0	0	0	0	0
112	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
128	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
144	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
160	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
176	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
192	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
208	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
224	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
240	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

38 instruções
605 ciclos de relógio
12100 ns (operando a 50MHz)

UFRGS
UNIVERSIDADE FEDERAL
DO RIO GRANDE DO SUL

.inf
INSTITUTO
DE INFORMÁTICA
UFRGS

Prog 2 - Multiplicação de Matrizes- Simulação c/ atraso



UFRGS
UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf
INSTITUTO DE INFORMÁTICA
UFRGS

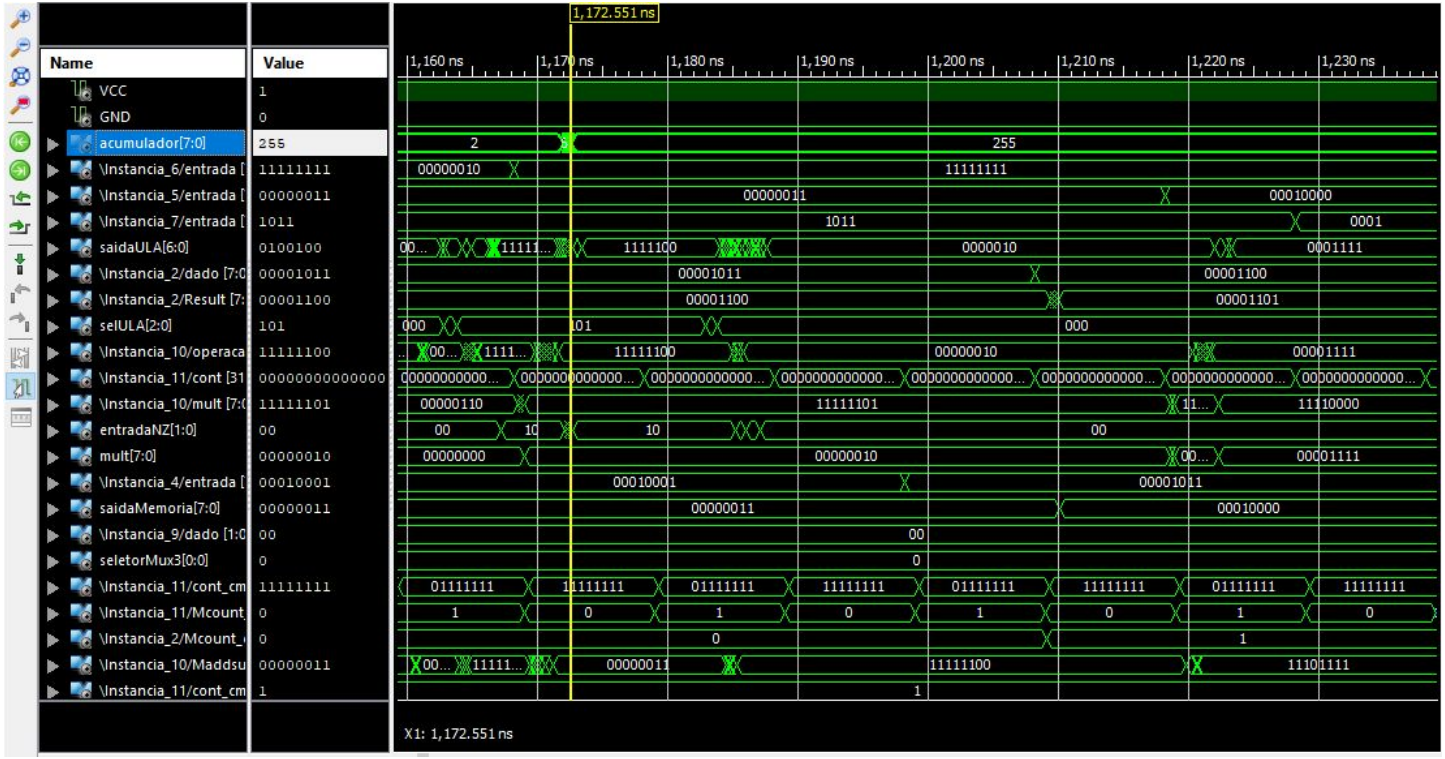
Prog 3 - Subtração de Endereços de Memória

```
NOP
LDA  17
SUB  18
STA  19
LDA  18
SUB  17
STA  20
HLT
```

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	32	17	176	18	16	19	32	18	176	17	16	20	240	0	0
16	0	3	2	1	255	0	0	0	0	0	0	0	0	0	0	0
32	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
48	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
64	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
80	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
96	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
112	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
128	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
144	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
160	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
176	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
192	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
208	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
224	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
240	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

8 instruções
109 ciclos de relógio
2180 ns (operando a 50MHz)

Prog 3 - Subtração de Endereços de Memória- Simulação c/ atraso



UFRGS
UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

.inf
INSTITUTO DE INFORMÁTICA
UFRGS