

## Lista de Exercícios – Processador RISC V, Desempenho, Mono-ciclo e Multi-ciclo

1. Descreva a arquitetura do processador RISC V considerando os seguintes aspectos:
  - a. tamanho do dado a ser processado
  - b. espaço de endereçamento de memória
  - c. número de registradores
  - d. formato e tamanho das instruções
2. Faça um estudo comparativo entre uma implementação monociclo e uma implementação multiciclo, considerando desempenho e custo de implementação em função da área de silício.
3. Tanto na arquitetura projetada em sala de aula como na descrita no livro todas as instruções aritméticas envolvem três registradores e possuem o mesmo formato. Na sua opinião de projetista, quais as vantagens e desvantagens desta decisão de projeto?
4. Porque o processador RISC V se caracteriza como uma arquitetura LOAD/STORE? Quais as vantagens e desvantagens desta arquitetura?
5. Considere três processadores  $P_1$ ,  $P_2$ , e  $P_3$  executando o mesmo conjunto de instruções com as frequências de clocks descritas na tabela abaixo.

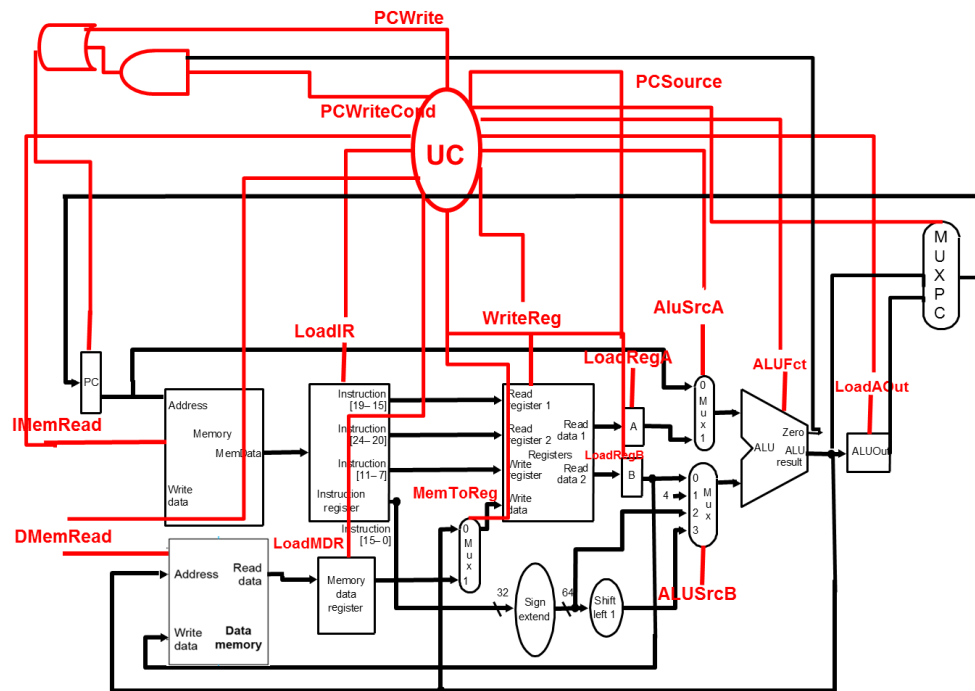
Processador	Clock	CPI
$P_1$	2 GHz	1,5
$P_2$	1,5 GHz	1,0
$P_3$	3 GHz	2,5

- a. Qual processador tem o melhor desempenho?
  - b. Se os processadores executam um programa em 10 segundos, encontre o número de ciclos e de instruções para cada um.
  - c. Estamos tentando reduzir o tempo em 30%, mas isto levaria a um aumento de 20% no CPI. Qual a taxa de clock para conseguir esta redução?
6. Considere duas implementações diferentes do mesmo conjunto de instruções, que pode ser classificado em 4 classes de instruções: A, B, C, e D. A frequência de clock e CPI para cada uma das implementações é dada na tabela abaixo.

Implementação	Clock	Classe A	Classe B	Classe C	Classe D
$P_1$	1,5 GHz	1	2	3	4
$P_2$	2 GHz	2	2	2	2

Dada uma aplicação com  $10^6$  instruções sendo 10% de instruções da classe A, 20% de instruções da classe B, 50% de instruções da classe C e 20% de instruções da classe D.

- Qual implementação tem melhor desempenho?
  - Qual o CPI global para cada implementação?
  - Calcule o número de ciclos de clock para cada implementação.
7. Suponha que foi inserida a instrução `move rd, rs`, que copia o conteúdo do registrador `rs` para o registrador `rd`. Considerando a implementação apresentada no livro texto, como se poderia implementar esta instrução preservando todos os outros registradores. Quais as modificações na unidade de processamento e na unidade de controle para a implementação desta instrução com o menor CPI possível?



**Figura 1 - Unidade de processamento do RISC-V (CPU do Livro)**

8. Considere a instrução `move rd, rs` do RISC-V, que copia o conteúdo do registrador `rs` no registrador `rd`. Esta instrução é frequentemente utilizada junto com a instrução de desvio condicional conforme a sequência mostrada abaixo
- ```

bne rt, rzero, X
move rd, rs
X: .....

```

Face à crescente utilização da sequência de instruções acima, foi incluída uma nova instrução `cmove rd, rs, rt` que copia o conteúdo do registrador `rs` no registrador `rd` se o conteúdo do registrador `rt` for igual a zero. Esta instrução substitui a sequência de instruções mostrada acima.

Para uma determinada aplicação a frequência de execução das instruções é dada pela tabela abaixo:

| Classe de instrução | Frequência | CPI médio |
|---------------------|------------|-----------|
| Aritmética          | 43%        | 4         |
| Acesso à memória    | 26%        | 5         |
| Desvio condicional  | 15%        | 3         |
| Outras              | 16%        | 3         |

- a. Implemente a instrução cmove de forma que ela possua o mesmo CPI da instrução move. Quais as modificações na unidade de processamento e na unidade de controle?
- b. Considerando que a instrução cmove possui o mesmo CPI da instrução move e que esta instrução substitui 20% das instruções de desvio condicional, a inclusão desta instrução melhoraria o desempenho da máquina?? Justifique. Se sim, qual o speedup?