



REPÚBLICA FEDERATIVA DO BRASIL

Ministério do Desenvolvimento, Indústria e Comércio Exterior
Instituto Nacional da Propriedade Industrial

PI 00064696
PI 00064696

Patente de Invenção

CARTA PATENTE N.º PI 0006469-6

O INSTITUTO NACIONAL DA PROPRIEDADE INDUSTRIAL concede a presente PATENTE, que outorga ao seu titular a propriedade da invenção caracterizada neste título, em todo o território nacional, garantindo os direitos dela decorrentes, previstos na legislação em vigor.

(21) Número do Depósito : PI 0006469-6

(22) Data do Depósito : 27/11/2000

(43) Data da Publicação do Pedido : 09/07/2002

(51) Classificação Internacional : H03L 7/085

(54) Título : PHASE-LOCKED LOOP RÁPIDO PARA RASTREAMENTO DE FASE, FREQUÊNCIA E AMPLITUDE DE SINAIS MONOFÁSICOS.

(73) Titular : Universidade Federal de Minas Gerais, CGC/CPF: 17217985000104. Endereço: Av. Antônio Carlos, 6627, Pampulha, Belo Horizonte, Minas Gerais, Brasil (BR/MG), CEP: 31270-901.

(72) Inventor : Braz de Jesus Cardoso Filho, Professor(a). Endereço: Rua Javari, 830 Apto. 601, Renascença, Belo Horizonte, Minas Gerais, Brasil, CEP: 31130540.; Sidelmo Magalhães Silva. Endereço: R. Francisco de Paula Castro, 10 Apto. 201, Cidade Nova, Belo Horizonte, Minas Gerais, Brasil, CEP: 31170-090.; Licia Neto Arruda. Endereço: R. Guanhães, 116, Floresta, Belo Horizonte, Minas Gerais, Brasil, CEP: 31110-160.; Selênio Rocha Silva, Professor(a). Endereço: R. Guaranésia, 187 Apto. 201, Floresta, Belo Horizonte, Minas Gerais, Brasil, CEP: 31110-170.

Prazo de Validade : 10 (dez) anos contados a partir de 13/11/2012, observadas as condições legais.

Expedida em : 13 de Novembro de 2012.

Assinado digitalmente por
Júlio César Castelo Branco Reis Moreira
Diretor de Patentes

15 de Novembro
REPÚBLICA FEDERATIVA DO BRASIL
de 1889

Phase-Locked Loop Rápido para Rastreamento de Fase, Frequência e Amplitude de Sinais Monofásicos

A presente patente de invenção refere-se a um algoritmo de PLL (Phase-Locked Loop) capaz de fornecer os valores da fase, amplitude e
5 frequência do sinal de entrada.

A maioria das estruturas de PLL implementa a detecção da fase do sinal de entrada a partir de seu cruzamento por zero. Esta metodologia, entretanto, determina que o tempo mínimo necessário para o rastreamento da fase do sinal de referência é necessariamente maior que alguns ciclos do
10 sinal de entrada, uma vez que a informação da fase deste sinal só é capturada no instante de cruzamento por zero. Esta restrição implica que a frequência de corte de PLL baseados em cruzamento por zero é inferior à frequência do sinal de entrada. Outra deficiência desses algoritmos de PLL está associada à perda da informação da amplitude e à sensibilidade frente
15 a variações na fase e na frequência do sinal de entrada.

Tendo em vista a necessidade de mecanismos mais rápidos para a detecção da fase, amplitude e frequência de sinais senoidais, foi desenvolvido o presente algoritmo de PLL. No algoritmo proposto, a detecção de fase é realizada com base na informação instantânea do sinal
20 de entrada, não existindo os atrasos e limitações associados à detecção dos instantes de cruzamento por zero. O resultado prático do algoritmo proposto é então uma solução para o rastreamento do sinal de entrada capaz de atracar à fase do mesmo em tempos inferiores a um semiciclo.

Seu princípio de funcionamento se baseia na transformação de 2
25 sinais (V_α e V_β), de mesma frequência e amplitude, mas defasados de 90° , associados a um sistema de referência (α e β) estático, para um novo sistema de referência (d e q), com eixos ortogonais e girantes na mesma frequência dos sinais V_α e V_β (Transformação de Park). Neste novo sistema de referência, as grandezas senoidais são convertidas para as grandezas
30 equivalentes contínuas (V_d e V_q), que possuem a informação sobre a amplitude dos sinais de entrada.

O valor instantâneo do ângulo de rotação do sistema de referência síncrono (θ) está associado às fases dos sinais de entrada. Tal ângulo é obtido através de uma malha de controle que leva o valor da componente V_d a um valor de referência $V_d^* \equiv 0$. Essa malha de controle consiste em um controlador PI, um comando direto de frequência, ω_{ff} , além de um integrador para a obtenção do ângulo θ . A informação sobre a amplitude, fase e frequência do sinal de entrada (V_α), em regime permanente, está contida respectivamente nas variáveis V_q , θ e sua derivada, ou seja, a entrada do bloco de integração.

Uma vez que o algoritmo de PLL aqui proposto é de aplicação em sinais monofásicos, o sinal complementar (V_β) é obtido a partir da transformação inversa dos sinais V_d e V_q para o referencial α e β . Obtém-se, deste modo, um par de sinais V_α' e V_β' , dos quais V_α' possui fase e amplitude iguais a V_α e V_β' é utilizado como o sinal complementar para V_α .

O ajuste dos ganhos do sistema de controle pode ser realizado com base na sua característica de rigidez dinâmica. Esta abordagem permite uma sintonia capaz de levar o PLL a operar satisfatoriamente, mesmo com a presença de distorção harmônica no sinal de entrada. Uma vez que o PLL é um sistema de controle não-linear, o conhecimento de sua característica de rigidez dinâmica pressupõe o desenvolvimento de seu modelo equivalente em torno de um ponto de operação.

A compreensão da operação deste PLL, bem como, o desenvolvimento da característica de rigidez dinâmica e sua sintonia podem ser facilitados através da seguinte descrição detalhada, associada às figuras em anexo.

A figura 1 mostra a relação entre os sistemas de eixos ortogonais de referência utilizados. As transformações de grandezas de um referencial para o outro podem ser obtidas através das seguintes equações.

$$\begin{bmatrix} V_q \\ V_d \end{bmatrix} = \begin{bmatrix} \cos(\theta) & -\sin(\theta) \\ \sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = [T] \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} V_q \\ V_d \end{bmatrix} = [T]^{-1} \begin{bmatrix} V_q \\ V_d \end{bmatrix} \quad (2)$$

onde θ é o ângulo instantâneo entre o eixo α e o eixo q e V_q e V_d são as representações dos sinais V_α e V_β no referencial síncrono.

A figura 2 ilustra o algoritmo do PLL proposto. Nessa figura, os blocos K_i e K_p representam os ganhos integral e proporcional de um controlador PI; o bloco $\frac{1}{s}$ representa um integrador; o termo ω_{ff} , denominado comando direto de frequência, representa uma estimativa para a frequência da rede; a matriz $[T]$ é definida na equação (1). O bloco $\frac{1}{pS+1}$ representa um filtro passa-baixa de primeira ordem.

Conforme pode ser visto, o sinal V_α é, juntamente com o sinal V_β , transformado para um novo sistema de referência, de modo a se obter as grandezas V_d e V_q . Em seguida, o sinal V_q é levado a um sistema com dinâmica de primeira ordem e constante de tempo p (filtro passa-baixa). A saída do filtro, juntamente com o sinal de referência (V_d^*), é transformada para o sistema de referência com eixos estáticos. Esta transformação permite obter, conforme dito anteriormente, o sinal complementar (V_β') para o sinal de entrada. Observe que a presença do filtro de primeira ordem no caminho de realimentação advém da necessidade de um estado de armazenamento de energia para a realização física do sistema. Como alternativa, um retardo puro de tempo poderia ser utilizado em substituição ao filtro de primeira ordem.

O ângulo θ da transformação é obtido através de uma malha de controle para a grandeza V_d . A referência V_d^* dessa malha de controle é feita identicamente nula, de modo a transferir toda a informação sobre a amplitude do sinal de entrada para a grandeza V_q .

O sinal de erro, gerado pela diferença entre V_d e V_d^* , serve como entrada para o controlador PI, cujos ganhos determinam a faixa de passagem do PLL monofásico. A saída desse controlador é um sinal de frequência cuja integral leva ao valor do ângulo desejado para as

transformações entre os sistemas de referência. Observe a presença do comando direto de frequência (ω_{ff}), o qual permite uma melhora significativa na resposta dinâmica do sistema, reservando ao controlador PI apenas as pequenas correções relacionadas aos erros de fase e frequência do sinal de entrada. A amplitude, fase e frequência do sinal monofásico de entrada são dadas pelos valores das grandezas V_q , θ e ω , respectivamente. A principal diferença entre o PLL proposto para sinais monofásicos e PLL para sistemas trifásicos está na necessidade, no caso monofásico, de se criar internamente um sinal defasado de 90° (V_β) do sinal de entrada (V_α) para se operar o sistema resultante em referencial síncrono. Esta geração é proposta nesta patente através de uma transformação inversa de Park, juntamente com um bloco de filtragem ou atraso puro.

A figura 3 mostra o diagrama em blocos do modelo equivalente do PLL sob um ponto de operação. Com base neste diagrama, obtém-se a seguinte representação por espaços de estados do sistema de controle:

$$\frac{d}{dt} \begin{bmatrix} \int \Delta\theta \\ \Delta\theta \\ \int \Delta V'_q \\ \Delta V'_q \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & 0 \\ -K_i A & -K_p A & K_i \sin\theta \cos\theta & K_p \sin\theta \cos\theta \\ 0 & 0 & 0 & 1 \\ 0 & \frac{1}{p}(V'_q \sin\theta \cos\theta - V_d) & 0 & \frac{\sin^2\theta - 1}{p} \end{bmatrix} \begin{bmatrix} \int \Delta\theta \\ \Delta\theta \\ \int \Delta V'_q \\ \Delta V'_q \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ -K_i \sin\theta & -K_p \sin\theta \\ 0 & 0 \\ 0 & \frac{K}{p} \cos\theta \end{bmatrix} \begin{bmatrix} \int \Delta V_\alpha \\ \Delta V_\alpha \end{bmatrix} \quad (3)$$

onde $A = V_q - V'_q \cos^2 \theta$

A característica de rigidez dinâmica do PLL pode ser obtida tomando-se a função de transferência relacionando as variações no sinal de entrada (ΔV_α) com as variações no ângulo de fase do sistema de eixos síncronos ($\Delta\theta$), ou seja:

$$\left| \frac{\Delta V_\alpha}{\Delta\theta} \right| = \frac{s^2 - sK_p A - K_i A}{sK_p \sin\theta} \quad (4)$$

A figura 4 mostra o esboço da característica de rigidez dinâmica do PLL. A rigidez dinâmica é uma curva que permite avaliar o impacto de uma dada perturbação sobre a variável de saída desejada. Como exemplo, esta curva permite avaliar o impacto da presença de distorção harmônica na resposta do PLL. Neste caso, exemplifica-se que para que haja uma

variação de 1 rad no ângulo θ , é necessária uma variação da ordem de 300 V no sinal de entrada na frequência de 120 Hz.

- 5 A sintonia do PLL pode ser, então, realizada conjugando-se o método de alocação de pólos com a característica de rigidez dinâmica, para a obtenção da imunidade a ruídos requerida pela aplicação específica.

REIVINDICAÇÕES

1. **Phase-Locked Loop Rápido para Rastreamento de Fase, Frequência e Amplitude de Sinais Monofásicos** caracterizado por uma entrada de um sinal monofásico como uma componente (V_α) de uma Transformação de Park ($[T]$);
 5 dessa transformada sai dois sinais (V_d e V_q), sendo que uma componente de quadratura (V_q) passa por um filtro ($1/(1+ps)$) e gera uma segunda componente em quadratura (V'_q) e outra componente (V_d) segue para o PPL;
 10 essa componente de quadratura (V'_q) juntamente com uma referência V^*_d , que é igual a zero, passam pela Transformada Inversa de Park ($[T]^{-1}$);
 dessa Transformada ($[T]^{-1}$) se obtém dois sinais (V'_α) e (V'_β), este (V'_β) juntamente com a entrada do sinal monofásico (V_α) são usados na Transformada de Park ($[T]$) (Figura 2).
- 15 2. **Phase-Locked Loop Rápido para Rastreamento de Fase, Frequência e Amplitude de Sinais Monofásicos, de acordo com a reivindicação 1, caracterizado pelo filtro ($1/(1+ps)$)** pode ser um atraso puro ou um filtro passa baixa de, pelo menos, primeira ordem.
- 20 3. **Phase-Locked Loop Rápido para Rastreamento de Fase, Frequência e Amplitude de Sinais Monofásicos, de acordo com a reivindicação 1, caracterizado por um modelo linear equivalente (Figura 3)** ser utilizado no processo de sintonia do controlador (K_i e K_p) e do filtro (p).
- 25 4. **Phase-Locked Loop Rápido para Rastreamento de Fase, Frequência e Amplitude de Sinais Monofásicos, de acordo com as reivindicações 1 a 3, caracterizado por uma equação de rigidez dinâmica (Equação 4)** ser utilizada no processo de sintonia do controlador (K_p e K_i) e do filtro (p) (Figura 4).
- 30 5. **Phase-Locked Loop Rápido para Rastreamento de Fase, Frequência e Amplitude de Sinais Monofásicos, de acordo com as reivindicações 1 a 4, caracterizado por permitir a medição da fase (θ), da frequência (ω) e da amplitude de um sinal senoidal (V_q).**

6. **Phase-Locked Loop Rápido para Rastreamento de Fase, Frequência e Amplitude de Sinais Monofásicos, de acordo com as reivindicações 1 a 5, caracterizado por compreender meios de operar um sistema monofásico como se fosse um sistema trifásico equilibrado**
5 utilizando o PLL.

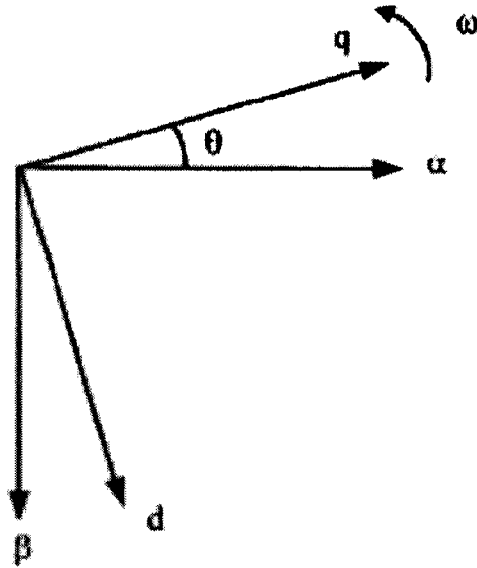


Figura 1

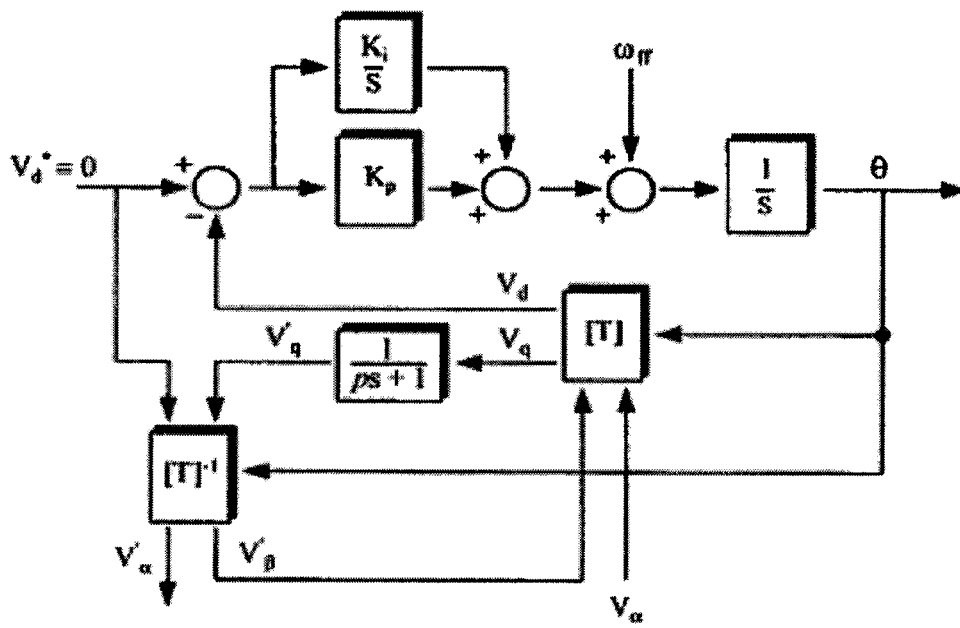


Figura 2

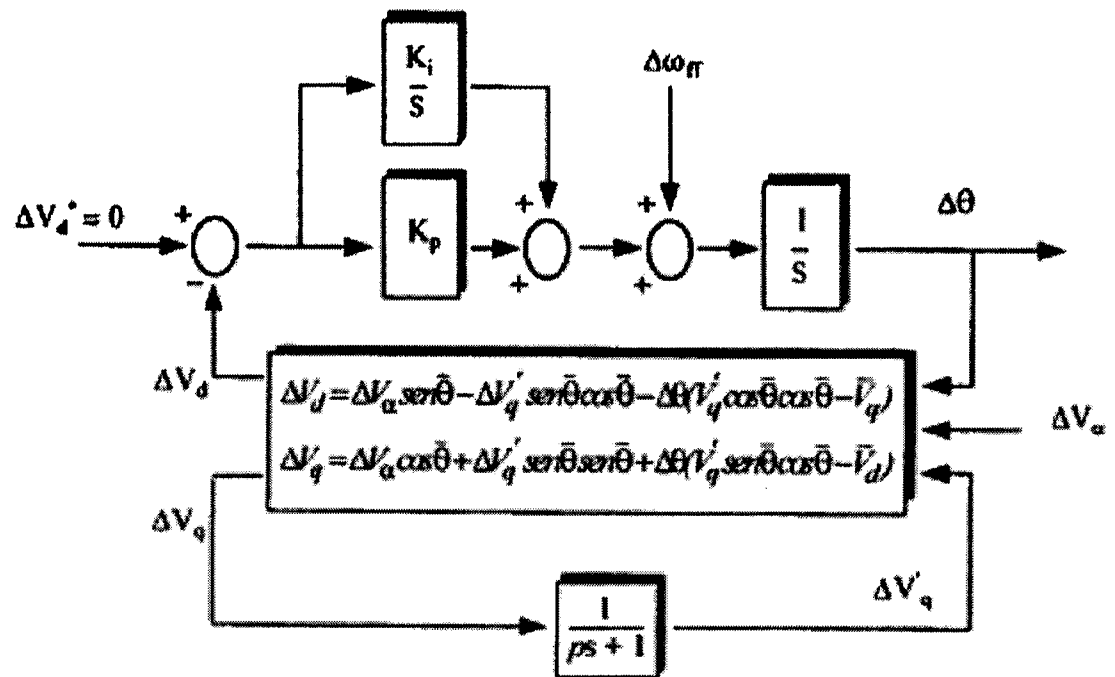


Figura 3

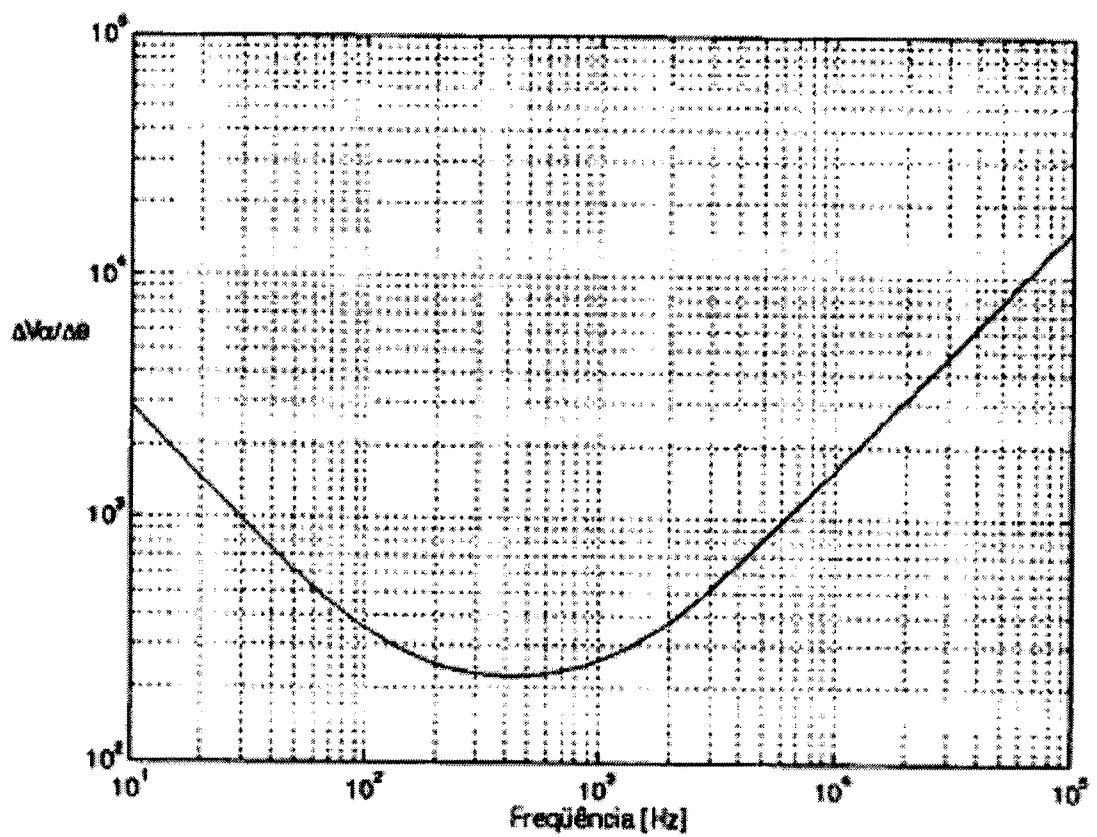


Figura 4

RESUMO

Phase-Locked Loop Rápido para Rastreamento de Fase, Frequência e Amplitude de Sinais Monofásicos

5 A presente patente se refere a um algoritmo de *PLL* (*Phase-Locked Loop*) capaz de fornecer os valores da fase, amplitude e frequência do sinal de entrada. Seu princípio de funcionamento se baseia na transformação de 2 sinais (V_α e V_β), de mesma frequência e amplitude, mas defasados de 90° , associados a um sistema de referência (α e β) estático, para um novo
10 sistema de referência (d e q), com eixos ortogonais e girantes na mesma frequência dos sinais V_α e V_β (Transformação de Park). Neste novo sistema de referência, as grandezas senoidais são convertidas para as grandezas equivalentes contínuas (V_d e V_q), que possuem a informação sobre a amplitude dos sinais de entrada. Uma vez que o algoritmo de *PLL* aqui
15 proposto é de aplicação em sinais monofásicos, o sinal complementar (V_β) é obtido a partir da transformação inversa dos sinais V_d e V_q para o referencial α e β . Obtém-se, deste modo, um par de sinais V_α' e V_β' , dos quais V_α' possui fase e amplitude iguais a V_α e V_β' é utilizado como o sinal complementar para V_α .