Design de computadores

Relógio

***- Como funciona***

Neste trabalho, foi programado em uma FPGA, Cyclone IV, um relógio que mostra os segundos, minutos e horas. Para isso, foram utilizados os displays da placa, para mostrar a hora que é atualizada a cada segundo.

O relógio funciona fazendo suas operações através de uma unidade lógica aritmética (ULA), onde a atualização do horário ocorre por meio de uma soma. Assim, é somado “1” a cada um segundo na unidade do segundo, e quando necessário, adiciona-se “1” na dezena do segundo e assim por diante.

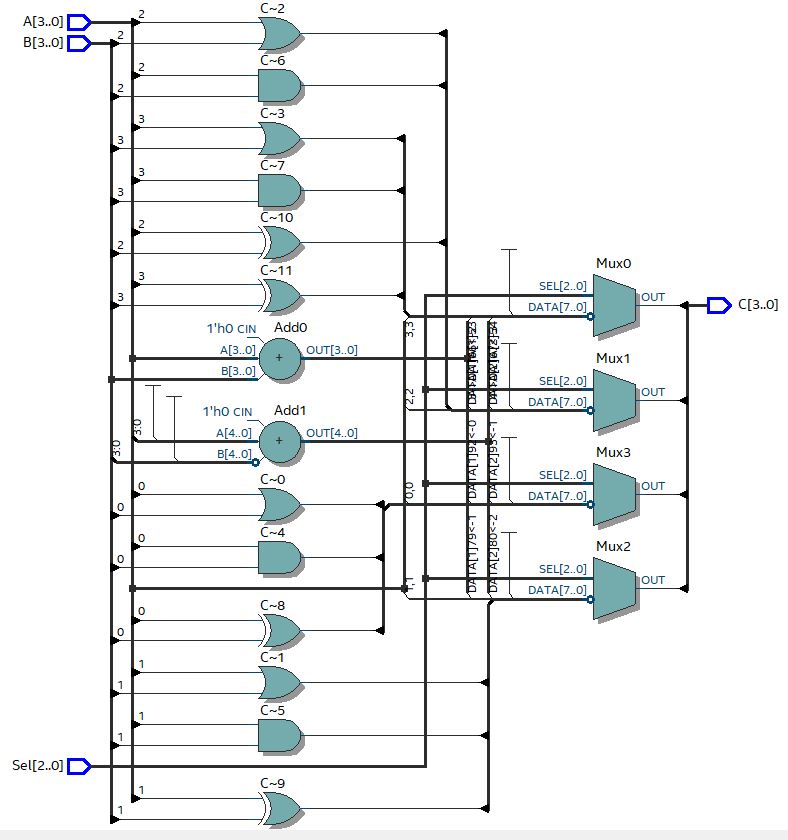


Figura ULA

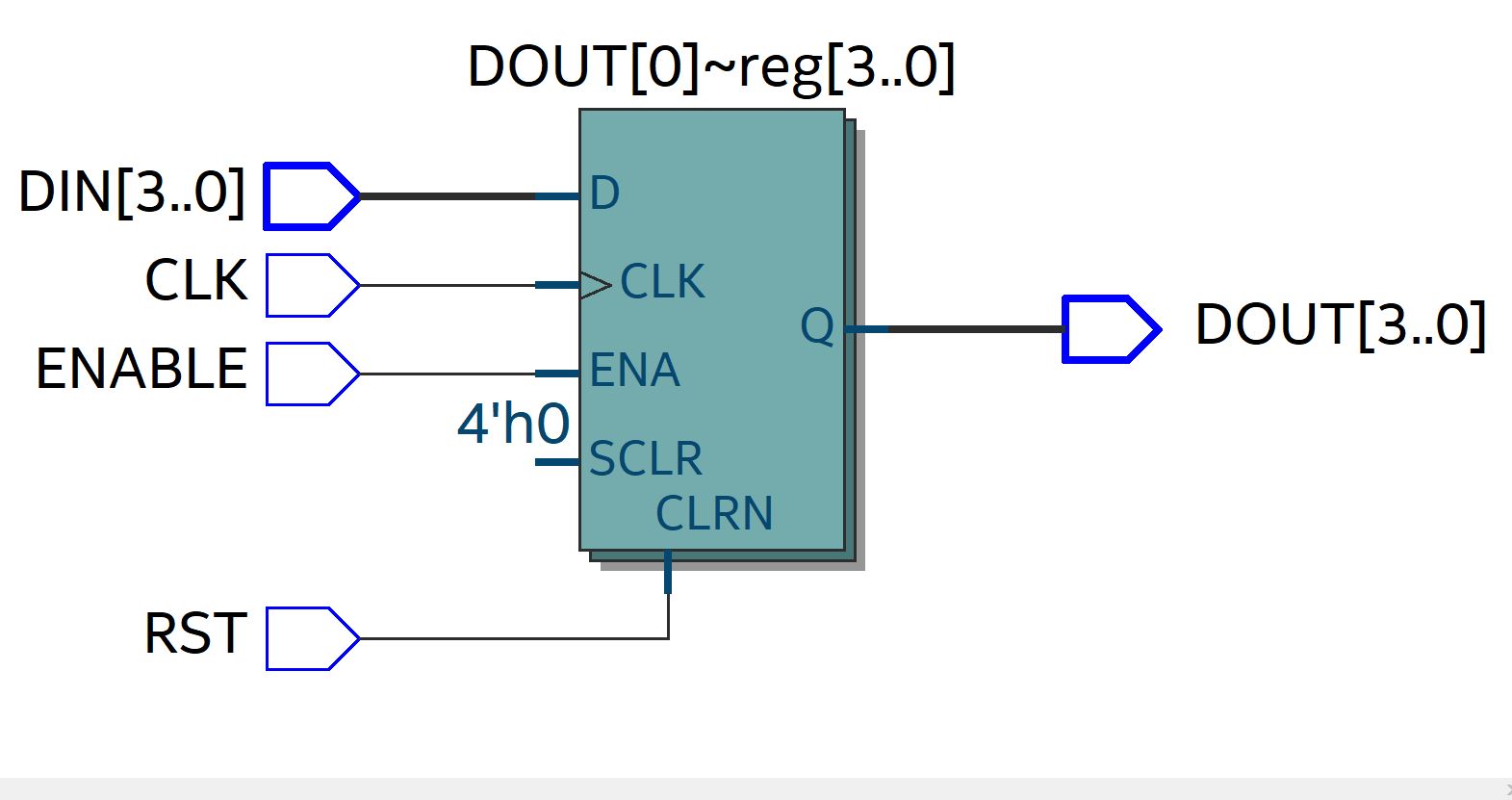
Além da ULA, o projeto possui registradores para armazenar e sincronizar os valores que serão mostrados nos displays da placa:

Figura Registrador genérico

Os registradores possuem um *“enable”* para que o registrador possa atualizar o seu valor de saída baseado no *“clock”.* Para que o registrador correto seja selecionado, já com seu *“enable”* ativado, é necessário um *“MUX”:*

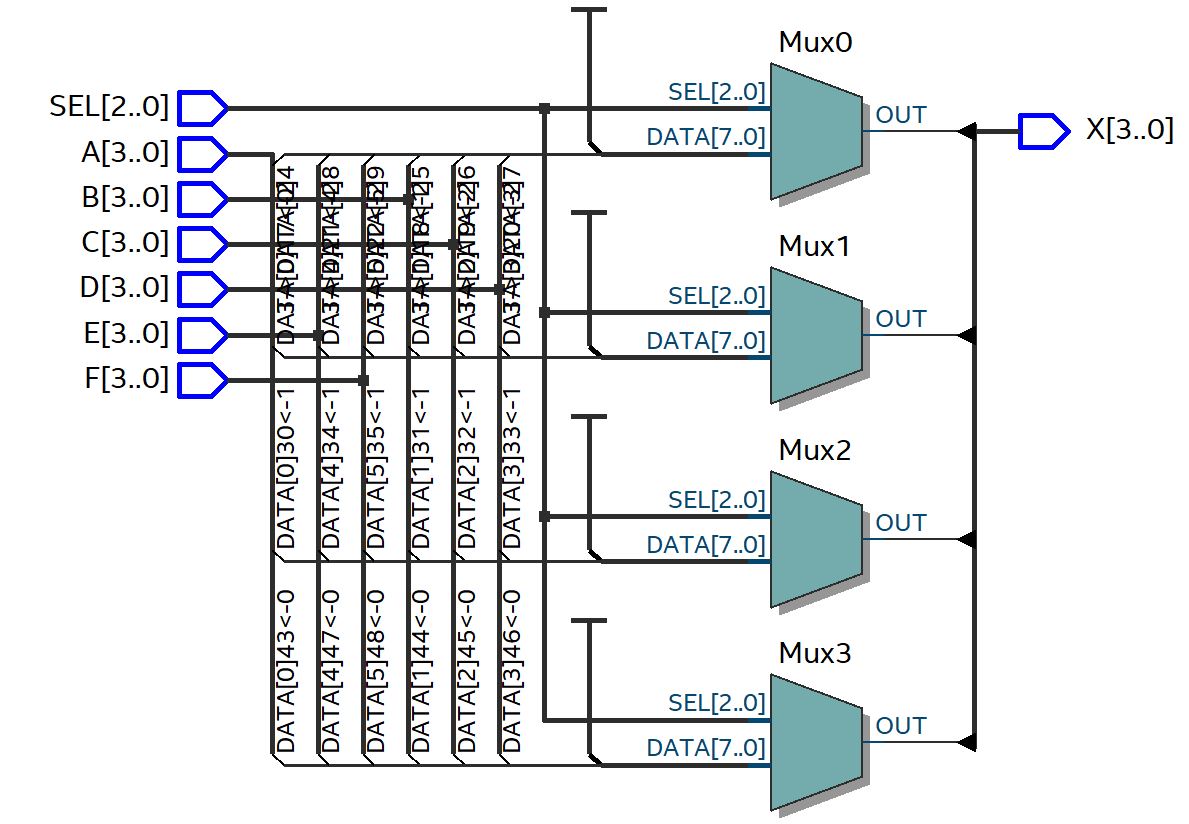


Figura Mux de registradores

A partir do seletor, é selecionado o registradores cujo valor de tempo será atualizado.

A fim de saber se é necessário atualizar os segundos, minutos ou hora, é feita uma comparação com os respectivos valores de mudança, “10” para as unidades e “6” para as dezenas. Assim, a lógica é *micro programada*, onde um microcircuito é criado para a comparação direta. Do mesmo modo, é feita uma comparação final nos displays das horas, pois quando estes forem iguais a 24, o relógio deve voltar a mostrar todos os displays zerados. Para isso, também são conferidos os valores dos minutos e segundos, para evitar casos onde somente o tempo das horas avançaram, como poderia ocorrer em um ajuste manual, por exemplo.

Um relógio deve atualizar seu horário a cada 1 segundo. Porém, a lógica do circuito irá ser processada na velocidade da FPGA em questão, que em termos de clock é igual a 50MHz. Assim, é necessário dividir a parte lógica dos processos em 2:

* CLOCK\_50, clock da FPGA
* auxClock, clock de 1 segundo

A imagem abaixo mostra a divisão destes clocks, em VHDL:

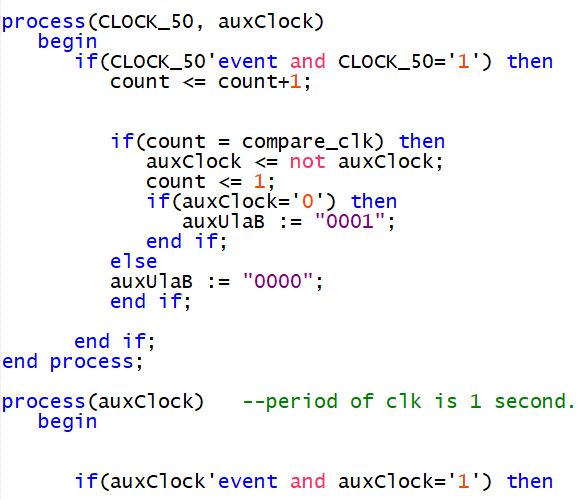


Figura Divisão de clocks na lógica

Pode-se observar que o primeiro *“Process”* é responsável por criar o auxClock a partir da contagem de CLOCK\_50. Já na imagem abaixo, pode-se ver o CLOCK\_50, original da placa, indo para o fluxo de dados:

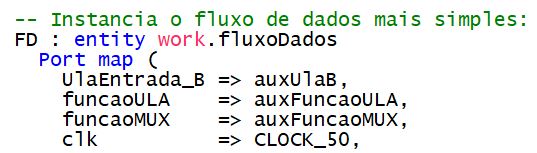


Figura Ultima linha, CLOCK\_50 indo para o fluxo de dados