INSTITUTO TECNOLÓGICO DE COSTA RICA ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

MT 4001 - Electrónica Digital

Tarea de diseño 3:

Contador de Pulsos

Adrián Dittel Retana – 2019007945

Gabriel González Rodríguez – 2019057548

Jose Fabio Navarro Naranjo – 2019049626

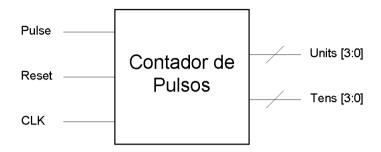
Profesora: Ana María Murillo Morgan

Semestre II - 2021

Diseño propuesto

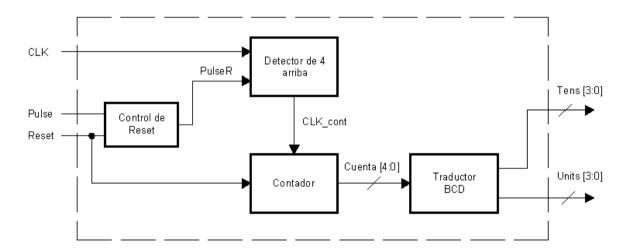
Primer nivel

A continuación se presenta el diagrama de primer nivel para el contador de pulsos.



Segundo nivel

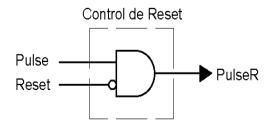
A continuación se presenta el diagrama de segundo nivel para el contador de pulsos.



Tercer nivel

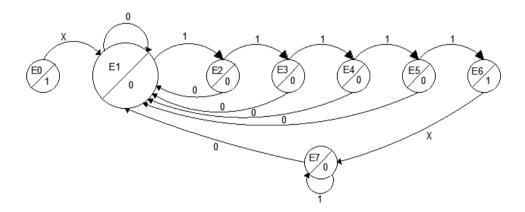
• Control de Reset

Este módulo lo que hace es resetear el pulso que ingresa al circuito de modo, que cuando se aplica el reset, el pulso de entrada también se fija en cero. Para esto, se utiliza una compuerta AND con la entrada del reset negada.



• Detector de 4 arriba

Este módulo es una máquina de estados que verifica si un pulso se mantiene mínimo por 4 pulsos arriba, y si este es el caso, envía un pulso que es tomado por el contador, a manera de clock, de modo que lo cuantifica. Es importante mencionar que se tuvo que añadir un estado inicial por el cual la máquina pasa una sola vez, el cual tiene como salida un valor en alto, que tiene como funcionalidad activar el contador para que esté listo para contabilizar los pulsos que llegarán después. El diagrama de estados se muestra en la siguiente imagen.



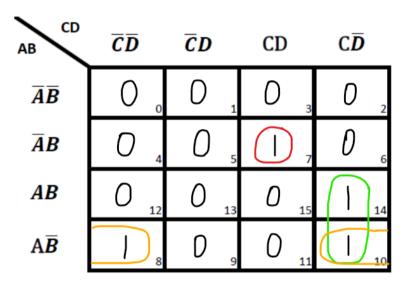
Ahora bien, siguiendo el diagrama de estados anterior, se creó la siguiente tabla de estados con la finalidad de implementar dicha máquina de estados en un circuito digital.

Estado	QA	QB	QC	P	QA+	QB+	QC+	A	В	С	TA	ТВ	TC
0	0	0	0	0	0	0	1	0	0	alfa	0	0	1
	0	0	0	1	0	0	1	0	0	alfa	0	0	1
1	0	0	1	0	0	0	1	0	0	1	0	0	0
1	0	0	1	1	0	1	0	0	alfa	beta	0	1	1
2	0	1	0	0	0	0	1	0	beta	alfa	0	1	1
2	0	1	0	1	0	1	1	0	1	alfa	0	0	1
3	0	1	1	0	0	0	1	0	beta	1	0	1	0
3	0	1	1	1	1	0	0	alfa	beta	beta	1	1	1
4	1	0	0	0	0	0	1	beta	0	alfa	1	0	1
7	1	0	0	1	1	0	1	1	0	alfa	0	0	1
5	1	0	1	0	0	0	1	beta	0	1	1	0	0
	1	0	1	1	1	1	0	1	alfa	beta	0	1	1

6	1	1	0	0	1	1	1	1	1	alfa	0	0	1
	1	1	0	1	1	1	1	1	1	alfa	0	0	1
7	1	1	1	0	0	0	1	beta	beta	1	1	1	0
	1	1	1	1	1	1	1	1	1	1	0	0	0

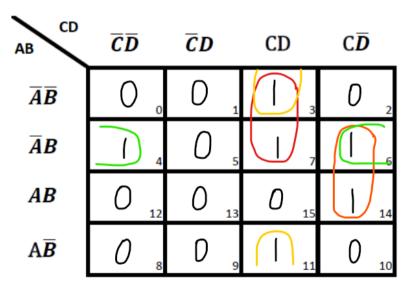
Luego, con la tabla anterior se realizaron los siguientes mapas K para obtener las ecuaciones para cada entrada, donde la entrada D representa al Pulso.

Para TA:



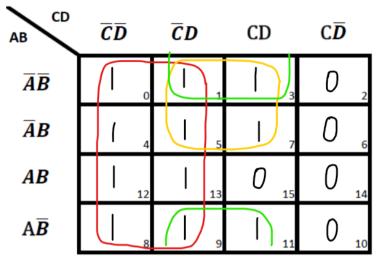
 $TA = (\sim C)(D)(A) + (\sim D)(A)(\sim B) + (C)(D)(\sim A)(B)$

Para TB:



$$TB = (C)(D)(\sim A) + (C)(D)(\sim B) + (C)(\sim D)(B) + (\sim A)(B)(\sim D)$$

Para TC:



$$TC = \sim C + (D)(\sim A) + (D)(\sim B)$$

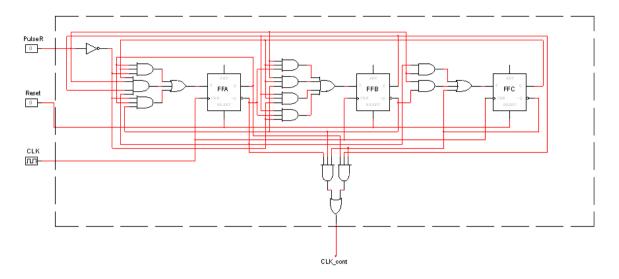
Luego de esto, para la lógica de salida de la máquina de estados, se creó la siguiente tabla.

QA	В	Q	S
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

De modo que, la función lógica para la salida se obtuvo sumando los mintérminos 0 y 6, los cuales no se podían simplificar más.

$$S = (\sim A)(\sim B)(\sim C) + (A)(B)(\sim C)$$

Finalmente, con todo esto, se obtuvo el siguiente circuito lógico.



• Contador

Este contador lo que va a hacer es que va a llevar la cuenta hasta 20 de los pulsos que se registren con el detector, una vez llegue a 20 este se reinicia a 0.

Lo primero que se hace es la tabla de los estados para averiguar qué ecuación se ocupa en cada Flip-Flop.

	F	Estado	os Ac	tuale	S		Estado	os Sigu	uiente	S		Fl	ip-Fl	op	
Mintérmino	Q5	Q4	Q3	Q2	Q1	Q′5	Q′4	Q′3	Q′2	Q′1	T5	T4	Т3	T2	T1
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
1	0	0	0	0	1	0	0	0	1	0	0	0	0	1	1
2	0	0	0	1	0	0	0	0	1	1	0	0	0	0	1
3	0	0	0	1	1	0	0	1	0	0	0	0	1	1	1
4	0	0	1	0	0	0	0	1	0	1	0	0	0	0	1
5	0	0	1	0	1	0	0	1	1	0	0	0	0	1	1
6	0	0	1	1	0	0	0	1	1	1	0	0	0	0	1
7	0	0	1	1	1	0	1	0	0	0	0	1	1	1	1

8	0	1	0	0	0	0	1	0	0	1	0	0	0	0	1
9	0	1	0	0	1	0	1	0	1	0	0	0	0	1	1
10	0	1	0	1	0	0	1	0	1	1	0	0	0	0	1
11	0	1	0	1	1	0	1	1	0	0	0	0	1	1	1
12	0	1	1	0	0	0	1	1	0	1	0	0	0	0	1
13	0	1	1	0	1	0	1	1	1	0	0	0	0	1	1
14	0	1	1	1	0	0	1	1	1	1	0	0	0	0	1
15	0	1	1	1	1	1	0	0	0	0	1	1	1	1	1
16	1	0	0	0	0	1	0	0	0	1	0	0	0	0	1
17	1	0	0	0	1	1	0	0	1	0	0	0	0	1	1
18	1	0	0	1	0	1	0	0	1	1	0	0	0	0	1
19	1	0	0	1	1	1	0	1	0	0	0	0	1	1	1
20	1	0	1	0	0	0	0	0	0	0	1	0	1	0	0

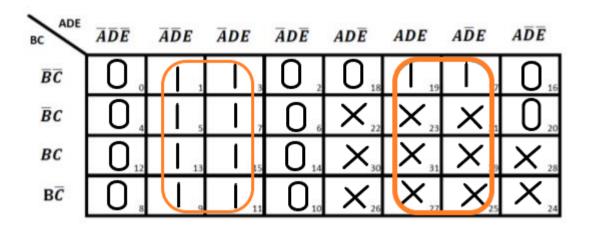
Una vez hecho esto se obtienen los mapas K, y su correspondiente ecuación, se debe considerar que $E=Q1,\,D=Q2,\,C=Q3,\,B=Q4,\,A=Q5.$

T1:



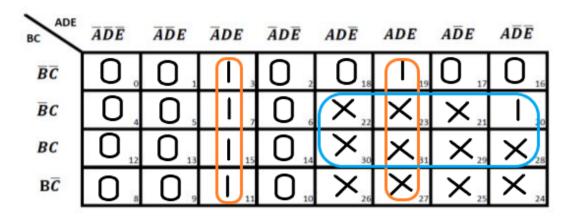
$$T1 = \sim Q5 + (\sim Q4)(\sim Q3)$$

T2:



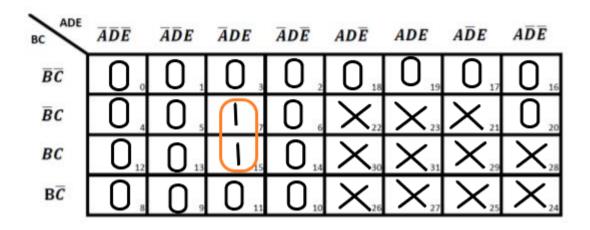
T2 = Q1

T3:



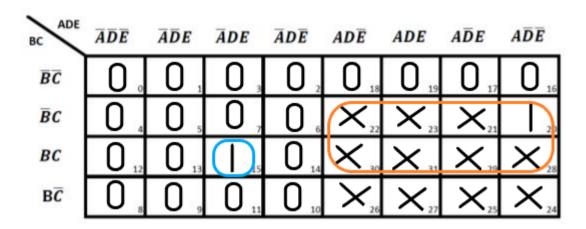
$$T3 = (Q2)(Q1) + (Q5)(Q3)$$

T4:



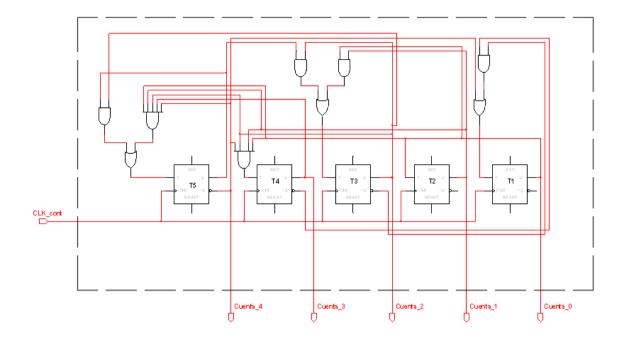
 $T4 = (\sim Q5)(Q3)(Q2)(Q1)$

T5:



 $T5 = (\sim Q5)(Q4)(Q3)(Q2)(Q1) + (Q5)(Q3)$

Por último, de acuerdo a la ecuaciones se planteó el siguiente diagrama:



• Traductor BCD

Para convertir el número binario dado por el contador a código BCD se siguió el procedimiento que se muestra a continuación.

1. Se realizó la tabla de comportamiento del sistema, donde Q representa la Cuenta, T las decenas (Tens) y U las unidades (Units), además, A representa el bit más significativo y D (o E, a como corresponda) el menos significativo.

Tabla de comportamiento del Traductor BCD

QA	QB	QC	QD	QE	TA	ТВ	TC	TD	UA	UB	UC	UD
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	0	0	0	0	0	1	1
0	0	1	0	0	0	0	0	0	0	1	0	0
0	0	1	0	1	0	0	0	0	0	1	0	1
0	0	1	1	0	0	0	0	0	0	1	1	0
0	0	1	1	1	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	1	0	0	0
0	1	0	0	1	0	0	0	0	1	0	0	1

0	1	0	1	0	0	0	0	1	0	0	0	0
0	1	0	1	1	0	0	0	1	0	0	0	1
0	1	1	0	0	0	0	0	1	0	0	1	0
0	1	1	0	1	0	0	0	1	0	0	1	1
0	1	1	1	0	0	0	0	1	0	1	0	0
0	1	1	1	1	0	0	0	1	0	1	0	1
1	0	0	0	0	0	0	0	1	0	1	1	0
1	0	0	0	1	0	0	0	1	0	1	1	1
1	0	0	1	0	0	0	0	1	1	0	0	0
1	0	0	1	1	0	0	0	1	1	0	0	1
1	0	1	0	0	0	0	1	0	0	0	0	0

2. Se realizaron los mapas K necesarios para determinar las ecuaciones de cada uno de los dígitos/bits tanto de las unidades como de las decenas.

$$TA = 0$$

$$TB = 0$$

$$TC = AC$$

					ı	TD				
		~	A					I	A	
	~D~E	~DE	DE	D~E			~D~E	~DE	DE	D~E
~B~C	0	0	0	0		~B~C	1	1	1	1
~BC	0	0	0	0		~BC	0	X	X	X
ВС	1	1	1	1		ВС	X	X	X	X
B~C	0	0	1	1		B~C	X	X	X	X

$$TD = BC + BD + A \sim B \sim C$$

					-	UA				
		~	A					I	A	
	~D~E	~DE	DE	D~E			~D~E	~DE	DE	D~E
~B~C	0	0	0	0		~B~C	0	0	1	1
~BC	0	0	0	0		~BC	0	X	X	X
BC	0	0	0	0		ВС	X	X	X	X
B~C	1	1	0	0		В~С	X	X	X	X

$UA = B \sim C \sim D + AD$

					UB				
		~	A				1	A	
	~D~E	~DE	DE	D~E		~D~E	~DE	DE	D~E
~B~C	0	0	0	0	~B~C	1	1	0	0
~BC	1	1	1	1	~BC	0	X	X	X
ВС	0	0	1	1	ВС	X	X	X	X
B~C	0	0	0	0	B~C	X	X	X	X

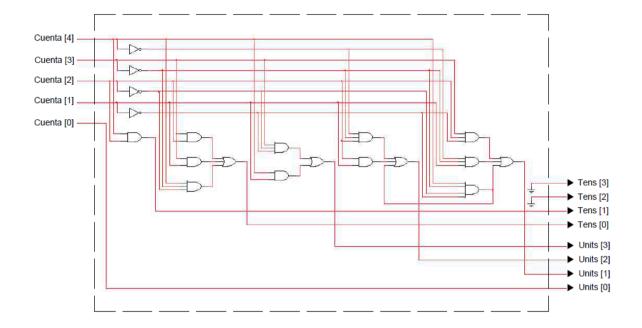
$UB = \mathsf{\sim} A \mathsf{\sim} BC + CD + A \mathsf{\sim} B \mathsf{\sim} C \mathsf{\sim} D$

					UC				
		~	A				1	A	
	~D~E	~DE	DE	D~E		~D~E	~DE	DE	D~E
~B~C	0	0	1	1	~B~C	1	1	0	0
~BC	0	0	1	1	~BC	0	X	X	X
ВС	1	1	0	0	BC	X	X	X	X
B~C	0	0	0	0	B~C	X	X	X	X

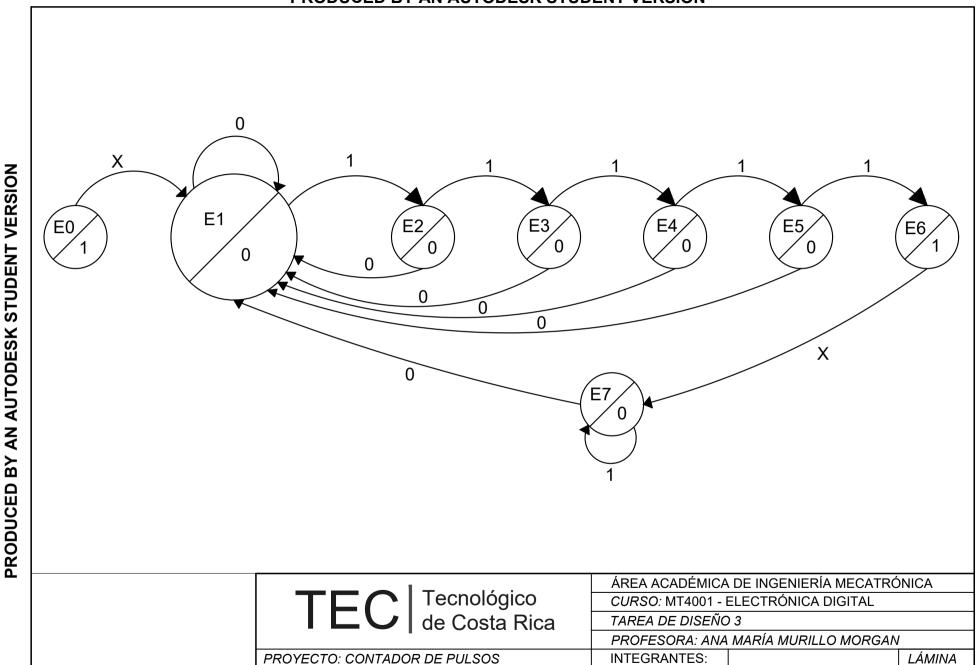
 $UC = BC \sim D + \sim A \sim BD + A \sim B \sim C \sim D$

UD = E

El diagrama de tercer nivel del Traductor BCD se muestra a continuación.



6



PRODUCED BY AN AUTODESK STUDENT VERSION

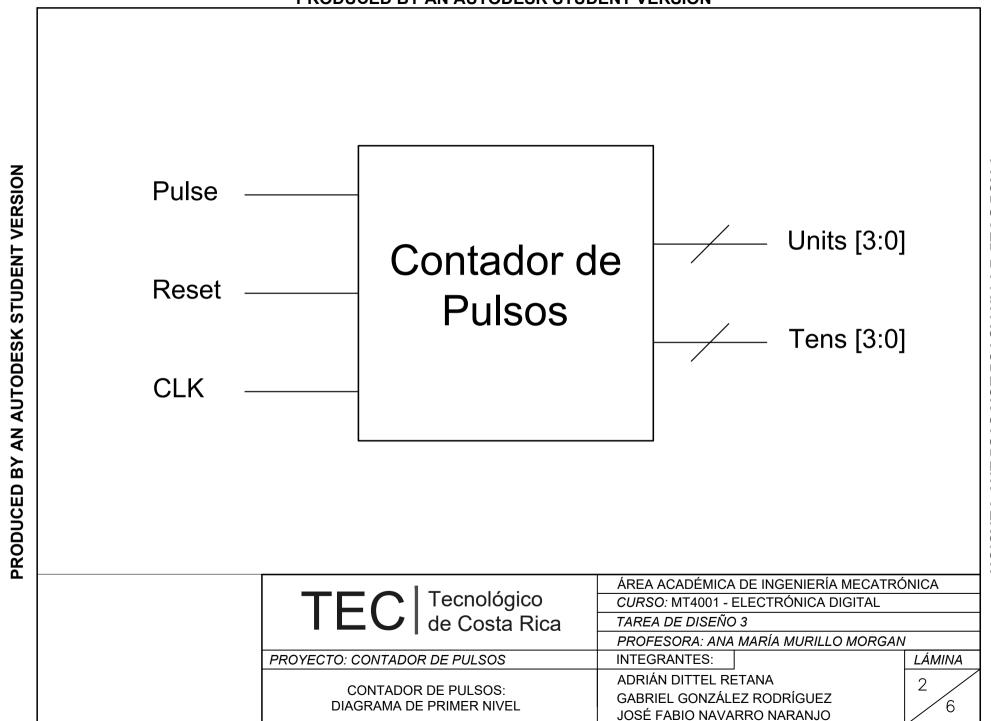
CONTADOR DE PULSOS:

DIAGRAMA DE ESTADOS

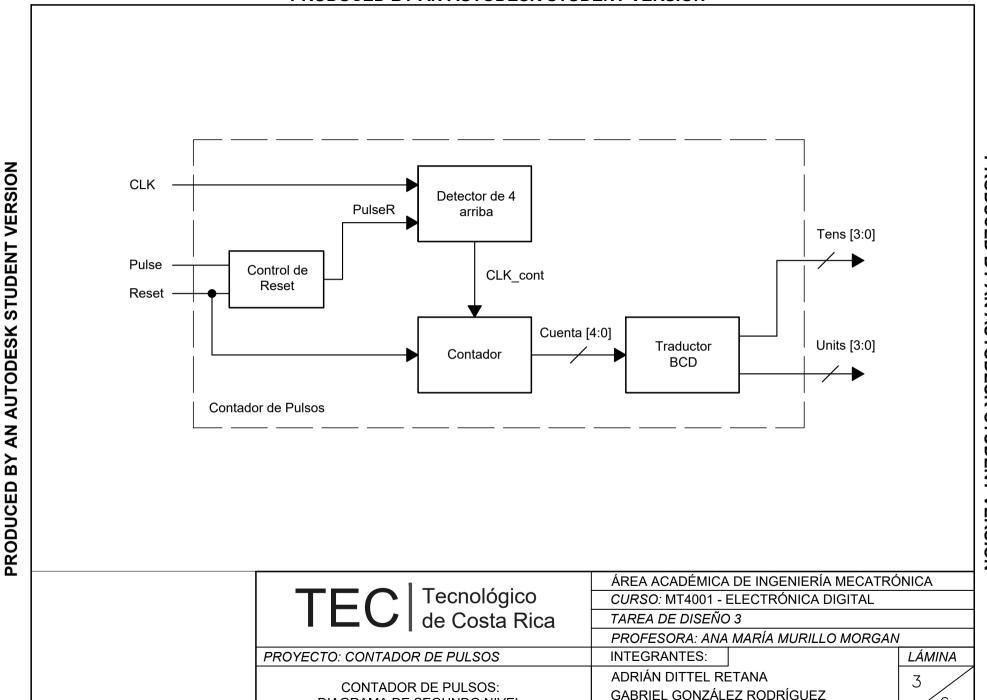
ADRIÁN DITTEL RETANA

GABRIEL GONZÁLEZ RODRÍGUEZ

JOSÉ FABIO NAVARRO NARANJO

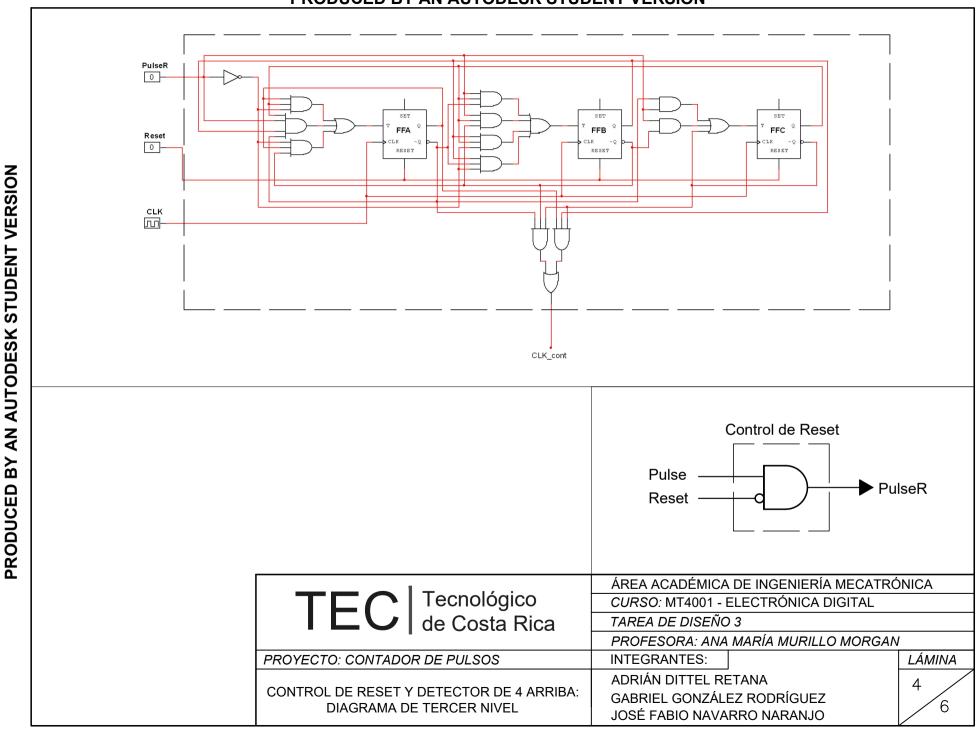


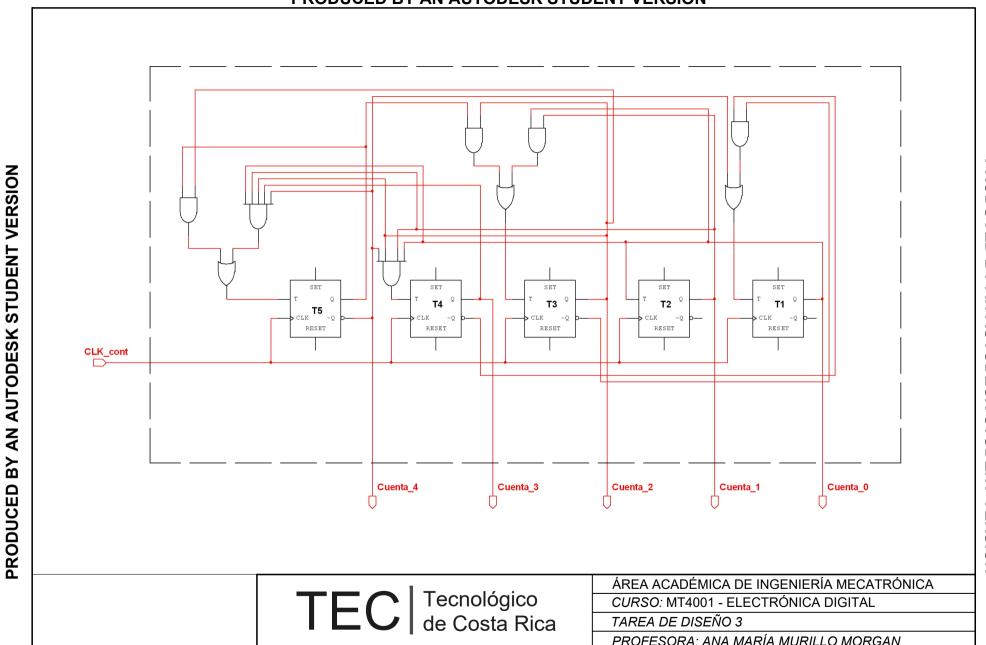
6



JOSÉ FABIO NAVARRO NARANJO

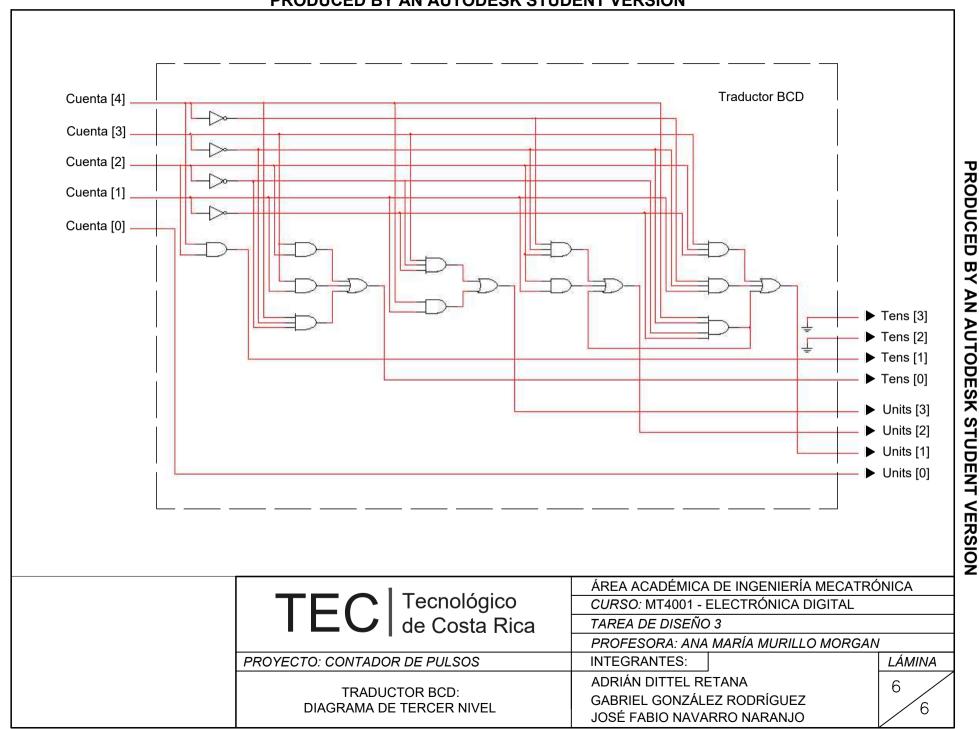
DIAGRAMA DE SEGUNDO NIVEL





	AREA ACADEMICA DE INGENIERI	IA MECATRONICA
	CURSO: MT4001 - ELECTRÓNICA	DIGITAL
TEC Tecnológico de Costa Rica	TAREA DE DISEÑO 3	
1	PROFESORA: ANA MARÍA MURILI	LO MORGAN
PROYECTO: CONTADOR DE PULSOS	INTEGRANTES:	LÁMINA
CONTADOR: DIAGRAMA DE TERCER NIVEL	ADRIÁN DITTEL RETANA GABRIEL GONZÁLEZ RODRÍGUEZ JOSÉ FABIO NAVARRO NARANJO	/ h

PRODUCED BY AN AUTODESK STUDENT VERSION



PRODUCED BY AN AUTODESK STUDENT VERSION

PRODUCED BY AN AUTODESK STUDENT VERSION