

INSTITUTO TECNOLÓGICO DE COSTA RICA

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

MT 4001
Electrónica Digital

Tarea de Diseño 1: Sumador en Código ASCII

Jose Fabio Navarro Naranjo – 2019049626

Adrián Dittel Retana – 2019007945

Gabriel González Rodríguez – 2019057548

Profesora: Ana María Murillo Morgan

Semestre II - 2021

Explicación del diseño

El primer diseño que se realizó se muestra en el diagrama de segundo nivel de la lámina 1, de los planos que se adjuntan a este documento, donde se especifica que se desea primero, convertir las entradas a 2 números en binario natural, para luego sumarlos, y finalmente, convertir el resultado obtenido a 3 salidas en ASCII, donde cada una representa las unidades, decenas y centenas de la suma realizada.

A partir de este diagrama, se determinó la necesidad de realizar 3 bloques principales, para ejecutar tareas específicas del problema. Dichos bloques se detallan a continuación:

1. Conversor ASCII-Binario:

Este circuito se detalla en el diagrama de tercer nivel de la lámina 2. Este circuito recibe 14 entradas, donde 7 de ellas representan las unidades de un número, y las otras 7 representan las decenas de este número. Este conversor realiza 2 operaciones (siempre en sistema binario), primero multiplica por 10 las decenas del número, y luego a este le suma las unidades, con lo que se obtiene el número representado en binario natural.

Para la operación de multiplicación por 10 de las decenas se implementan 2 multiplicaciones y una suma para simplificar el procedimiento. Primero se multiplica estratégicamente por 8, y luego por 2, para finalmente sumar estos resultados, que son equivalentes a una multiplicación por 10, ya que siguen la ecuación que se muestra a continuación:

$$10x = 8x + 2x$$

Esto se realiza de esta manera ya que tanto 8, como 2, son potencias de 2, de modo que estas multiplicaciones se realizan mediante desplazamientos, específicamente 3 desplazamientos para el 8, y 1 desplazamiento para el 2. Por lo que finalmente la única operación a realizar es la suma entre los resultados de estos 2 desplazamientos.

Debido a lo anterior, para este circuito no se realizó tabla de verdad, ni mapa K para obtener las ecuaciones, ya que se logró resolver de manera directa utilizando únicamente 2 sumadores de 7 bits, los cuales se representan en el diagrama como 2 sumadores de 4 bits cada uno.

Asimismo, es importante destacar que, tanto del bus de datos de las unidades, como del bus de datos de las decenas, se utilizan únicamente los 4 bits menos significativos, ya que los bits 4, 5 y 6 son iguales para todas las entradas debido a la posición que ocupan los números en el código ASCII.

Finalmente, este circuito arroja 7 bits de salida (ya que el número mayor que puede representar es el 99 en decimal). Como se muestra en el diagrama de la lámina 1, este circuito se utiliza 2 veces en la implementación final, una vez para convertir cada sumando.

2. Sumador:

Se utilizó un sumador de 8 bits para sumar ambos números en binario natural, ya que la máxima salida que se puede obtener es 198 (que se obtiene de sumar $99 + 99$), número que se representa mediante 8 bits en binario. Para este componente no se realizó ningún diagrama, ya que su funcionamiento lógico y su implementación ya se estudió durante la clase. Este sumador tiene 2 entradas de 7 bits, y 8 bits de salida.

3. Conversor Binario-ASCII:

Por último, este circuito se muestra en la lámina 3, y toma el binario de 8 bits que sale del sumador, y lo convierte en código ASCII. Para esto, se utiliza un procedimiento de desplazamiento de dígitos del binario original, que convierte el número binario natural a BCD. Esto se realiza mediante los 3 pasos que se detallan a continuación:

- Se desplaza el número binario hacia la izquierda un bit.
- Si alguno de los dígitos (unidades, decenas o centenas) tiene un valor igual o mayor a cinco, se suma un tres a este dígito.
- Finalmente, se repiten los pasos anteriores hasta que obtenga el binario en BCD.

Para este procedimiento, como se muestra en la lámina 3, se implementó un circuito que realiza todo este desplazamiento, y dentro de él, tiene pequeños bloques que detectan si los dígitos son mayores o iguales a 5 y les suma 3. Dicho bloque se detalla en la lámina 4, y se realizó mediante la siguiente tabla de verdad, que tiene 4 entradas y 4 salidas:

A3	A2	A1	A0	S3	S2	S1	S0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	X	X	X	X
1	0	1	1	X	X	X	X
1	1	0	0	X	X	X	X
1	1	0	1	X	X	X	X
1	1	1	0	X	X	X	X
1	1	1	1	X	X	X	X

Para este caso, solo se toman en cuenta las salidas obtenidas cuando la entrada forma un número menor o igual a 9, ya que cada entrada representa el dígito de un número decimal y por tanto no puede ser mayor a 9.

Con la tabla anterior, se realizaron los siguientes mapas K, para obtener las 4 salidas esperadas:

Para S3:

		CD			
		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
AB	$\bar{A}\bar{B}$	○ ₀	○ ₁	○ ₃	○ ₂
	$\bar{A}B$	○ ₄	₅	₇	₆
	AB	× ₁₂	× ₁₃	× ₁₅	× ₁₄
	$A\bar{B}$	₈	₉	× ₁₁	× ₁₀

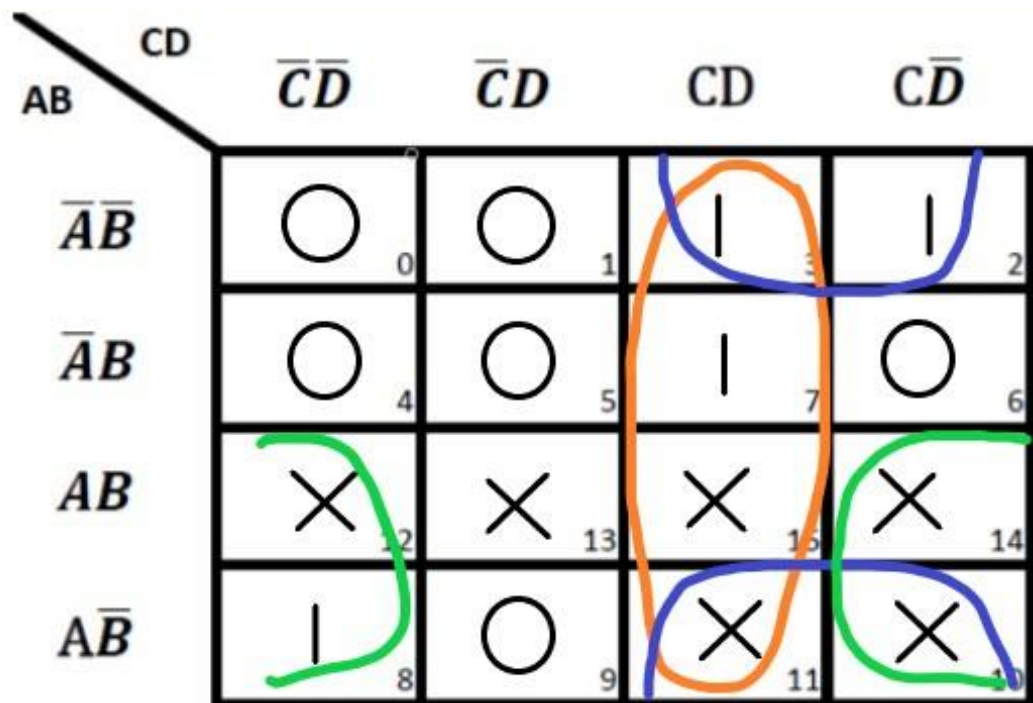
$$S_3 = A + BD + BC$$

Para S2:

		CD			
		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
AB	$\bar{A}\bar{B}$	○ ₀	○ ₁	○ ₃	○ ₂
	$\bar{A}B$	₄	○ ₅	○ ₇	○ ₆
	AB	× ₁₂	× ₁₃	× ₁₅	× ₁₄
	$A\bar{B}$	○ ₈	₉	× ₁₁	× ₁₀

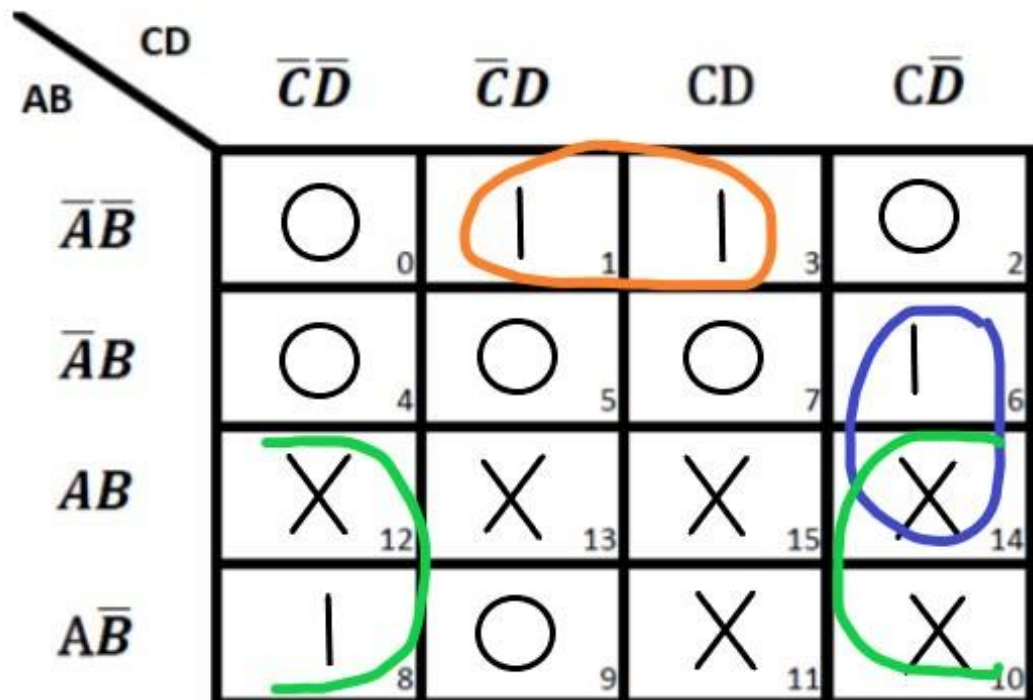
$$S_2 = B\bar{C}\bar{D} + AD$$

Para S1:



$$S_1 = A\bar{D} + CD + \bar{B}C$$

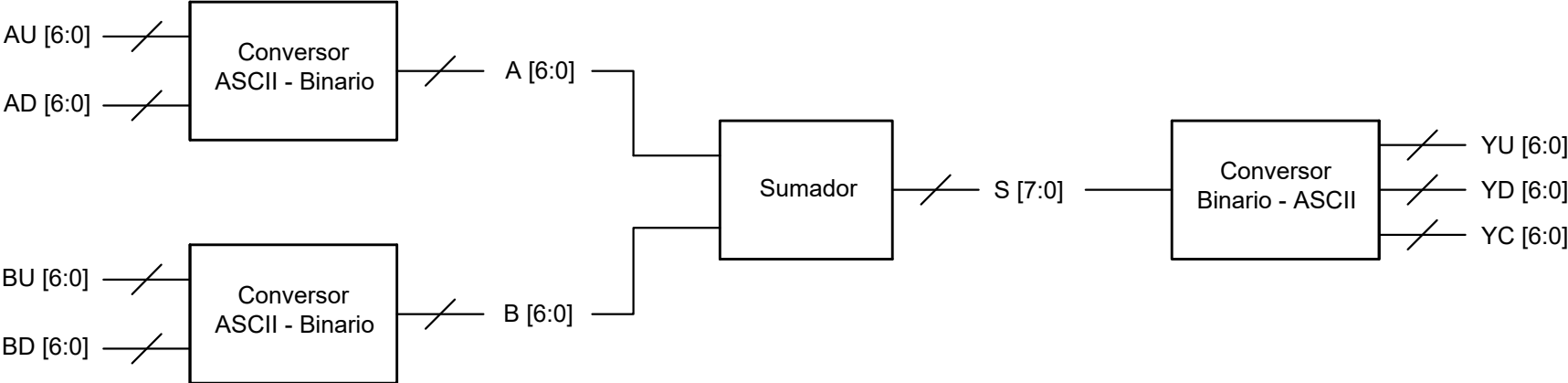
Para S0:



$$S_0 = A\bar{D} + \bar{A}\bar{B}D + B\bar{C}\bar{D}$$

Finalmente, las ecuaciones encontradas anteriormente, se implementaron en el circuito del lámina 4. Dicho circuito se implementó 7 veces en el conversor de binario a BCD.

Es importante mencionar que, para convertir de BDC a ASCII, únicamente, se deben agregar 3 bits con el valor 011, (dichas entradas se alambran con valores fijos) como más significativos, y con esto finalmente se obtiene la salida solicitada para esta tarea.



TEC | Tecnológico
de Costa Rica

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA
CURSO: MT4001 - ELECTRÓNICA DIGITAL
TAREA DE DISEÑO 1

PROYECTO: SUMADOR EN CÓDIGO ASCII

INTEGRANTES:

LÁMINA

DIAGRAMA DE SEGUNDO NIVEL

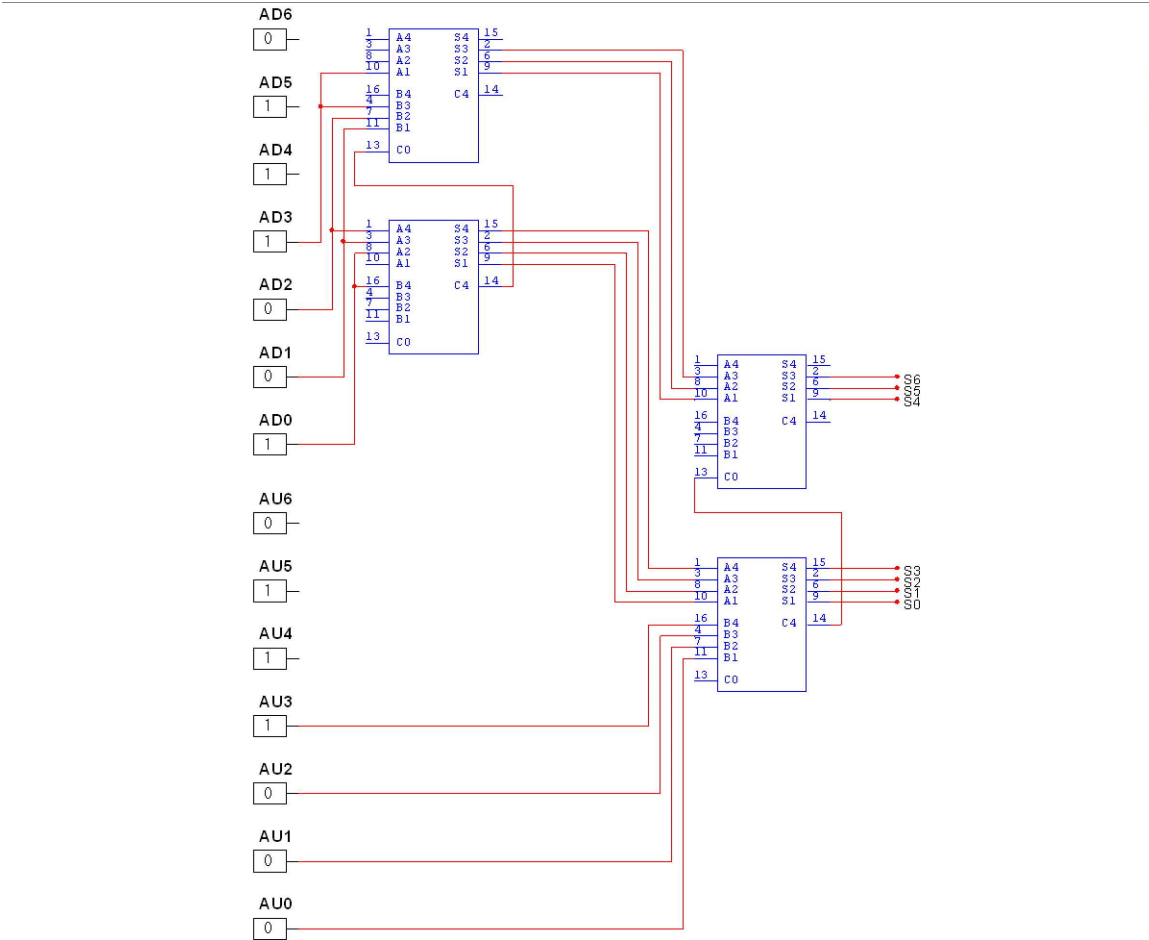
ADRIÁN DITTEL RETANA

GABRIEL GONZÁLEZ RODRÍGUEZ

JOSÉ FABIO NAVARRO NARANJO

1

4



TEC | Tecnológico
de Costa Rica

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

CURSO: MT4001 - ELECTRÓNICA DIGITAL

TAREA DE DISEÑO 1

PROYECTO: SUMADOR EN CÓDIGO ASCII

INTEGRANTES:

LÁMINA

CONVERSOR ASCII-BINARIO

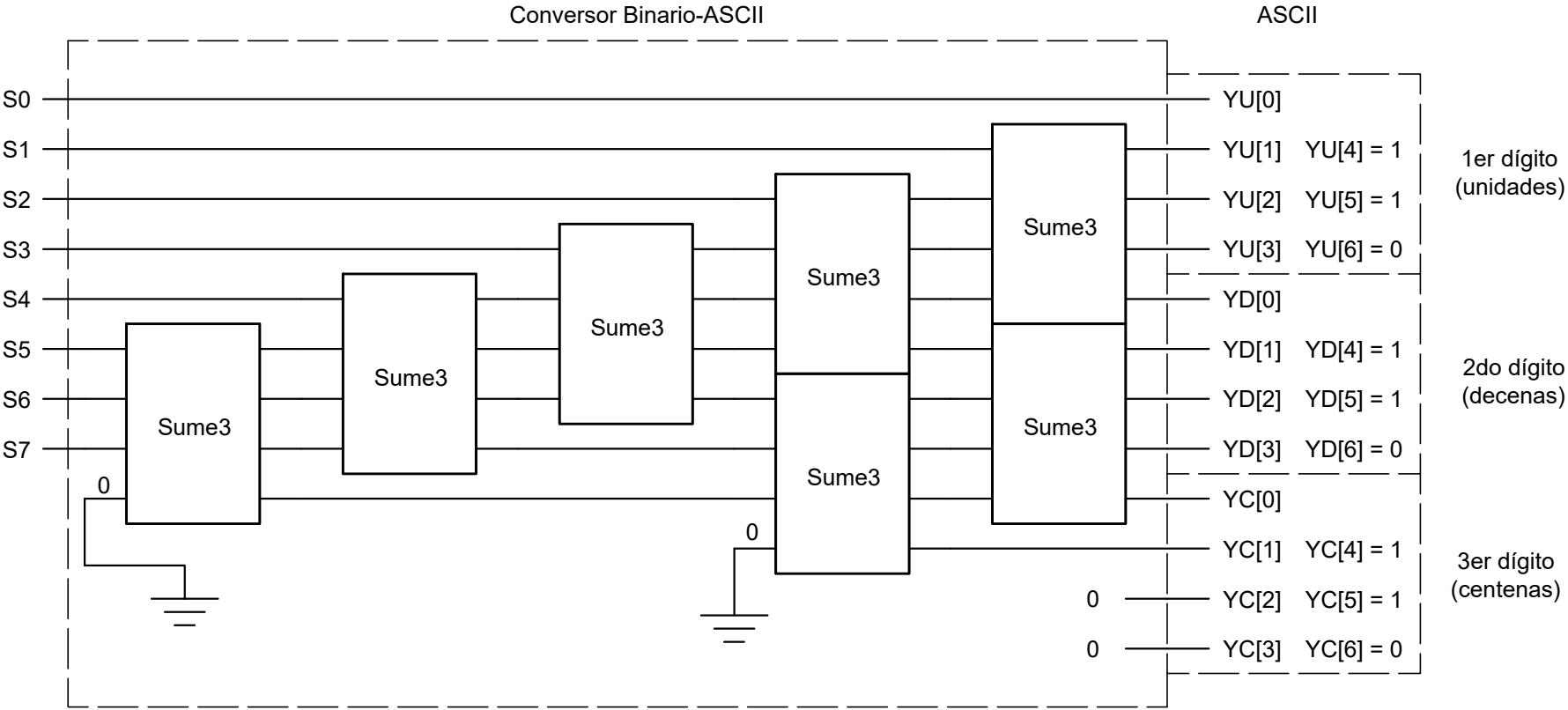
ADRIÁN DITTEL RETANA

2

GABRIEL GONZÁLEZ RODRÍGUEZ

JOSÉ FABIO NAVARRO NARANJO

4



TEC | Tecnológico de Costa Rica

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA
CURSO: MT4001 - ELECTRÓNICA DIGITAL
TAREA DE DISEÑO 1

PROYECTO: SUMADOR EN CÓDIGO ASCII

INTEGRANTES:

LÁMINA

CONVERSOR BINARIO-ASCII

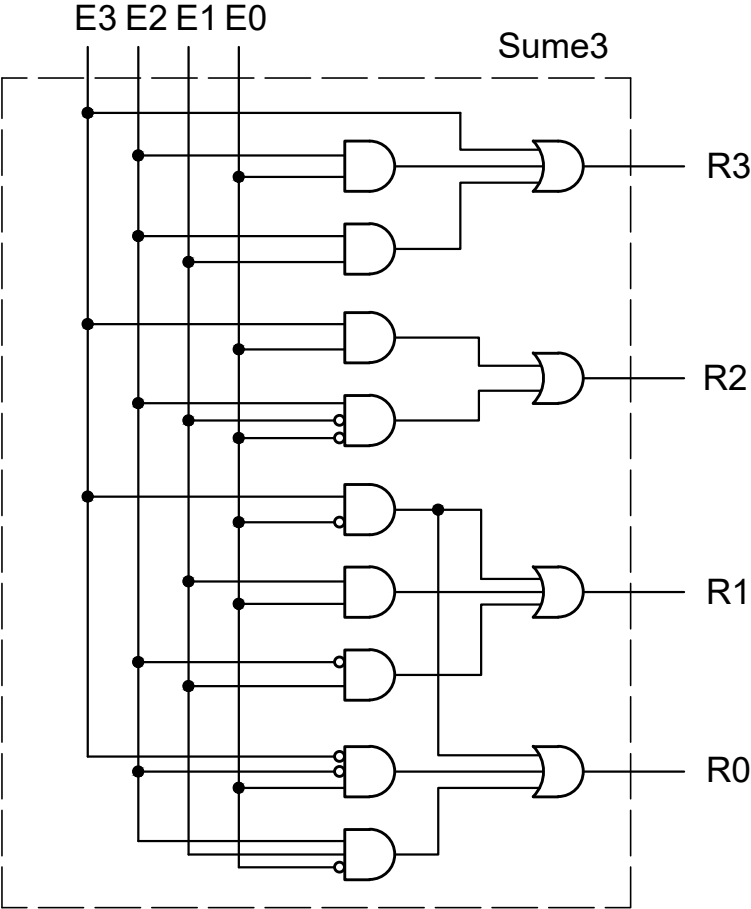
ADRIÁN DITTEL RETANA

3

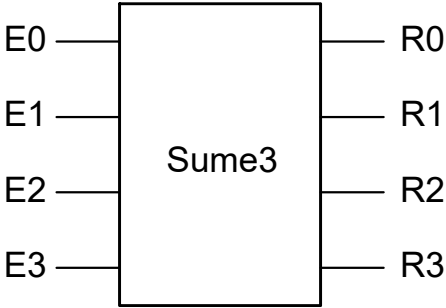
GABRIEL GONZÁLEZ RODRÍGUEZ

4

JOSÉ FABIO NAVARRO NARANJO



Vista detalle



Módulo simplificado

TEC | Tecnológico
de Costa Rica

PROYECTO: SUMADOR EN CÓDIGO ASCII

DETALLE DEL MÓDULO SUME3

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

CURSO: MT4001 - ELECTRÓNICA DIGITAL

TAREA DE DISEÑO 1

INTEGRANTES:

ADRIÁN DITTEL RETANA

GABRIEL GONZÁLEZ RODRÍGUEZ

JOSÉ FABIO NAVARRO NARANJO

LÁMINA

4

4