

浙江大学 2015 - 2016 学年 春夏 学期

《 数字系统设计 》课程期末考试试卷

课程号: 111C0120 , 开课学院: 信息与电子工程学院

考试试卷: ☒ A 卷、B 卷 (请在选定项上打 \checkmark)

考试形式: ☒ 闭、开卷 (请在选定项上打 \checkmark), 允许带 计算器 入场

考试日期: 2016 年 7 月 1 日, 考试时间: 120 分钟

诚信考试, 沉着应考, 杜绝违纪。

考生姓名: _____ 学号: _____ 所属院系(专业): _____

题序	一	二	三	四	五	六	七	八	九	总分
得分										
评卷人										

一. 判断题 _____ (10 分) (正确打 \checkmark , 或错误打 \times)

- 1) “0” 的补码只有一种形式。 ()
- 2) 原码和反码均可将减法运算转化为加法运算。 ()
- 3) 主从 JK 触发器、边缘 JK 触发器和同步 JK 触发器的逻辑功能完全相同。 ()
- 4) 并行加法器采用超前进位, 目的是为了简化电路。 ()
- 5) 在同步时序电路的设计中, 如最简状态表中的状态数为 2^N , 而又采用 N 个触发器来实现电路, 则不需要检查电路的自启动性。 ()
- 6) 流水线操作算法结构一定比并行算法结构所需要的运算时间少。 ()
- 7) 摩尔型时序逻辑电路的输出与 输入和电路当前状态均有关。 ()
- 8) 所有的半导体存储器在运行时都具有读写功能。 ()
- 9) 在电路测试中 SA0 和 SA1 故障模型可以覆盖集成电路中的所有可能的故障。 ()
- 10) 冯诺依曼结构相比于哈佛体系结构具有更好的灵活性和稳定性, 而哈佛体系结构具有更好的硬件效率。 ()

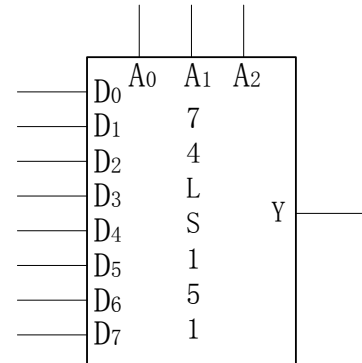
二. 填空题 _____ (10 分)

- 1、二进制数 1101011.011 转换为 8421BCD 码为 _____。

- 2、实现**模值**为 13 的计数器至少需要_____个触发器。
- 3、组合逻辑电路是指任何时刻电路的**输出**仅由当时的_____决定。
- 4、TTL 或非门中，**多余**输入端的处理办法是_____。
- 5、假设有一个三级**扭环形**计数器，其初始状态为 000，那么，经过 4 个时钟周期，其状态为_____。
- 6、一个二—十进制译码器规定为输出**低电平**有效，则当输入 8421BCD 码为 0110 时，其输出 $Y_9 Y_8 Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 Y_1 Y_0 =$ _____。
- 7、已知逻辑函数 $F(A, B, C, D) = \sum m(1, 3, 4, 5, 6, 8, 9, 12, 14)$ ，当变量 ABCD 由 0110→1100 时，_____（有/无）竞争-冒险现象；
- 8、一个容量为 256×4 位的静态 RAM，它的**地址线**为_____条。
- 9、时序电路的**可测性设计**方法划分为 3 类：专门测试、_____测试和自测试。
- 10、函数 $F = [(A \cdot \bar{B} + C)D + \bar{E}]B$ 的反函数 $\bar{F} =$ _____。

三. 组合电路_____ (14 分)

用两个 8 选 1 数据选择器 74LS151 及适当门电路设计一个数值比较器，比较两个二进制数 $A(a_1 a_0)$ 和 $B(b_1 b_0)$ ，能分别给出 $A-B \geq 2$ ， $B-A \geq 2$ 和 $|A-B| < 2$ 的输出信号，要求：1) 写出真值表；2) 输出函数表达式；3) 并画出逻辑图。

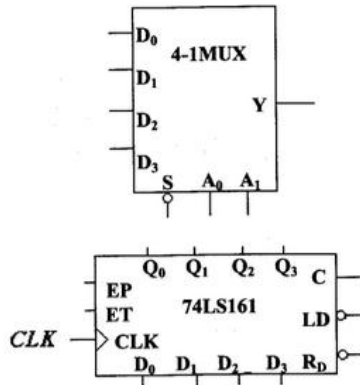


四. 时序逻辑电路_____ (16 分)

试用题 4 图提供的逻辑器件 1 个 74LS161 和 1 或 2 个 4-1MUX，设计一个具有控制端 M 的序列信号发生器，当 M 分别为 0 和 1 时，在时钟脉冲 CLK 的作用下，电路的输出 Y 能分别周期性地输出 01111101 和 10010101 的脉冲序列(序列信号左边先行)。允许使用适当的门电路。1) 写出设计过程；2) 画出电路图。

题 4 表 74LS161 功能表

CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置 0 (异步)
	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括 C)
X	1	1	X	0	保持 (C=0)
	1	1	1	1	计数



题 4 图

五、控制器设计_____ (16 分)

一个简单的 ADC 控制算法分为以下四步：(1) 启动 AD 设备；(2) 触发 AD 数据；(3) 获取 AD 的状态，若未结束则继续转换；(4) 停止 AD 设备。

请设计该控制器，要求采用微程序型。

- 1) 画出 ASM 流程图；
- 2) 请设计微指令格式，并加以说明；
- 3) 请写出对应这种微指令格式的控制器微程序代码。

姓名：_____学号：_____

六、测试 _____ (10 分)

题 6 图为全加器的示意图，对于图中的五个可能出现固定型 sa0-sa1 故障的故障点 a-e，需要找出测试向量对其进行测试。W1、W2、W3 为三输入测试向量。

- (1) 若电路中仅有 a 点存在 sa1 故障，写出在该全测试集下的 d、e 点的测试输出。
- (2) 写出能够测试 e 点 sa0 故障的全部测试向量。



题 6 图 全加器示意图

七、Verilog HDL _____ (12 分)

以下是 Verilog 描述的二个电路，请使用反相器、2 输入与门、或门、异或门或 D 触发器分别画出它们对应的最简逻辑电路图。

- (i)

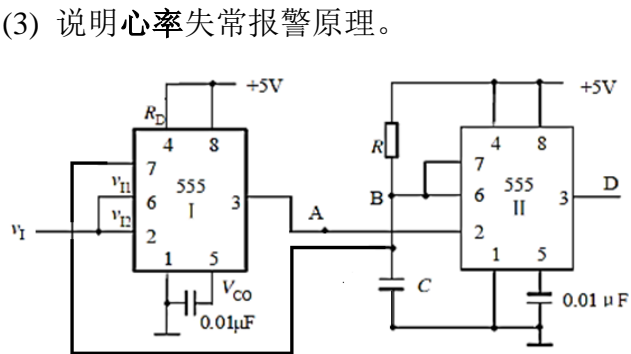
```
module F1(a, b, c, f);
    input a, b, c;
    output f;
    assign f = c ? (a & b) : (~a + ~b);
endmodule;
```
- (ii)

```
module F2(input R1, R2, E, Do_it, output reg Z1, Z2);
    always @(posedge Do_it) begin
        if (E) Z1 <= R1; Z2 <= R2;
    end
endmodule;
```

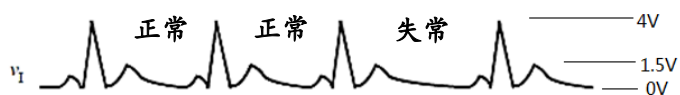
八、脉冲电路 (12 分)

心脏病人的心跳频率容易出现波动。题 8 图(a)所示的是由 555 定时器构成的心率失常报警电路,经放大后的心电信号 v_I 如题 8 图(b)所示,其中 v_I 的峰值 $v_m = 4V$, v_I 最小值 $= 0V$ 。

- (1) 分别说出 555 定时器 I 和 555 定时器 II 所构成的单元电路的名称;
- (2) 对应于 v_I 分别画出 A, B, D 三点波形;
- (3) 说明心率失常报警原理。

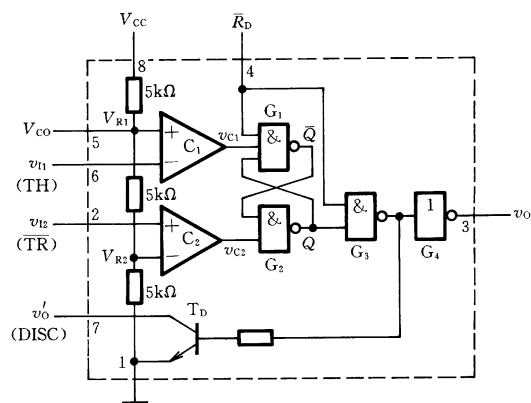


(a)



(b)

题 8 图



NE555 内部电路框图

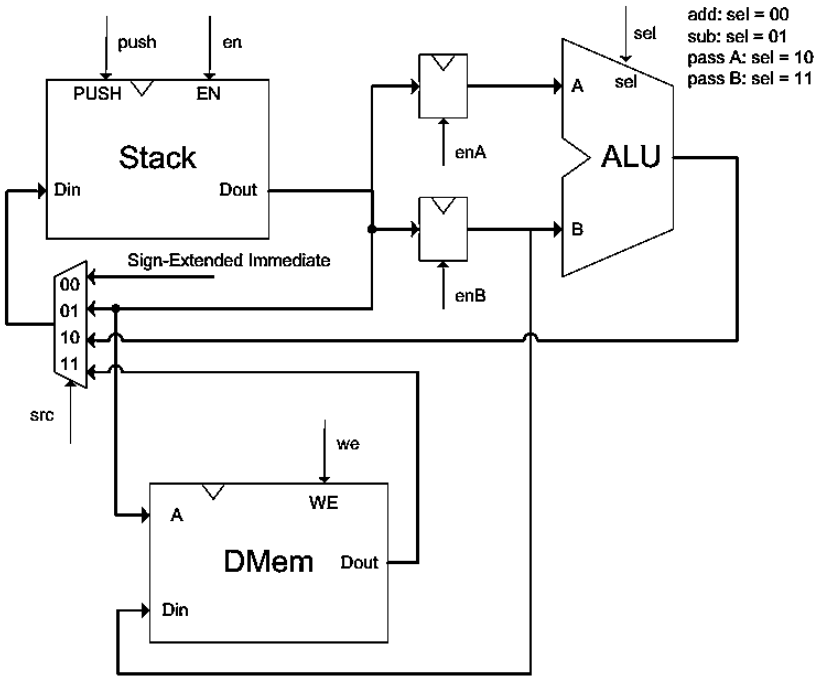
A _____

B _____

D _____

九、附加题_____（10分）（注：计入试卷总分，但总分最多不超过100分）

堆栈机是一种特殊类型的 CPU，其所有的指令都是从堆栈 (Stack，一组特殊的数据寄存器)中取出数据，并且将操作结果放入栈顶。而堆栈有一种“后进先出”规则：即最后进入堆栈的数据最先出来。该堆栈机的结构如题 9 图所示：



题 9 图 堆栈机的数据通路

其相应的指令集如下：

指令	指令描述
<i>add</i>	弹出两个数，然后对它们求和，再把结果压入堆栈中
<i>sub</i>	弹出两个数，然后将第一个弹出的数减去第二个，再把结果压入堆栈中
<i>dup</i>	复制栈顶的数据
<i>swap</i>	交换堆栈中前两个数据
<i>load</i>	堆栈弹出地址，根据此地址从存储器中读出数据，将数据压入堆栈中
<i>store</i>	将栈顶的数据存到数据存储器中，其地址是第二个数据
<i>const</i>	将来自指令的立即数压入堆栈中

数据存储器 DMem 具有异步读和同步写，堆栈(stack)有一个输入端和一个输出端，以及两个控制信号(即使能信号 EN，和压栈信号 PUSH)。在时钟的上升沿时刻，如果 PUSH=1 且 EN=1，则数据从数据输入端 Din 被压入堆栈中；如果 PUSH=0 且 EN=1，则栈顶数据从数据输出端被弹出；如果 EN=0，则堆栈不变。

- 据此回答下列问题：
- (1) 什么是指令周期和机器周期？
 - (2) 题 9 图中给出了控制每一个模块的控制信号，通过分析请写出题 9 表中所列指令涉及的控制信号的值。其中每一个控制操作可在一个时钟周期完成，完成一条指令需要多个时钟周期，表中可用“X”表示取任意值，即“无关项”。
 - (3) 请说明该堆栈机各控制信号在 *swap* 指令执行中的合理顺序。

题 9 表 部分指令的控制信号

	Push	en	enA	enB	sel	we	src
<i>add</i>							
<i>store</i>							
<i>dup</i>							
<i>const</i>							