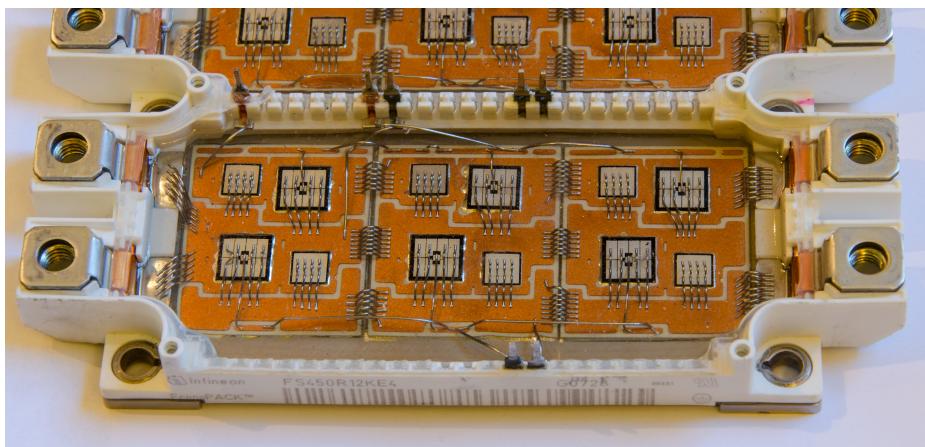


Appunti del corso di **Power devices and circuits**



Università degli Studi di Napoli Federico II
Facoltà di ingegneria elettronica
a.a. 2022/2023

Premessa

Questi appunti sono frutto della sbobinatura e rielaborazione delle lezioni del corso di **Power devices and circuits** tenuto dal Prof. Francesco Giuseppe della Corte, durante l'anno accademico 2022/2023 e dall'integrazione di libri di testo ed internet. Gli appunti non vogliono in alcun modo sostituire la presenza attiva alle lezioni ma vogliono essere un semplice supporto didattico. Inoltre, questi appunti non sono da intendersi come materiale didattico ufficiale del corso, in quanto non sono soggetti a revisione nè da parte del docente nè da personale esperto.

Una precisazione che tengo a fare è che questo fascicolo **NON** è stato concepito con l'intento di essere venduto, bensì di essere condiviso **GRATUITAMENTE** tra gli studenti. Sono fermamente convinto che la libera condivisione di appunti sia da supportare ed incentivare. Per tale motivo ho deciso di distribuire gratuitamente questi appunti, mettendo da parte l'impulso capitalista al fronte di un obiettivo morale più alto e cioè quello di aiutare il prossimo. Al momento della pubblicazione del fascicolo manca la parte di circuiti di potenza, che conto di integrare nei prossimi mesi (tempo permettendo).

Per la segnalazione di eventuali errori e/o suggerimenti su come migliorare questo documento, potete contattarmi alla seguente mail

gabriele.felaco@gmail.com

Inoltre, vi segnalo come utili letture i seguenti libri di testo, da cui ho attinto diverse utili informazioni e grafici che hanno supportato la stesura di questi appunti.

- i) B. Jayant Baliga. *Fundamentals of Power Semiconductor Devices*. en. Cham: Springer International Publishing, 2019. ISBN: 978-3-319-93987-2. DOI: 10.1007/978-3-319-93988-9. URL: <http://link.springer.com/10.1007/978-3-319-93988-9>
- ii) Robert W. Erickson e Dragan Maksimović. *Fundamentals of Power Electronics*. en. Cham: Springer International Publishing, 2020. ISBN: 978-3-030-43879-1. DOI: 10.1007/978-3-030-43881-4. URL: <http://link.springer.com/10.1007/978-3-030-43881-4>

Mi auguro che questo materiale vi possa tornare utile come supporto didattico. Buono studio e in bocca al lupo per le sfide attuali e future!

Gabriele Felaco
26 dicembre 2023

Indice

I	Introduzione	5
1	Cos'è l'elettronica di potenza	6
1.1	Efficienza nel trasferimento di potenza	6
1.1.1	Un primo (inefficiente) metodo di trasferire potenza	6
1.1.2	Trasferimento mediante circuito switching	7
1.2	Interruttori ideali e interruttori reali	8
1.2.1	Simulazioni <i>LTS spice</i>	14
2	Richiami di fisica dello stato solido	18
2.1	Struttura a bande, densità degli stati e formule fondamentali . . .	19
2.2	Fenomeni di trasporto	25
2.3	Equazione di continuità	27
2.3.1	Generazione e ricombinazione dei portatori	29
2.3.2	Iniezione di portatori	31
II	Richiami sui dispositivi a semiconduttore	36
3	Giunzione P-N	37
3.1	Richiami sul comportamento in polarizzazione	38
3.1.1	Polarizzazione diretta	38
3.1.2	Polarizzazione inversa	39
3.2	Equazione di Poisson	40
3.2.1	Calcolo del potenziale e del campo elettrico	41
3.2.2	Esempio: giunzione brusca ed asimmetrica	43
3.2.3	Esempio: valutazione qualitativa del campo elettrico	44
3.3	Calcolo della corrente in una giunzione P-N	45
3.3.1	Polarizzazione diretta	45
3.3.2	Caso di giunzione corta	47
3.3.3	Corrente di ricombinazione	49
3.3.4	Alti livelli di iniezione	51
3.3.5	Corrente in regime resistivo (ohmico)	54
3.3.6	Esempio: determinazione coefficiente di idealità η	56
3.4	<i>Charge control model</i> di un diodo	56
3.4.1	Capacità di diffusione	56
3.4.2	Capacità di giunzione	59
3.5	Giunzione P-N inversamente polarizzata	60
3.6	Comportamento in transitorio	62

INDICE	3
---------------	----------

3.6.1	Transizione off-on	62
3.6.2	Transizione on-off	65
3.6.3	Regolazione del tempo di spegnimento tramite il controllo del lifetime τ	68
4	Transistor bipolare a giunzione - BJT	71
4.1	Princípio di funzionamento	72
4.1.1	Corrente di diffusione	74
4.1.2	Calcolo della corrente di collettore	76
4.1.3	Calcolo della corrente di base	76
4.1.4	Calcolo del guadagno di corrente β_F	77
4.1.5	Calcolo della corrente di ricombinazione di base	77
4.2	Regioni di funzionamento	78
4.3	Non idealità e parametri parassiti	80
4.3.1	Effetto <i>Early</i>	80
4.3.2	Resistenza di collettore - r_C	81
4.3.3	Resistenza di base - r_B	82
4.3.4	Resistenza di emettitore - r_E	82
5	Metal Oxide Field Effect Transistor	84
5.1	Regioni di funzionamento	84
5.1.1	Regione lineare	85
5.1.2	Regione quadratica o di triodo	86
5.1.3	Regione di <i>pinch-off</i>	88
III	Dispositivi di potenza	90
6	Diodo PIN	91
6.1	Struttura e caratteristiche	91
6.1.1	Polarizzazione inversa	92
6.1.2	Polarizzazione diretta	99
6.2	Esempio: <i>Power Field Controlled Diode</i>	100
7	Diodo Schottky	104
7.1	Caratteristiche e comportamento	104
7.2	Confronto con una giunzione PN	107
7.3	Struttura interna	108
8	BJT di potenza	111
8.1	Struttura e caratteristiche	111
8.2	Analisi in transitorio	112
8.2.1	Transitorio off-on	113
8.2.2	Transitorio on-off	114
8.3	<i>Breakdown</i>	117
8.3.1	<i>Open-Emitter Breakdown Voltage</i>	118
8.3.2	<i>Open-Base Breakdown Voltage</i>	118
8.4	Configurazione <i>Darlington</i>	119
8.5	Dissipazione di potenza	120
8.5.1	Metallizzazioni	121

8.5.2	Esempio: <i>Thermal Runaway</i>	123
8.5.3	Gestione della temperatura	124
8.6	<i>Second breakdown</i> nel BJT	125
8.6.1	<i>FBSBD - Forward Biased Second Breakdown</i>	126
8.6.2	<i>RBSBD - Reverse Biased Second Breakdown</i>	128
8.7	<i>SOA - Safe Operating Area</i>	129
9	MOSFET di potenza	132
9.1	Tecnologia di fabbricazione	132
9.1.1	<i>Lateral MOSFET</i>	132
9.1.2	<i>Double diffusion MOSFET - DMOS</i>	133
9.1.3	<i>V-groove (trench) MOSFET</i>	133
9.2	<i>Double diffusion MOSFET</i>	134
9.2.1	Comportamento in interdizione	134
9.2.2	BJT parassita	137
9.2.3	R_{on} - resistenza di conduzione	138
9.2.4	Accensione non intenzionale a causa di un dV/dt sul terminale di drain	139
9.2.5	<i>SOA</i> di un MOSFET di potenza	141
9.2.6	Parametri parassiti che influenzano il comportamento in transitorio	143
9.2.7	<i>Switch on</i>	144
9.2.8	<i>Switch off</i>	147
9.2.9	<i>Switching power losses</i>	148
9.2.10	<i>Snubber</i>	150
9.2.11	<i>Body diode</i> in un DMOS	153
9.3	<i>Superjunction MOSFET</i>	154
9.4	MOSFET in SiC - <i>Silicon Carbide</i>	154
9.5	<i>MOSFET bootstrapping</i>	156
9.6	Effetto della temperatura sulle caratteristiche di un MOSFET	159
9.7	Confronto tra MOSFET e BJT di potenza	159
10	IGBT - <i>Insulated Gate Bipolar Transistor</i>	161
10.1	Struttura e caratteristiche operative	162
10.1.1	Regioni di funzionamento	163
10.1.2	NPN parassita - problema del <i>latch-up</i>	165
10.1.3	Capacità di blocco dell'IGBT	166
11	HEMT - <i>High Electron Mobility transistor</i>	169
11.1	MESFET - <i>Metal Semiconductor Field Effect Transistor</i>	169
11.2	HEMT	170
11.2.1	Creazione del 2DEG	170
11.2.2	HEMT basati su AlGaN/GaN	173
A	<i>Superjunction MOSFET</i>	175

Parte I

Introduzione

Capitolo 1

Cos'è l'elettronica di potenza

1.1 Efficienza nel trasferimento di potenza

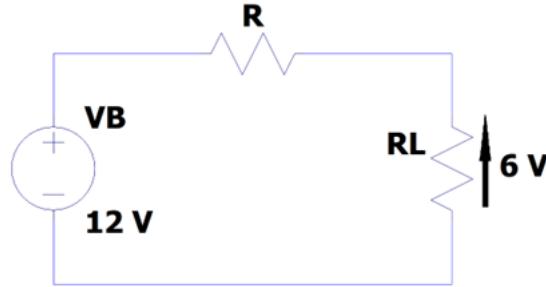
L'elettronica di potenza ha come obiettivo principale il trasferimento di potenza, da un punto A ad un punto B, con le minori perdite possibile. Dunque, appare chiaro che l'efficienza η , in un circuito di potenza, è di fondamentale importanza. Per massimizzare l'efficienza, l'elettronica di potenza impiega tecniche di conversione e controllo della potenza elettrica.

I circuiti e i dispositivi di potenza presentano le seguenti caratteristiche peculiari:

- i) Non "elaborano" dati e/o informazioni ma potenze elettriche;
- ii) Non gestiscono necessariamente potenze "elevate" (*e.g.*, kW o MW) ma anche potenze "basse" (*e.g.*, μ W o mW) come ad esempio, circuiti per l'energy harvesting o RFID;
- iii) L'efficienza η è di fondamentale importanza.

1.1.1 Un primo (inefficiente) metodo di trasferire potenza

Si vuole fornire un modo per trasferire potenza ad un carico resistivo R_L il quale lavora a tensione 6V, avendo a disposizione un generatore di tensione $V_B = 12V$.

Figura 1.1: Trasferimento di potenza su carico resistivo R_L

La corrente circolante nel circuito è unica (circuito serie) ed è data da

$$I_L = \frac{V_B}{R + R_L}$$

Conoscendo la corrente circolante nel carico è possibile valutare la potenza dissipata tramite la seguente equazione

$$P_L = R_L \cdot I_L^2 = \left(\frac{V_B}{R + R_L} \right)^2 \cdot R_L$$

la potenza erogata dal generatore V_B si valuta facilmente

$$P_B = V_B \cdot I_L = \frac{V_B^2}{R + R_L}$$

Conoscendo le espressioni di P_L e P_B è possibile valutare l'efficienza di trasferimento come

$$\eta = \frac{P_L}{P_B} = \frac{R_L}{R + R_L}$$

Per ottenere 6V sul carico, l'efficienza deve essere necessariamente del 50%; tale condizione è verificata se risulta $R_L = R$. Avere un'efficienza pari a $\eta = 0.5$ vuol dire che metà della potenza erogata dal generatore viene persa (per effetto Joule) nel trasferimento.

1.1.2 Trasferimento mediante circuito switching

Un'idea alternativa al circuito appena proposto è quella di utilizzare uno schema in cui al posto della resistenza R si sostituisce un interruttore controllabile. L'utilizzo di un interruttore è alla base dei circuiti di potenza *switching*.

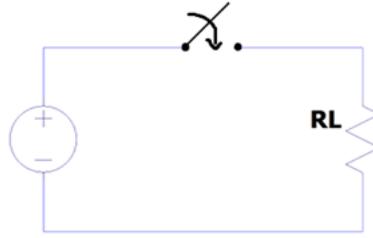


Figura 1.2: Trasferimento di potenza tramite circuito switching su carico resistivo R_L

In questo caso, regolando opportunamente gli intervalli di tempo in cui l'interruttore è aperto T_{on} o è chiuso T_{off} si può modificare la forma d'onda sul carico fino ad ottenere il valore desiderato. Detto $T_s = T_{on} + T_{off}$ il periodo di switching è possibile valutare il valore medio della tensione sul carico mediante il Teorema della media integrale

$$\begin{aligned} \langle v_{R_L}(t) \rangle &= \frac{1}{T_s} \int_0^{T_s} v_{R_L}(t) dt = \frac{1}{T_s} \int_0^{T_{on}} v_{R_L}(t) dt + \frac{1}{T_s} \int_{T_{on}}^{T_s} v_{R_L}(t) dt = \\ &= \frac{T_{on}}{T_s} V_B = D \cdot V_B \end{aligned} \quad (1.1)$$

dove si è sfruttato il fatto che la funzione integranda è nulla nell'intervallo di tempo $T_{on} \leq t \leq T_s$ (integrare tra T_{on} e T_s è equivalente ad integrare su T_{off}). La quantità adimensionale

$$D = \frac{T_{on}}{T_s} = \frac{T_{on}}{T_{on} + T_{off}}$$

prende il nome di *duty cycle* ed indica la percentuale di tempo in cui l'interruttore è chiuso rispetto al periodo di switching; è un numero evidentemente compreso tra 0 ed 1.

Si noti che per $D = 0$, l'interruttore è sempre aperto ($V_L = 0$) mentre per $D = 1$, l'interruttore è sempre chiuso ($V_L = V_B$). In definitiva, per avere 6V sul carico (in valor medio) bisogna avere un duty cycle del 50%, controllando opportunamente gli intervalli di apertura e chiusura dell'interruttore.

1.2 Interruttori ideali e interruttori reali

Quando un interruttore ideale è aperto, nessuna corrente è in grado di scorrere attraverso i suoi terminali indipendentemente dalla tensione ad essi applicati: questo è vero anche se la tensione ai suoi capi V_s dovesse cambiare polarità, come visibile in Fig.1.3.

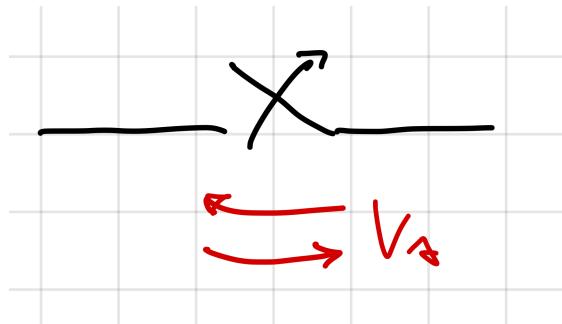


Figura 1.3: Interruttore ideale aperto

Di contro, se l'interruttore ideale è chiuso non ci sarà alcuna caduta di tensione ai capi dei suoi terminali indipendentemente dalla corrente che vi sta scorrendo tra essi; quanto detto si verifica anche se la corrente fluisce nel verso opposto, come visibile in Fig.1.4

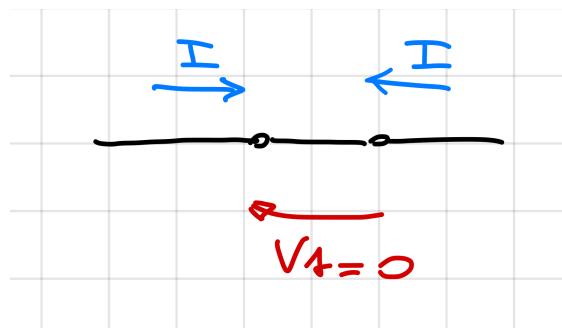
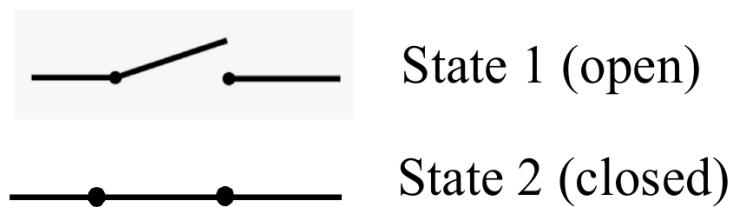


Figura 1.4: Interruttore ideale chiuso

Sfortunatamente questi appena illustrati sono modelli ideali. In applicazioni reali, gli interruttori sono realizzati tramite dispositivi a stato solido (e.g. MOSFET, IGBT, BJT ecc...) i quali esibiscono tutta una serie di non idealità. L'interruttore appena visto viene denominato *Single Pole Single Throw - SPST* e può assumere due possibili stati, come riportato in Fig.1.5

Figura 1.5: Interruttore *Single Pole Single Throw*

Nella pratica, spesso sono richieste funzioni più complesse come quelle realizzate da un interruttore *Single Pole Double Throw - SPDT* come visibile in Fig.1.6

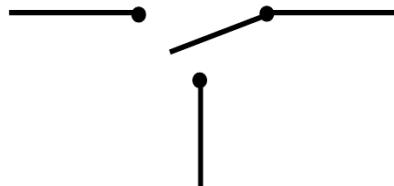


Figura 1.6: Interruttore *Single Pole Double Throw*

Questo tipo di interruttore può essere realizzato tramite l'utilizzo di due interruttori SPST collegati come in Fig.1.7. In questo caso l'interruttore A deve operare in sincronia con l'interruttore B, il quale deve essere pilotato in logica negata rispetto ad A. In sostanza, non deve mai verificarsi la condizione per la quale sia A che B sono in conduzione.

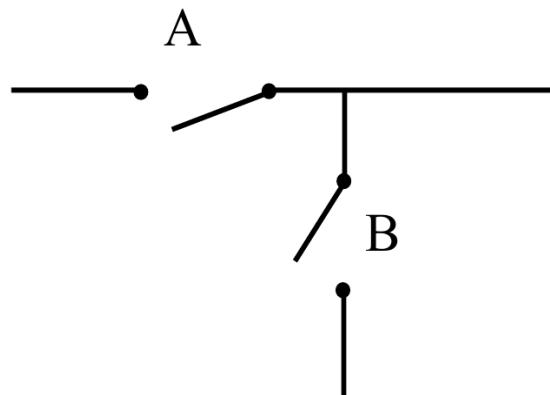
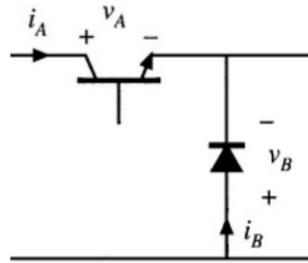


Figura 1.7: Interruttore *SPDT* realizzato tramite due *SPST*

Nella pratica per realizzare un interruttore SPDT sono necessari due dispositivi attivi, come suggerito dal circuito di Fig.1.8. Si noti che questo è un blocco circuitale presente nei convertitori DC-DC step down che saranno approfonditi nel prosieguo.

Figura 1.8: Interruttore *SPDT* realizzato con dispositivi reali

Nelle applicazioni reali le direzioni della corrente che scorre nell'interruttore e della tensione applicata ai suoi capi sono importanti.

Per esempio si vuole disporre di un interruttore in grado di bloccare una tensione positiva V_A quando è aperto, consentendo la circolazione di una corrente positiva I_A quando è chiuso. Un interruttore di questo tipo viene detto *interruttore a singolo quadrante* ed è riportato nella Fig.1.9

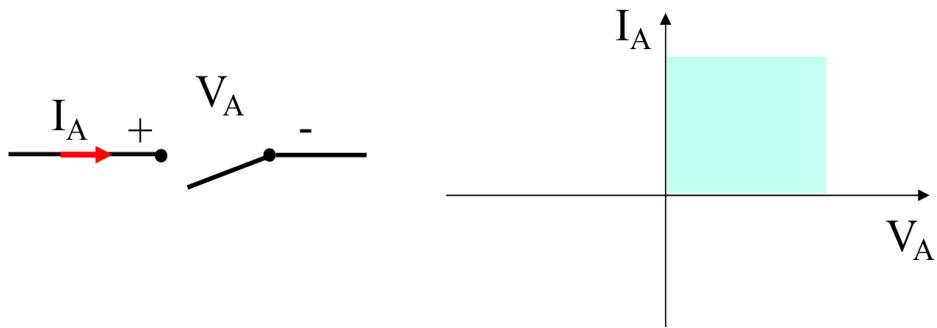


Figura 1.9: Interruttore a singolo quadrante

Un interruttore a singolo quadrante può essere realizzato tramite un diodo. In particolare, il diodo è spento ($i = 0$) quando $v < 0$ mentre è acceso ($v = 0$) quando $i > 0$. Questo dispositivo è in grado di bloccare tensioni negative ma non positive come visibile dalla caratteristica riportata in Fig.1.10

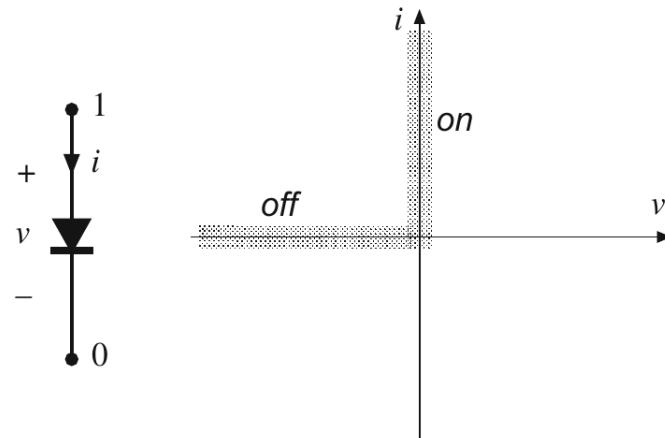


Figura 1.10: SPST realizzato tramite un diodo

Un altro modo di realizzare un interruttore a singolo quadrante è tramite un BJT. La corrente di collettore è nulla quando $V_{BE} = 0V$ (off state) ed il BJT è in grado di sostenere una tensione di blocco positiva tra collettore ed emettitore. Nel caso in cui $V_{BE} > 0.7V$ allora si ha una corrente di collettore non nulla (on state) con una $V_{CE} \approx 0V$.

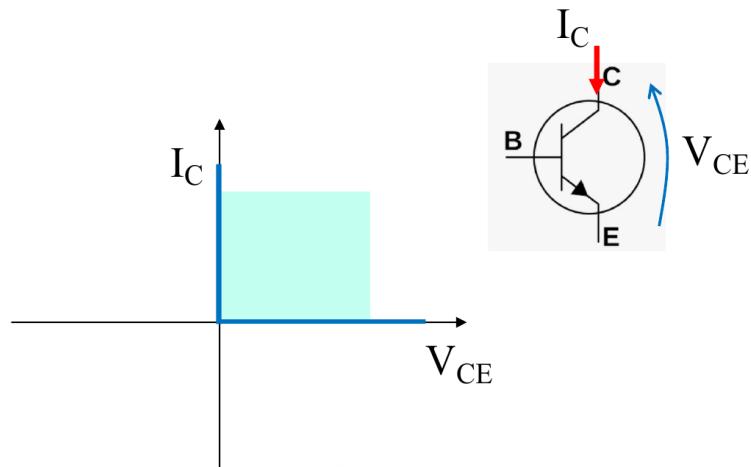


Figura 1.11: Interruttore singolo quadrante realizzato tramite un BJT

In altri casi può essere richiesto che l'interruttore consenta il passaggio della corrente sia nel verso positivo che negativo quando è chiuso (interruttore su due quadranti); è possibile anche il caso complementare, ovvero essere in grado di bloccare tensioni sia positive che negative quando è aperto (off state). Di seguito si riportano le caratteristiche ideali degli interruttori appena descritti.

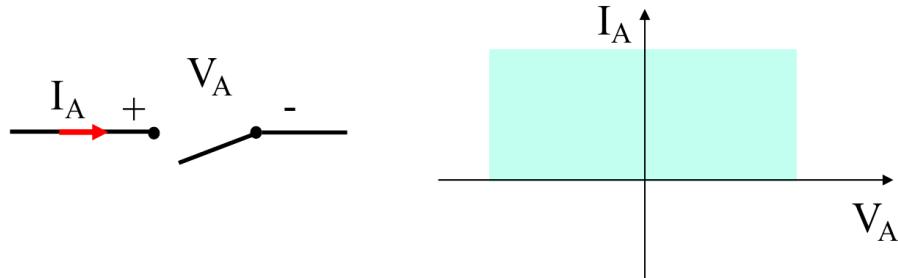


Figura 1.12: Interruttore doppio quadrante in grado di bloccare tensioni sia positive che negative

E' possibile realizzare un interruttore doppio quadrante usando un MOSFET come visibile in Fig.1.13. Quando $V_{GS} < V_{th}$ il MOS è spento e può sostenere una qualsiasi tensione positiva tra i terminali di drain e source (in tali condizioni risulta evidentemente $I_{DS} = 0A$). Quando $V_{GS} > V_{th}$ il MOS è acceso ($V_{DS} \approx 0V$) e può condurre corrente in entrambe le direzioni (*i.e.* I_{DS} può essere sia positiva che negativa).

Osserviamo che questo dispositivo non è in grado di bloccare V_{DS} negative. Supponiamo che $V_{DS} < 0 \Leftrightarrow V_D < V_S$ ed inoltre $V_{GS} = 0V$ (in generale basta che V_{GS} sia minore della tensione di soglia). In questo scenario ci si aspetta che il MOS sia spento, tuttavia se per qualche motivo dovesse risultare $V_{GD} > V_{th}$ il MOS andrebbe in conduzione; ciò accade perché i terminali di drain e source sono tecnologicamente equivalenti.

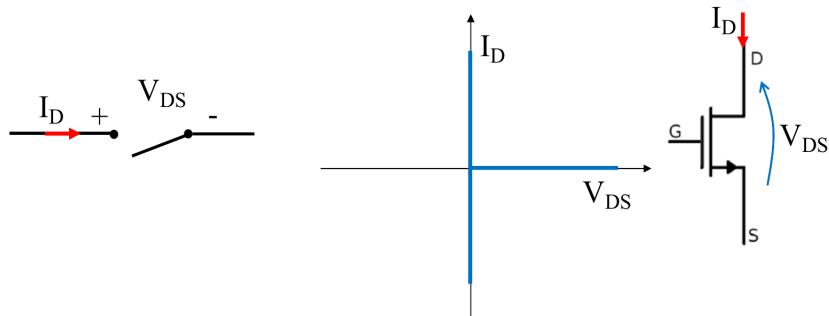


Figura 1.13: Interruttore doppio quadrante realizzato con un MOSFET

Per evitare che questo si verifichi è possibile aggiungere un diodo in serie al terminale di drain in modo da bloccare le correnti negative quando $V_{DS} < 0V$, come mostrato in Fig.1.14

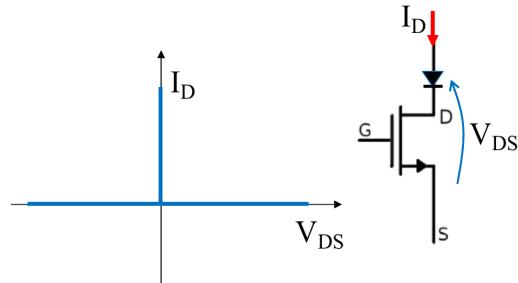


Figura 1.14: Interruttore doppio quadrante realizzato con un MOSFET e un diodo

Nel caso si sia interessati a realizzare un interruttore che lavori su tutti e quattro i quadranti, cioè un interruttore in grado di bloccare tensioni sia positive che negative e consentire il flusso di corrente in entrambi i versi, sono disponibili diverse topologie circuitali rappresentate in Fig.1.15.

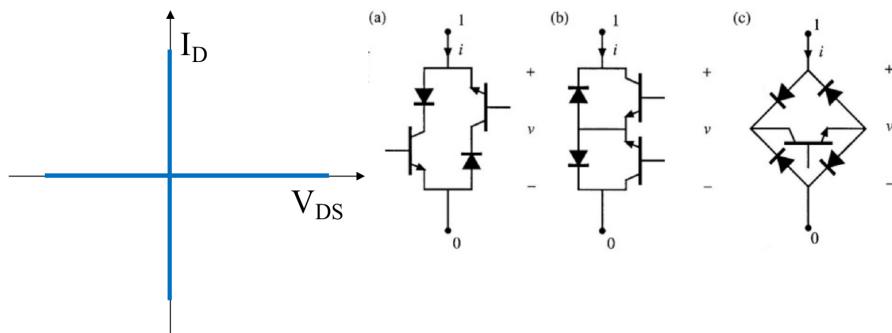


Figura 1.15: Interruttore quattro quadranti realizzato con diverse topologie circuitali

1.2.1 Simulazioni *LTS spice*

Il MOSFET oggetto della simulazione è un IRF7403 (N-channel type). Siamo interessati a studiare la corrente di drain nei seguenti due casi:

- i) $V_{GS} = 0V$;
- ii) $V_{GS} = 5V$.

In Fig.1.16 viene riportato uno screenshot della schermata di *LTS spice*. La curva rossa rappresenta la corrente di drain valutata quando $V_{GS} = 0V$ dove si può notare che la corrente di drain è nulla indipendentemente dal valore di V_{DS} applicato, mentre quella blu è relativa alla corrente di drain valutata per $V_{GS} = 5V$, che in questo caso può scorrere in entrambi i versi. Entrambe le curve sono state valutate per $-0.2V \leq V_{DS} \leq 0.2V$

Per tensioni negative V_{DS} più grandi rispetto al caso considerato in Fig.1.16 si trova che il MOS inizia a condurre tramite il diodo intrinseco tra drain e

source. Questo è il motivo per cui la corrente cresce rapidamente in condizioni di polarizzazione inversa, così come mostrato in Fig.1.17

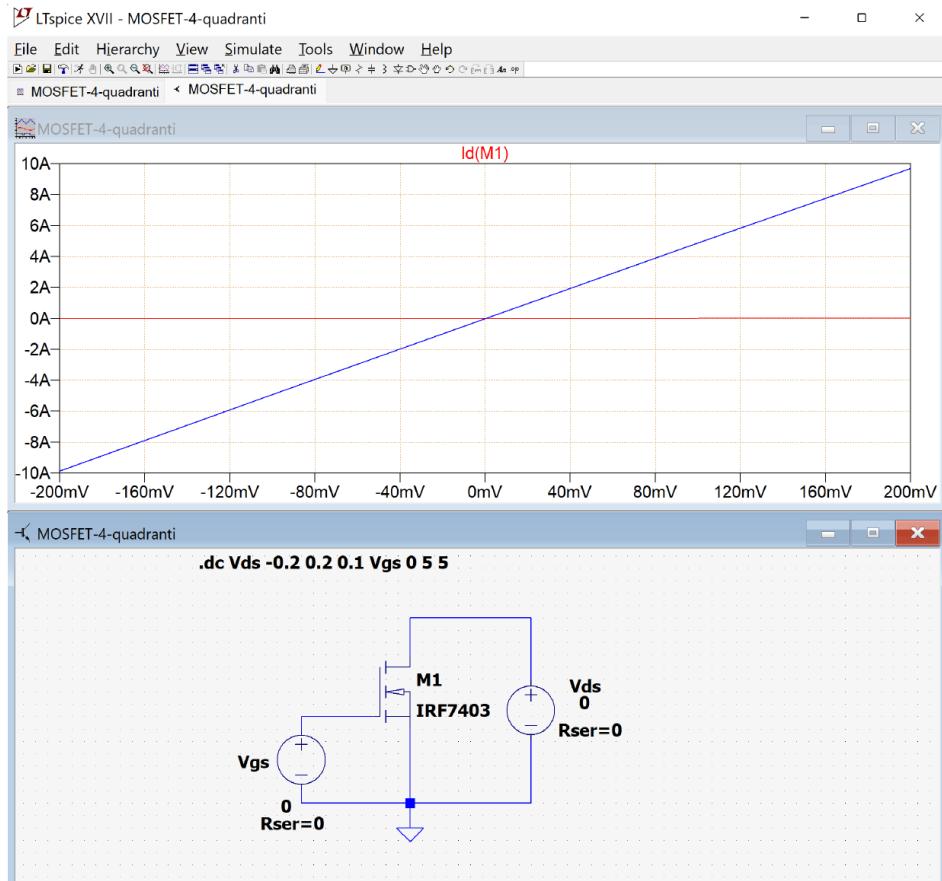


Figura 1.16: Simulazione *LTSpice* di un MOS IRF7403

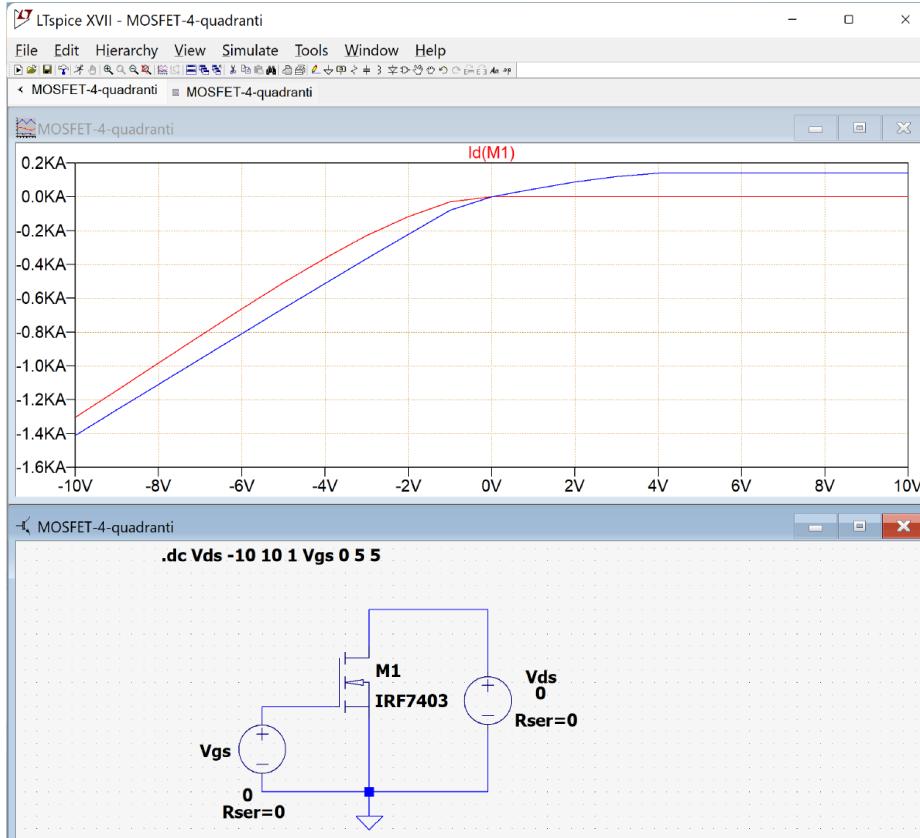


Figura 1.17: Simulazione *LTSpice* di un MOS IRF7403 con V_{DS} maggiori

L'abilità dei MOS di poter condurre corrente in entrambe le direzioni ci consente di poterli utilizzare come *synchronous rectifiers*. E' possibile realizzare un ponte raddrizzatore utilizzando MOS al posto dei classici diodi; nel ponte realizzato con i diodi le cadute di tensione sono sicuramente maggiori (circa due volte la tensione di soglia del singolo diodo) rispetto alla controparte realizzata tramite MOS.

I segnali di driving dei MOS sono delle onde quadre (M_1, M_2, M_3, M_4) realizzati in modo tale da far condurre i rami del ponte in diagonale; cioè le coppie di segnali (M_1, M_4) sono uguali e risultano inoltre, negati rispetto ai segnali di controllo (M_2, M_3). In questo modo si evita che due MOS appartenenti allo stesso ramo conducano simultaneamente. Si osservi che in entrambi i rami in conduzione (M_1, M_4 e M_2, M_3) i MOS lavorano con $V_{DS} < 0V$.

In Fig.1.18 oltre ad essere riportato lo schema circuitale, vengono riportate anche le forme d'onda della corrente sinusoidale da raddrizzare $I(V_{sin})$ e la corrente nel carico (resistivo) raddrizzata $I(R_{load})$.

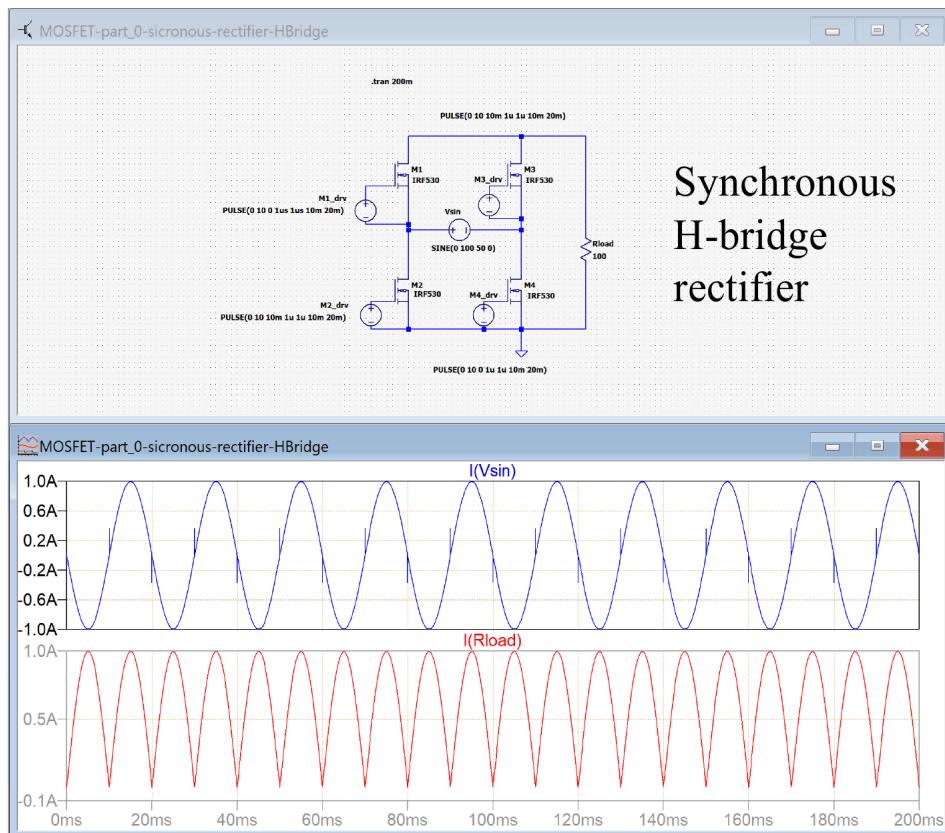


Figura 1.18: Synchronous rectifier realizzato mediante MOSFET

Capitolo 2

Richiami di fisica dello stato solido

Richiamiamo alcune proprietà dei materiali semiconduttori più usati nell'elettronica di potenza, vedendo non solo il silicio ma anche due materiali composti che vengono impiegati per realizzare dispositivi di potenza: SiC - Carburo di Silicio e GaN - Nitruro di Gallio.

Il **Silicio** è un elemento del IV gruppo e quindi presenta 4 elettroni di valenza nel guscio energetico più esterno. Gli atomi di silicio si trovano sui vertici di un tetraedro regolare (visibile in Fig.2.1); i quattro atomi formano dei legami covalenti con gli altri atomi di silicio che lo circondano mettendo a disposizione un elettrone.

Alla temperatura di $T = 0\text{K}$ tutti gli elettroni sono vincolati a rimanere nei legami covalenti; aumentando la temperatura, per esempio a $T \neq 0\text{K}$, vi è la probabilità che le vibrazioni reticolari siano in grado di liberare alcuni elettroni coinvolti nei legami covalenti. In tal caso, l'elettrone che si libera dal legame covalente viene detto libero e lascia dietro di sé un legame covalente non saturato (cioè quella che chiamiamo lacuna). La concentrazione di tali portatori dipende fortemente dalla temperatura reticolare. L'influenza della temperatura è governata da due meccanismi che agiscono in parallelo:

- i) Il bandgap E_g diminuisce con l'aumentare della temperatura;
- ii) L'energia termica vibrazionale aumenta con la temperatura.

Si vuole sottolineare che la dipendenza dalla temperatura di alcuni importanti parametri di funzionamento dei dispositivi a semiconduttore va compresa a fondo; non è un caso che una delle principali cause di *failure* dei dispositivi elettronici, se non la principale, sia proprio l'incremento incontrollato della temperatura.

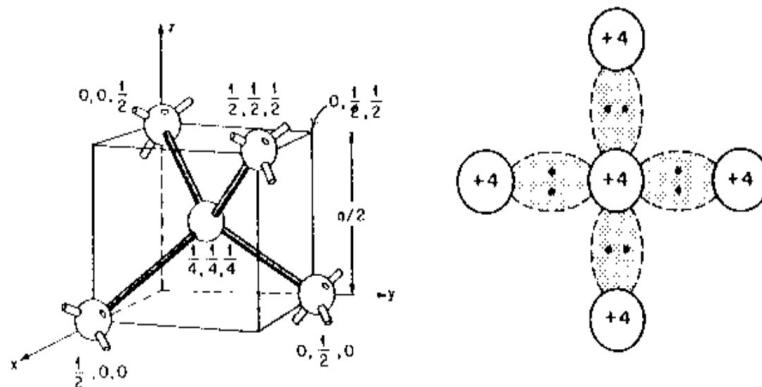


Figura 2.1: Cella elementare del silicio (a destra), rappresentazione 2-D della struttura del silicio (a sinistra)

2.1 Struttura a bande, densità degli stati e formule fondamentali

Rivediamo brevemente alcuni concetti riguardanti la struttura a bande di un generico materiale semiconduttore. Un elettrone legato ad un legame covalente sarà collocato ad un'energia appartenente alla banda di valenza mentre se questo si libera (riesce a superare il gap E_g) allora si collocherà ad uno stato ad energia appartenente alla banda di conduzione.

Si è interessati a valutare la concentrazione di elettroni liberi in funzione dell'energia E . Per fare ciò c'è la necessità di conoscere la densità di stati quantici allocabili $N(E)$ e la probabilità di occupazione di tali stati. La funzione di *Fermi-Dirac* fornisce la probabilità che un certo stato ad energia E sia occupato ed ha la seguente espressione

$$F(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (2.1)$$

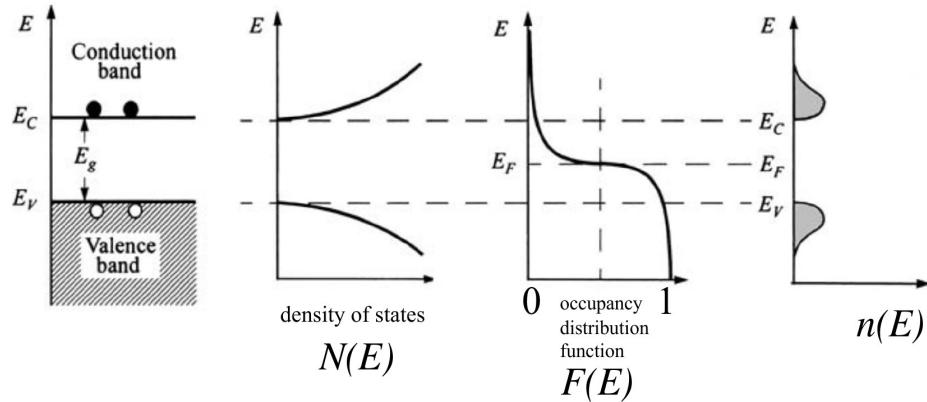


Figura 2.2: Da sinistra verso destra: i) struttura a bande semplificata; ii) densità degli stati $N(E)$; iii) probabilità di occupazione di uno stato ad energia E ; iv) concentrazione di elettroni in funzione dell'energia E

Conoscendo queste funzioni è possibile calcolare la concentrazione di elettroni tramite il seguente integrale:

$$n = \int_{E_C}^{+\infty} N(E)F(E)dE \quad (2.2)$$

Si riportano le equazioni che consentono di calcolare le concentrazioni di elettroni liberi e lacune (senza risolvere i relativi integrali)

$$n = N_C \exp\left(-\frac{E_C - E_F}{kT}\right) \quad (2.3a)$$

$$p = N_V \exp\left(-\frac{E_F - E_V}{kT}\right) \quad (2.3b)$$

dove N_C e N_V prendono il nome rispettivamente di densità effettiva di stati in banda di conduzione e densità effettiva di stati in banda di valenza e presentano le seguenti espressioni

$$N_C = 2 \left(\frac{2\pi m_n k T}{h^2} \right)^{3/2} \quad (2.4)$$

$$N_V = 2 \left(\frac{2\pi m_p k T}{h^2} \right)^{3/2} \quad (2.5)$$

Le equazioni 2.3a - 2.3b consentono di calcolare le concentrazioni di elettroni liberi e lacune, fissata una certa temperatura reticolare T . Inoltre, tali equazioni ci dicono che le concentrazioni dipendono, con legge esponenziale, dalla differenza tra i livelli energetici E_C e E_F (per gli elettroni) e E_F e E_V (per le lacune). Il livello di Fermi E_F è quel livello energetico tale per cui la probabilità di occupazione di uno stato è $1/2$, cioè

$$F(E_F) = 1/2$$

Fin ora si è fatto riferimento a semiconduttori intrinseci, cioè non drogati o puri. Con un semiconduttore intrinseco si possono fabbricare dispositivi sensibili alla temperatura o alla luce, dato che la concentrazione intrinseca n_i ne viene fortemente influenzata. Se però si è interessati a realizzare dispositivi in grado di condurre e modulare correnti elettriche bisogna necessariamente utilizzare semiconduttori drogati o estrinseci.

E' possibile arricchire il materiale di elettroni liberi o lacune andando ad inserire degli atomi di impurezza all'interno della struttura (come visibile in Fig.2.3). Con riferimento al silicio, inserendo atomi di *As* (arsenico), si realizza un silicio di tipo N (cioè arricchito di elettroni liberi) mentre inserendo del *B* (boro) si realizza un silicio di tipo P (cioè arricchito di lacune). In questo modo si è in grado di poter influenzare, in modo controllato, le concentrazioni di elettroni e lacune tramite un processo detto droggaggio.

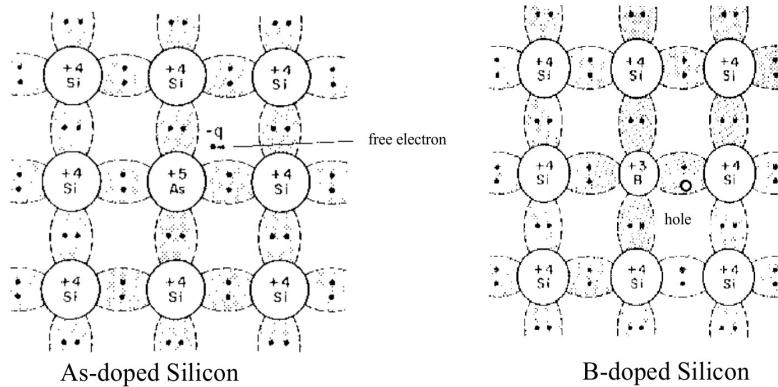


Figura 2.3: A sinistra silicio drogato di tipo N; a destra silicio drogato di tipo P

Un'importante relazione è la legge dell'azione di massa la quale dice che in un materiale semiconduttore (intrinseco o estrinseco) all'equilibrio termodinamico il prodotto tra la concentrazione di elettroni liberi e lacune è costante. In formule risulta

$$np = N_C N_V \exp\left(-\frac{E_C - E_V}{kT}\right) = N_C N_V \exp\left(-\frac{E_g}{kT}\right) \quad (2.6)$$

Se consideriamo un semiconduttore intrinseco allora risulta

$$np = n_i^2 \Rightarrow ni = \sqrt{np} = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2kT}\right)$$

che per il silicio diventa

$$n_i = 4.9 \cdot 10^{15} \left(\frac{m_n m_p}{m_o}\right)^{3/4} T^{3/2} \exp\left(-\frac{E_g}{2kT}\right) \quad (2.7)$$

Il termine $T^{3/2}$ mostra una dipendenza debole dalla temperatura, mentre il termine $\exp(-E_g/2kT)$ mostra una forte dipendenza dalla temperatura. Come abbiamo visto, E_g diminuisce con la temperatura (visibile in Fig.2.4) mentre il termine $2kT$ aumenta con la temperatura. Per tale motivo il termine esponenziale pesa molto nel determinare il valore della concentrazione intrinseca, come esemplificato dalla Fig.2.5.

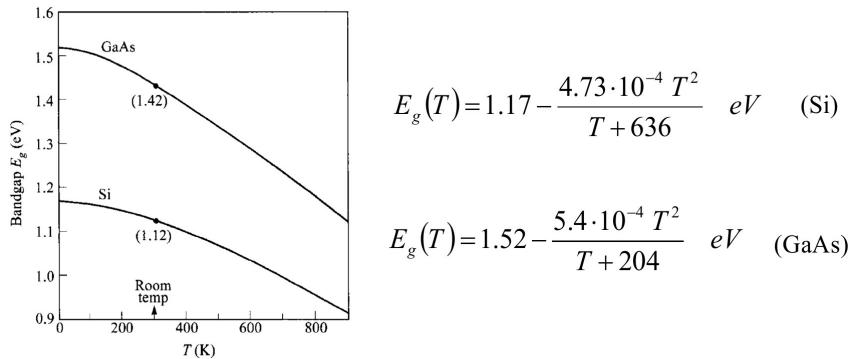


Figura 2.4: Andamento di $E_g(T)$ per il silicio e l'arseniuro di gallio

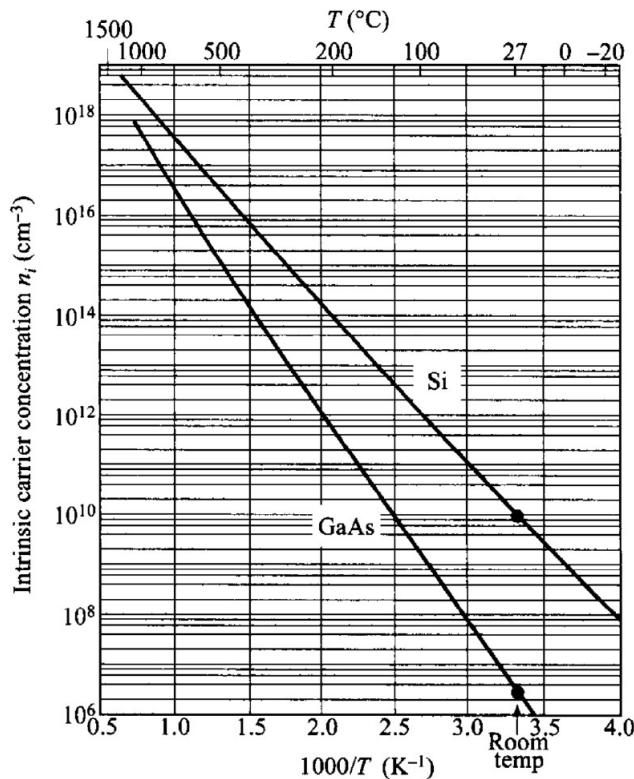


Figura 2.5: Andamento di $n_i(T)$ per il silicio e l'arseniuro di gallio

Vogliamo capire qual è l'effetto della temperatura su un dispositivo a semiconduttore, ad esempio su una giunzione PN con $n_n = 10^{12} \text{ cm}^{-3} = N_D$ e $p_p = 10^{15} \text{ cm}^{-3} = N_A$. Immaginiamo di incrementare la temperatura da 300K a 400K; si vede che a tale temperatura $n_i(400\text{K}) = 10^{12} \text{ cm}^{-3}$. La zona N del diodo si comporta come se fosse intrinseca (dal punto di vista delle concentrazioni) e quindi il sistema passa dal comportarsi come una giunzione PN ad una giunzione PI (p-intrinseco).

In Fig.2.6 è riportato un grafico (relativo al silicio) che mostra la posizione del livello di Fermi rispetto al livello di Fermi intrinseco, al variare della temperatura reticolare e dal livello e tipo di drogaggio. Con riferimento alla Fig.2.6 immaginando di muoversi lungo la curva con $N_D = 10^{12} \text{ cm}^{-3}$ è possibile notare che il livello di Fermi egualia quello intrinseco E_i ad una temperatura reticolare $T \approx 380\text{K}$. Questo ci fa capire che un dispositivo realizzato con tali caratteristiche non può operare a temperature maggiori di $T \approx 380\text{K}$ dato che questo si comporterebbe non più da silicio di tipo N ma da silicio intrinseco (dal punto di vista delle concentrazioni).

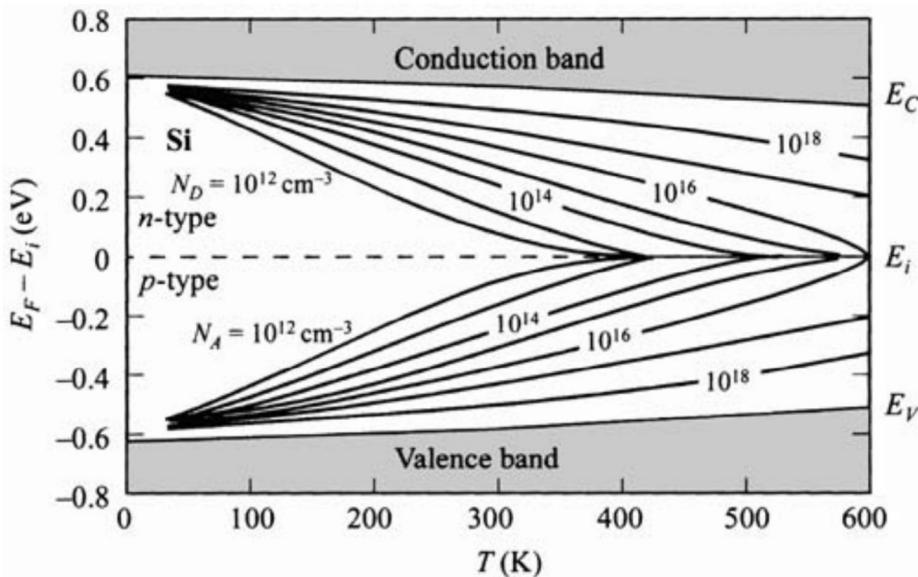


Figura 2.6: Andamento di E_F (nel silicio) al variare di T e dal livello e tipo di drogaggio

Si riporta un grafico (vedi Fig.2.7) relativo alla concentrazione intrinseca di diversi materiali al variare della temperatura. E' possibile vedere come per materiali quali 6H SiC o GaN la concentrazione intrinseca a temperatura ambiente sia molto più piccola rispetto a quella del silicio. Ciò è dovuto al fatto che questi materiali sono caratterizzati da un elevato bandgap (anche detti *WBG* - *Wide BandGap*). L'utilizzo di tali materiali dunque, consente di realizzare dispositivi che possono lavorare a temperature molto più elevate rispetto alla relativa controparte realizzata in silicio.

Nel caso di semiconduttore estrinseco è possibile calcolare le concentrazioni dei portatori minoritari tramite la legge dell'azione di massa. In particolare per un semiconduttore di tipo N risulta

$$\begin{cases} n_n &= N_D \\ p_n &= \frac{n_i^2}{n_n} \approx \frac{n_i^2}{N_D} \end{cases}$$

mentre per un semiconduttore di tipo P

$$\begin{cases} p_p &= N_A \\ n_p &= \frac{n_i^2}{p_p} \approx \frac{n_i^2}{N_A} \end{cases}$$

Sottolineiamo che le concentrazioni di elettroni liberi e lacune possono essere calcolate anche tramite le equazioni di Shockley (a patto di essere all'equilibrio termodinamico)

$$n = n_i \exp\left(\frac{E_F - E_i}{kT}\right) \quad (2.8)$$

$$p = n_i \exp\left(\frac{E_i - E_F}{kT}\right) \quad (2.9)$$

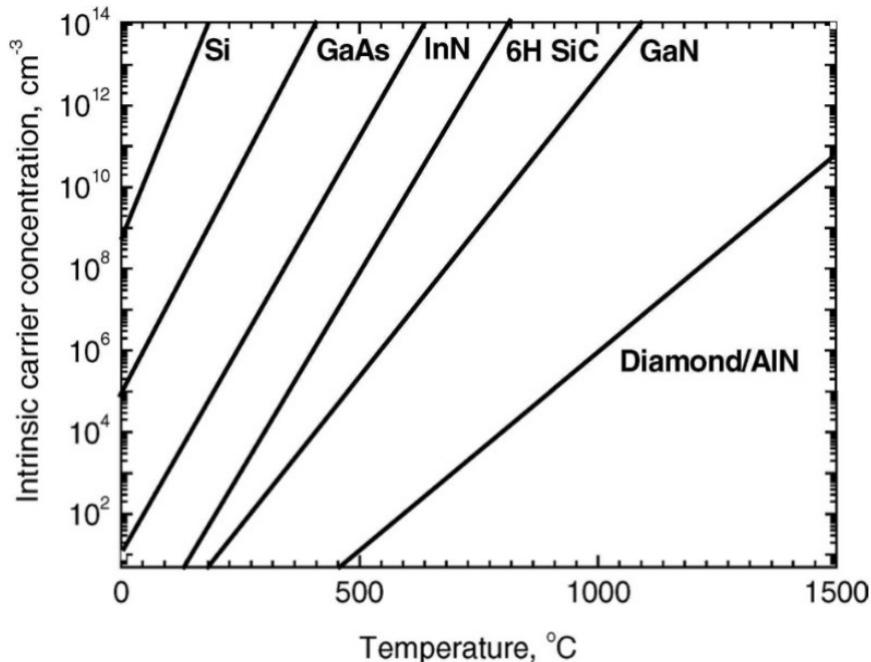


Figura 2.7: Andamento di $n_i(T)$ per diversi materiali

2.2 Fenomeni di trasporto

Supponiamo di avere un campione cilindrico di materiale semiconduttore ad una temperatura $T \neq 0\text{K}$. Gli elettroni presenti nella struttura saranno soggetti all'agitazione termica vibrazionale dovuta agli atomi vibranti. Dal Teorema di equipartizione dell'energia risulta

$$\frac{1}{2}m_nv_{thn}^2 = \frac{3}{2}kT$$

dove v_{thn} è la velocità termica degli elettroni. In assenza di campo elettrico gli elettroni si muovono con traiettorie casuali all'interno del materiale e mediamente percorrono un cammino nullo; in tali condizioni non si ha flusso netto di portatori all'interno della struttura.

Applicando un campo elettrico locale $E \neq 0$ gli elettroni risentono di una forza di Lorentz $F = -qE$, la quale instaura un flusso netto di portatori all'interno del materiale semiconduttore. La velocità di deriva dei portatori è proporzionale al campo elettrico tramite un parametro che viene chiamato mobilità la cui unità di misura è [cm^2/V].

$$v_n = -\mu_n E \quad (2.10)$$

La corrente dovuta all'applicazione del campo elettrico prende il nome di corrente di trascinamento e la sua espressione (relativa all'aliquota di elettroni) è data da

$$J_{n,drift} = -qv_n n = q\mu_n n E \quad (2.11)$$

Lo stesso discorso si può ripetere per le lacune ottenendo la relativa componente di drift

$$J_{p,drift} = qv_p p = q\mu_p p E \quad (2.12)$$

Pertanto, la corrente totale di trascinamento sarà data da

$$J_{drift} = J_{n,drift} + J_{p,drift} = q(\mu_n n + \mu_p p)E = \sigma E \quad (2.13)$$

dove si è posto

$$\sigma = q(\mu_n n + \mu_p p)$$

che altro non è che la conducibilità elettrica [$\Omega^{-1}\text{ cm}^{-1}$]. L'eq.(2.13) rappresenta la legge di Ohm espressa in forma locale.

E' importante sottolineare che la mobilità dei portatori non è una costante ma dipende dalla temperatura reticolare e dal livello di drogaggio del materiale. A tal proposito si riportano dei grafici indicativi di quanto appena esposto

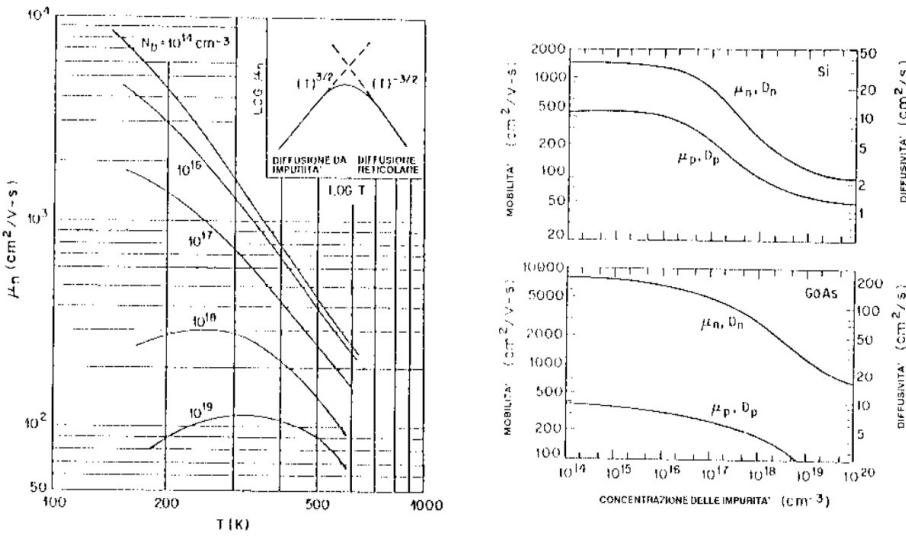


Figura 2.8: A sinistra mobilità al variare della temperatura reticolare; a destra mobilità al variare della concentrazione di drogante per Si e GaAs

Per tale motivo le mobilità degli elettroni e delle lacune, presenti nelle espressioni di $J_{n,drift}$ e $J_{p,drift}$, sono funzioni delle concentrazioni di portatori e della temperatura reticolare. Questo ci fa capire che calcolare tali contributi durante eventi dinamici (*e.g.* accensione/spegnimento BJT) dove le concentrazioni dei portatori possono cambiare molto velocemente (*e.g.* concentrazione di elettroni nella base), non risulta essere un compito semplice.

Oltre alla corrente dovuta al meccanismo di trascinamento, all'interno dei dispositivi a semiconduttore, vi è un ulteriore contributo detto di diffusione. Tale aliquota è dovuta a considerazioni di natura termodinamica; nel caso di disuniformità nel profilo di concentrazione dei portatori e a temperature $T \neq 0\text{K}$, questi tenderanno a diffondere dalla zona a più elevata concentrazione verso quella a minore concentrazione. Questo fenomeno è dovuto al fatto che la natura tende ad uniformare le concentrazioni (la diffusione si arresta nel caso in cui le concentrazioni sono uniformi).

Questo fenomeno di trasporto non dipende dal numero di portatori ma piuttosto dall'andamento del profilo di concentrazione all'interno del dispositivo. Le espressioni delle correnti di diffusione di elettroni e lacune sono le seguenti

$$J_{n,diff} = qD_n \frac{dn}{dx} \quad (2.14)$$

$$J_{p,diff} = -qD_p \frac{dp}{dx} \quad (2.15)$$

dove D_n è la diffusività degli elettroni mentre D_p è quella delle lacune [$\text{cm}^2 \text{s}^{-1}$]. Si riportano anche le relazioni di Einstein per le lacune e gli elettroni

$$D_n = l_n v_{thn} = \frac{kT}{q} \mu_n = V_T \mu_n \quad (2.16)$$

$$D_p = l_p v_{thp} = \frac{kT}{q} \mu_p = V_T \mu_p \quad (2.17)$$

dove

$$V_T = \frac{kT}{q} \approx \frac{T}{11600} [\text{V}]$$

prende il nome di equivalente termico in tensione ed assume valore circa pari a 25mV a $T = 300\text{K}$. Le relazioni di Einstein mettono in relazione due importanti parametri relativi ai meccanismi di trasporto, mobilità e diffusività.

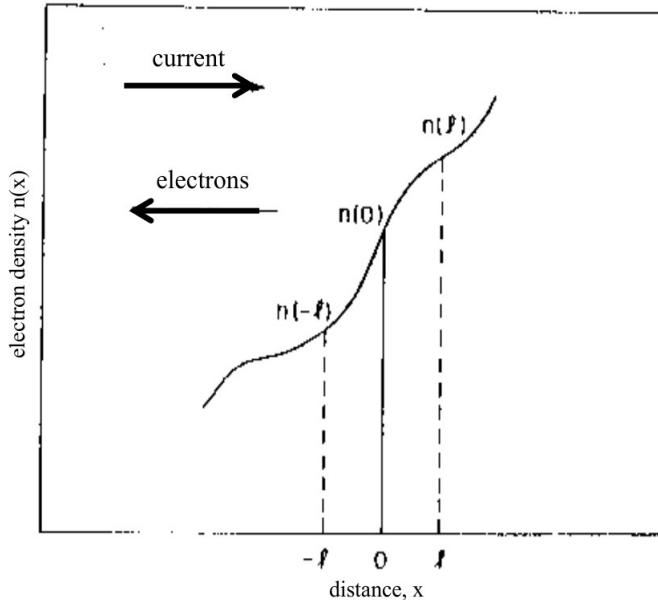


Figura 2.9: Corrente di diffusione dovuta ad un profilo di concentrazione non costante

Mettendo insieme le componenti di diffusione e trascinamento si ottiene la corrente totale data da

$$J_{tot} = J_n + J_p = J_{n,drift} + J_{n,diff} + J_{p,diff} + J_{p,drift} \quad (2.18)$$

2.3 Equazione di continuità

Per il calcolo della corrente totale J_{tot} c'è bisogno di conoscere la concentrazione di elettroni, quella di lacune e l'andamento del campo elettrico, cioè

$$n(x, y, z, t), \quad p(x, y, z, t), \quad E(x, y, z, t)$$

Per poter calcolare tali funzioni si ricorre alle equazioni di continuità degli elettroni e delle lacune. L'equazioni di continuità consentono di calcolare la variazione di concentrazione di elettroni (o lacune) nell'unità di tempo.

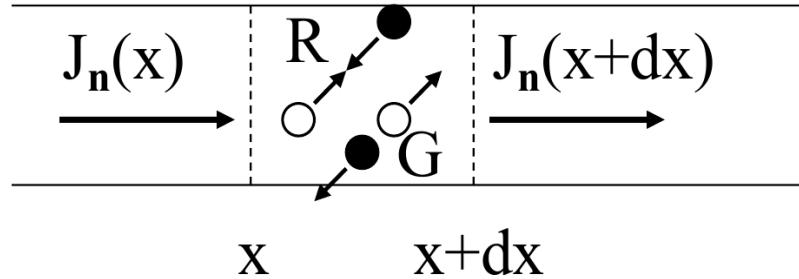


Figura 2.10: Geometria del problema 1D

Prese come riferimento le ascisse x e $x + dx$, i meccanismi per i quali la concentrazione di elettroni cambia nel tempo all'interno del volume $A dx$, sono fondamentalmente quattro:

- i) Degli elettroni entrano all'interno del volume $A dx$;
- ii) Degli elettroni escono dal volume;
- iii) Alcuni elettroni si ricombinano nel volume;
- iv) Alcuni elettroni vengono generati nel volume.

Quanto appena detto si può formalizzare con la seguente equazione

$$\frac{\partial n(x, t)}{\partial t} Adx = \left[\frac{J_n(x, t)A}{-q} - \frac{J_n(x + dx, t)A}{-q} \right] + (G_n - R_n)Adx \quad (2.19)$$

dove il primo membro è il tasso di variazione della concentrazione di elettroni nel volume di riferimento per unità di tempo. L'espressione

$$\frac{J_n(x, t)A}{-q}$$

altro non è il numero di elettroni che entrano nel volume per unità di tempo, mentre

$$\frac{J_n(x + dx, t)A}{-q}$$

rappresenta quelli che escono dal volume per unità di tempo. I termini G_n e R_n rappresentano le velocità di generazione e ricombinazione [cm^{-3}/s] all'interno del volume di riferimento.

Sviluppando secondo Taylor il termine

$$J_n(x + dx, t) \approx J_n(x, t) + \frac{\partial J_n(x, t)}{\partial x} dx$$

e sostituendo nell'eq.2.19 si ottiene la forma finale dell'equazione di continuità degli elettroni

$$\frac{\partial n(x, t)}{\partial t} = \frac{1}{q} \frac{\partial J_n(x, t)}{\partial x} + (G_n - R_n) \quad (2.20)$$

Ripetendo gli stessi ragionamenti si arriva all'equazione di continuità delle lacune, di seguito riportata

$$\frac{\partial p(x, t)}{\partial t} = -\frac{1}{q} \frac{\partial J_p(x, t)}{\partial x} + (G_p - R_p) \quad (2.21)$$

L'insieme di equazioni (1D) da risolvere per poter studiare il comportamento di un qualsiasi dispositivo a semiconduttore, prendono il nome di equazioni dei semiconduttori e sono riportate di seguito

$$\frac{\partial n}{\partial t} = \frac{1}{q} \frac{\partial J_n}{\partial x} + (G_n - R_n) \quad (2.22)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \frac{\partial J_p}{\partial x} + (G_p - R_p) \quad (2.23)$$

$$\frac{d^2 V}{dx^2} = -\frac{\rho}{\epsilon_s} \Leftrightarrow \frac{dE}{dx} = \frac{\rho}{\epsilon_s} \quad (2.24)$$

Le funzioni incognite da determinare sono $n(x, t), p(x, t), V(x)$. Una volta note è possibile ricavare le correnti di lacune ed elettroni tramite le seguenti equazioni:

$$J_n = q\mu_n n E + qD_n \frac{dn}{dx} \quad (2.25)$$

$$J_p = q\mu_p p E - qD_p \frac{dp}{dx} \quad (2.26)$$

2.3.1 Generazione e ricombinazione dei portatori

Definiamo velocità di ricombinazione netta

$$U = R - G$$

dove R rappresenta la velocità di ricombinazione mentre G quella di generazione. In condizioni di equilibrio risulta evidentemente

$$U = 0$$

mentre se risulta $U > 0$ è presente un eccesso di portatori minoritari (ad esempio lacune). Per descrivere i processi G-R vengono adottati, generalmente tre modelli.

- i) Ricombinazione banda a banda;

- ii) Ricombinazione indiretta assistita da centri G-R;
- iii) Ricombinazione Auger

Nel caso di ricombinazione banda a banda (ci riferiamo al caso di lacune) si utilizza il seguente modello

$$U = \frac{p_n - p_{no}}{\tau_p} = \underbrace{\frac{p_n}{\tau_p}}_R - \underbrace{\frac{p_{no}}{\tau_p}}_G \quad (2.27)$$

dove p_n è la concentrazione attuale (in condizioni di non equilibrio), p_{no} è la concentrazione all'equilibrio termodinamico, τ_p è il tempo di vita medio della lacuna. Questo modello coinvolge un portatore alla volta.

Nel caso di ricombinazione assistita da centri G-R si utilizza il modello Shockley-Reed-Hall

$$U = \frac{pn - n_i^2}{\tau_{po} \left[n + n_i \exp \left(\frac{E_t - E_i}{kT} \right) \right] + \tau_{no} \left[p + n_i \exp \left(\frac{E_i - E_t}{kT} \right) \right]} \quad (2.28)$$

dove si è posto

$$\begin{cases} \tau_{po} &= \frac{1}{N_t v_{th} \sigma_p} \\ \tau_{no} &= \frac{1}{N_t v_{th} \sigma_n} \end{cases} \quad (2.29)$$

che rappresentano rispettivamente il tempo di vita medio delle lacune in un semiconduttore di tipo N ed il tempo di vita medio degli elettroni in un semiconduttore di tipo P, $N_t [\text{cm}^{-3}]$ è la concentrazione di trappole al livello energetico $E_t [\text{eV}]$, mentre $\sigma_{p,n} [\text{cm}^2]$ sono dette sezioni di cattura per gli elettroni e le lacune. In questo modello sono coinvolti due portatori alla volta.

Il terzo ed ultimo modello è la ricombinazione **Auger** (molto frequente nei dispositivi di potenza). Tale modello coinvolge tre portatori alla volta (e.g. due elettroni ed una lacuna oppure due lacune ed un elettrone).

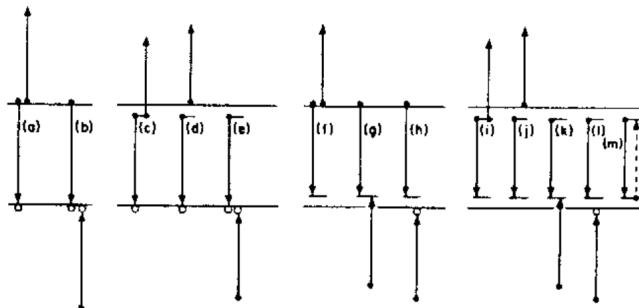


Figura 2.11: Ricombinazione Auger

In questo caso il lifetime è dato da

$$\frac{1}{\tau} = Anp + Bn^2$$

per cui la velocità di ricombinazione netta si può calcolare come

$$U \approx \frac{p}{\tau} = Anp^2 + Bn^2p \quad (2.30)$$

e tiene conto del fatto che tale ricombinazione avviene o tramite due lacune ed un elettrone (termine che moltiplica la costante A) oppure due elettroni ed una lacuna (termine che moltiplica la costante B).

2.3.2 Iniezione di portatori

Supponiamo di avere un campione di silicio drogato di tipo n con concentrazione di donatori pari a $N_D = n_{no}$. Dalla legge dell'azione di massa possiamo calcolare la concentrazione di lacune minoritarie come $p_{no} = ni^2/N_D$

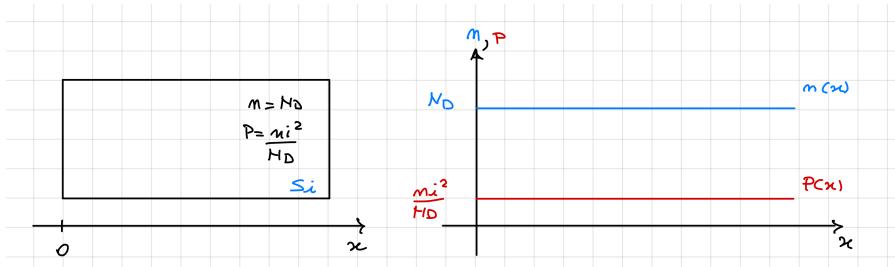


Figura 2.12: A sinistra la geometria del campione di silicio, a destra l'andamento delle concentrazioni di elettroni e lacune all'equilibrio termodinamico.

Supponiamo che per qualche motivo all'ascissa $x = 0$ sia presente un eccesso di portatori minoritari

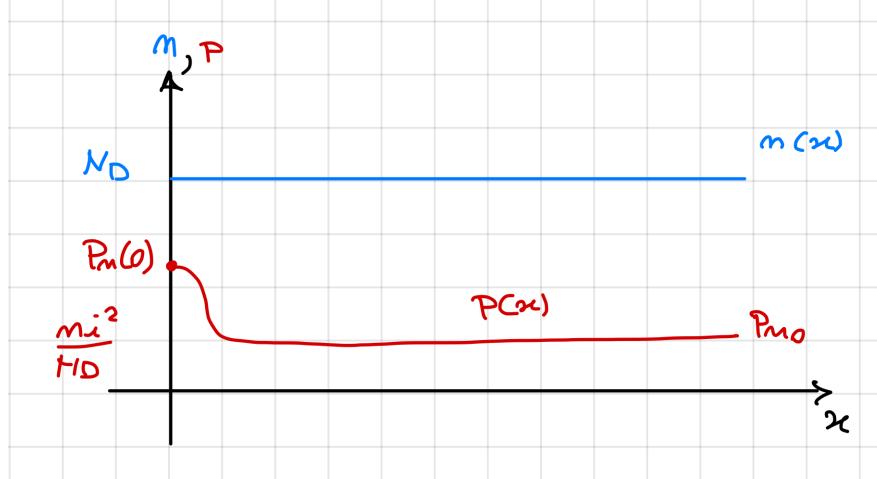


Figura 2.13: Andamento delle concentrazioni di elettroni e lacune nel caso di iniezione di minoritari in $x = 0$

Siamo interessati a capire come i portatori si distribuiranno all'interno del campione. Dato che il gradiente di concentrazione delle lacune è diverso da 0 sarà presente una componente di corrente diffusiva $J_{pn,diff} \neq 0$

Utilizzando l'equazione di continuità delle lacune (all'equilibrio) possiamo ricavare il profilo di concentrazione delle lacune $p_n(x)$

$$\frac{dp_n}{dt} = -\frac{1}{q} \frac{dJ_{pn}}{dx} + G_p - R_p = 0$$

La componente di diffusione è preponderante rispetto a quella di drift, per cui risulta

$$J_{pn} \approx J_{pn,diff} = -qD_{pn} \frac{dp_n}{dx}$$

quindi combinando tale espressione con l'equazione di continuità si ottiene

$$0 = -\frac{1}{q} \frac{d}{dx} \left[-qD_{pn} \frac{dp_n}{dx} \right] + \underbrace{\frac{p_n(x) - p_{no}}{\tau_{pn}}}_{G_p - R_p} \Leftrightarrow 0 = D_{pn} \frac{d^2 p_n}{dx^2} + \frac{p_n(x) - p_{no}}{\tau_{pn}} \quad (2.31)$$

Risolvendo l'equazione differenziale si ottiene il profilo di concentrazione delle lacune minoritarie in funzione dell'ascissa x

$$p_n(x) - p_{no} = [p_n(0) - p_{no}] \exp \left(-\frac{x}{L_{pn}} \right) \quad (2.32)$$

dove

$$L_{pn} = \sqrt{D_{pn} \tau_{pn}} \quad (2.33)$$

è la lunghezza di diffusione delle lacune minoritarie nella zona N. Ad una distanza $x \approx 3L_{pn}$ risulta,

$$\begin{aligned} p_n(3L_{pn}) &= p_{no} + [p_n(0) - p_{no}] \exp\left(-\frac{3L_{pn}}{L_{pn}}\right) \\ &= p_{no} + \underbrace{[p_n(0) - p_{no}] \exp(-3)}_{\ll p_{no}} \\ &\approx p_{no} \end{aligned} \quad (2.34)$$

cioè la concentrazione a tale ascissa è circa pari a quella che si avrebbe in condizioni di equilibrio termodinamico. Spesso l'eq.(2.32) viene riportata in funzione della concentrazione degli eccessi (o scarti) di minoritari

$$\frac{p'_n(x)}{p_n(x) - p_{no}} = \frac{p'_n(0)}{p_n(0) - p_{no}} \exp\left(-\frac{x}{L_{pn}}\right) \quad (2.35)$$

Sottolineiamo che l'eq.(2.32) è stata ricavata nelle ipotesi che la lunghezza del campione L fosse molto più grande rispetto alla lunghezza di diffusione L_{pn} . Ci chiediamo cosa accade, invece, se tale condizione non è più verificata.

Nel caso in cui $L \leq L_{pn}$, l'andamento spaziale dei minoritari è linearmente decrescente secondo la seguente equazione

$$p'_n(x) = p'_n(0) \left(1 - \frac{x}{L_{pn}}\right) \quad (2.36)$$

questo si verifica ad esempio nella base di un BJT o nel caso in cui il materiale sia terminato con un contatto ohmico in $x = L$.

A questo punto conoscendo l'andamento del profilo di concentrazione è possibile calcolare la componente di diffusione sia nel caso di campione lungo ($L \gg L_{pn}$) o nel caso di campione corto ($L \leq L_{pn}$).

Nel caso di campione lungo risulta

$$\begin{aligned} J_{pn}(x) &= -qD_{pn} \frac{dp_n(x)}{dx} \\ &= -qD_{pn} \frac{dp'_n(x)}{dx} \\ &= -qD_{pn} p'_n(0) \exp\left[-\frac{x}{L_{pn}}\right] \left(-\frac{1}{L_{pn}}\right) \\ &= q \frac{D_{pn}}{L_{pn}} p'_n(0) \exp\left[-\frac{x}{L_{pn}}\right] \end{aligned} \quad (2.37)$$

Ora è possibile valutare la corrente di diffusione all'ascissa $x = 0$, che sarà data da

$$J_{pn}(0) = q \frac{D_{pn}}{L_{pn}} p'_n(0) \quad (2.38)$$

Se considero il caso di campione corto, applicando gli stessi ragionamenti visti prima si ottiene

$$\begin{aligned}
J_{pn}(x) &= -qD_{pn} \frac{dp_n(x)}{dx} \\
&= -qD_{pn} \frac{dp'_n(x)}{dx} \\
&= q \frac{D_{pn}}{L_{pn}} p'_n(0)
\end{aligned} \tag{2.39}$$

Questa equazione ci dice che la corrente non varia con l'ascissa (cioè è costante). Questo significa che, in pratica, la ricombinazione lungo il campione è trascurabile (cioè il numero di lacune che attraversano la generica ascissa x è uguale a quello presente all'ascissa $x + dx$).

Vogliamo analizzare un esempio che fa uso dell'equazione di continuità per determinare l'andamento temporale (non spaziale) dei minoritari, all'interno di un campione di silicio di tipo N esposto a radiazione luminosa.

Immaginiamo che

- i) $N_D = 10^{16} [\text{cm}^{-3}]$ a temperatura ambiente;
- ii) Una sorgente luminosa di opportuna lunghezza d'onda produce coppie elettrone lacuna uniformemente all'interno del campione;
- iii) La concentrazione delle lacune passa da $p_{no} = 10^4 [\text{cm}^{-3}]$ a $p_n = 10^8 [\text{cm}^{-3}]$

con tali condizioni si vuole determinare l'andamento di $p_n(t)$ quando la radiazione luminosa viene spenta (assumiamo tale istante pari a $t = 0$). In questo caso dato che non stiamo applicando nessuna ddp esterna, il contributo di drift sarà nullo. Inoltre, visto che la generazione di coppie elettrone lacuna è uniforme all'interno del campione, il gradiente di concentrazione delle lacune sarà anch'esso nullo e per tale motivo non sarà presente componente diffusiva.

Per quanto detto l'equazione di continuità (nelle ipotesi di stazionarietà)

$$\frac{dp_n}{dt} = q \underbrace{\frac{dJ_{pn}}{dx}}_{=0} - U \Leftrightarrow \frac{dp_n}{dt} = G_p - R_p = -\frac{p_n - p_{no}}{\tau_{pn}} = 0$$

Si può riscrivere l'equazione precedente in termini di p'_n (cioè in termini dell'eccesso di concentrazione rispetto alle condizioni di equilibrio termodinamico)

$$\frac{dp'_n}{dt} = -\frac{p'_n}{\tau_{pn}} = 0 \tag{2.40}$$

Il problema va risolto specificando anche la condizione iniziale e quella all'infinito

$$\begin{cases} p'_n(t=0) & = \underbrace{p_n(t=0)}_{10^8 \text{ cm}^{-3}} - p_{no} \\ p'_n(t \rightarrow \infty) & = 0 \end{cases} \tag{2.41}$$

Risolvendo l'equazione differenziale si ottiene l'integrale generale

$$p'_n(t) = A \exp\left[-\frac{t}{\tau_{pn}}\right] + B \quad (2.42)$$

Per determinare i valori delle costanti A e B si fa uso delle condizioni iniziali, pervenendo a

$$p'_n(t) = p'_n(0) \exp\left[-\frac{t}{\tau_{pn}}\right] \quad (2.43)$$

in cui si vede come l'andamento temporale dei minoritari decade con legge esponenziale, governata dal lifetime delle lacune τ_{pn} . Osserviamo che il comportamento transitorio di alcuni dispositivi di potenza segue questo andamento temporale (e.g. il diodo) e spesso i tempi di accensione e spegnimento causano non poche difficoltà a chi progetta circuiti/dispositivi di potenza.

Parte II

Richiami sui dispositivi a semiconduttore

Capitolo 3

Giunzione P-N

Un diodo viene realizzato tramite una giunzione p-n. Immaginiamo, per semplicità che il nostro diodo sia realizzato accostando in un punto una regione di tipo N ed una di tipo P. La struttura che ne risulta è mostrata in Fig.3.1.

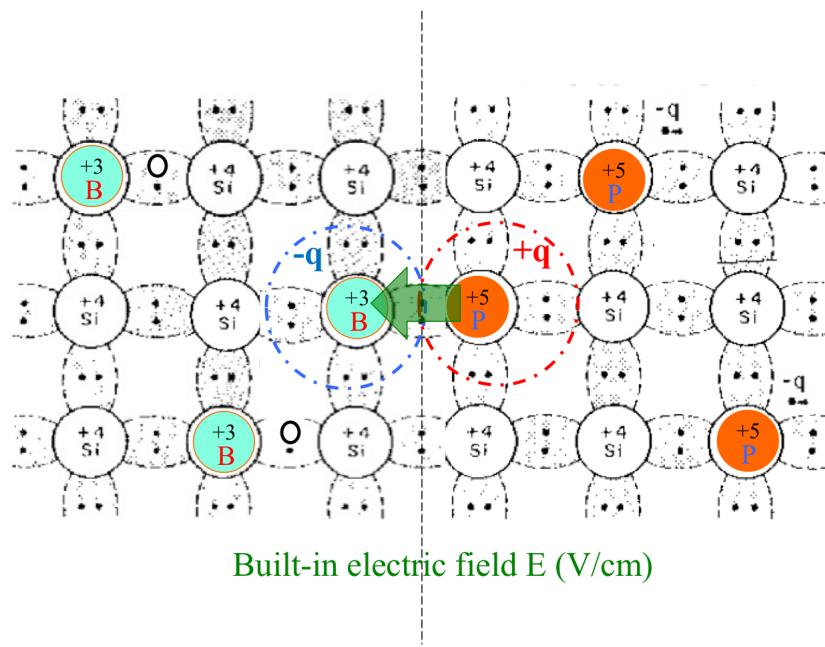


Figura 3.1: Struttura semplificata di un diodo. La linea tratteggiata rappresenta la giunzione; a sinistra la regione di tipo P; a destra la regione di tipo N

Dato che la regione di tipo P è ricca di lacune e quella di tipo N è ricca di elettroni, si innescherà un moto di portatori dovuto alla diffusione. In particolare gli elettroni diffonderanno dalla zona N alla zona P mentre le lacune diffonderanno dalla zona P alla zona N. I portatori che diffondono sono chiaramente minoritari nella regione di arrivo, per cui tenderanno a ricombinarsi con i maggioritari.

Il processo di ricombinazione avviene prevalentemente nell'intorno della giunzione metallurgica. Nel caso mostrato in Fig.3.1 le lacune diffuse nella zona N si ricombineranno con gli atomi di Fosforo, dando vita a degli ioni P^+ . Allo stesso modo gli elettroni diffusi nella zona P si ricombineranno con gli atomi di Boro, dando luogo a degli ioni B^- .

La presenza di questa carica netta diversa da zero a ridosso della giunzione fa sì che nasca un campo elettrico locale, detto campo di *built-in*, orientato dalla zona N verso la zona P. Per tale motivo questa regione viene anche detta regione di carica spaziale o *SCR - Space Charge Region*, in virtù del fatto che in tale zona vi è una carica netta diversa da zero.

Le regioni ai "lati" della SCR sono dette regioni neutre dato che le cariche elettriche risultano bilanciate (e.g. 14 elettroni e protoni forniti dal silicio e 3 protoni ed elettroni forniti dal boro; macroscopicamente la carica elettrica netta è nulla). Ad esempio, con riferimento alla zona P si può scrivere

$$\rho = q(p_p - \underbrace{n_p}_{=0} - N_A^-)$$

dato che $p_p = N_A^-$ risulta evidentemente $\rho = 0$, così come per la regione N.

Il campo di built-in tende ad opporsi al moto diffusivo, dando origine ad un contributo di drift in verso opposto a quello della diffusione. In condizioni di equilibrio la corrente di drift è uguale a quella di diffusione (i.e. il flusso netto di corrente è e deve essere nullo).

Integrando il campo elettrico $E(x)$ che si instaura ai capi della regione di svuotamento si ottiene la tensione di built-in V_{bi} .

$$V_{bi} = - \int_{-W_p}^{W_n} E(x) dx = \frac{kT}{q} \log \left(\frac{N_A N_D}{n_i^2} \right) \quad (3.1)$$

il valore della tensione di built-in cade, generalmente, nel range 0.6-1V.

3.1 Richiami sul comportamento in polarizzazione

Vediamo cosa accade quando applichiamo una ddp esterna tramite un generatore di tensione.

3.1.1 Polarizzazione diretta

Se il potenziale applicato alla regione P è maggiore rispetto a quello applicato alla regione N, la giunzione si dice polarizzata direttamente. In tal caso il campo di built-in si riduce a causa del campo elettrico esterno dovuto al generatore di tensione V_b (il campo esterno ha verso opposto a quello di built-in) come visibile in fig.3.2. In queste condizioni la componente di diffusione risulta preponderante rispetto a quella di drift ed il diodo conduce una corrente apprezzabilmente diversa da zero.

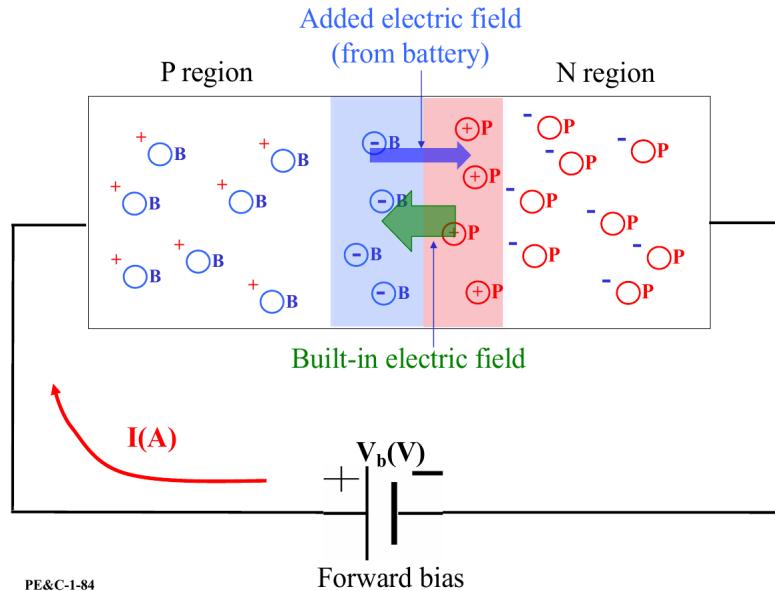


Figura 3.2: Giunzione P-N polarizzata direttamente

3.1.2 Polarizzazione inversa

Di contro se il potenziale applicato alla zona P è minore rispetto a quello applicato alla zona N, la giunzione P-N è polarizzata inversamente (come visibile in Fig.3.3). La corrente che circola in questa condizione è idealmente zero dato che il campo di built-in si somma al campo esterno dovuto al generatore di tensione V_b . In realtà è presente un contributo di corrente dovuto ai portatori minoritari che si trovano nelle immediate vicinanze della SCR.

Ad esempio, consideriamo gli elettroni minoritari presenti nella zona di tipo P. Vi è una probabilità non nulla che tali elettroni viaggino fino alla SCR senza ricombinarsi. In tal caso il campo elettrico ai capi della giunzione spingerà gli elettroni dalla regione P verso la regione N, dando luogo ad un flusso netto di corrente diverso da zero; a parti invertite accade lo stesso per le lacune minoritarie presenti nella regione N.

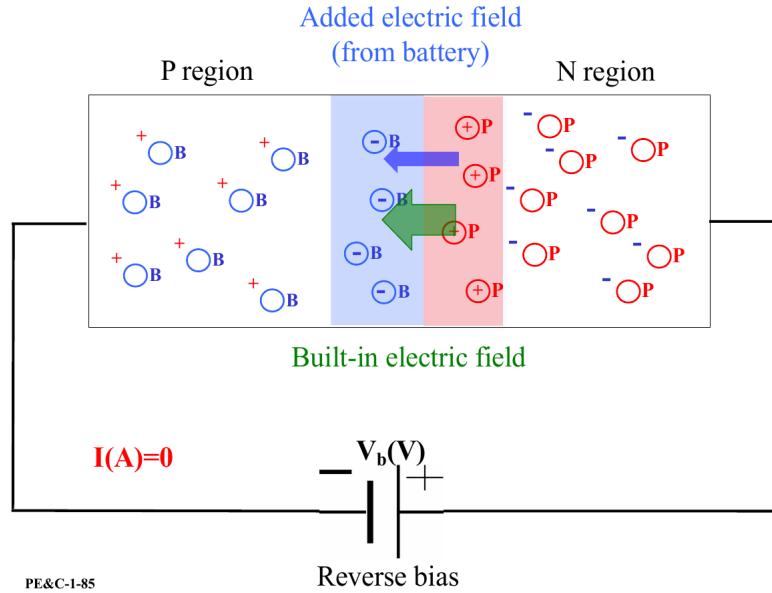


Figura 3.3: Giunzione P-N polarizzata inversamente

3.2 Equazione di Poisson

Rivediamo brevemente come si arriva all'equazione di Poisson 1D. Partiamo dalla prima equazione di Maxwell, la quale recita

$$\nabla \cdot E = \frac{\rho}{\epsilon_0} \quad (3.2)$$

In elettrostatica il campo elettrico è conservativo per cui ammette una funzione potenziale (potenziale elettrostatico). In particolare è possibile esprimere il campo elettrico come segue

$$E = -\nabla V \quad (3.3)$$

Se si sostituisce l'equazione (3.3) in (3.2) si ottiene

$$\nabla \cdot (-\nabla V) = -\nabla^2 V = \frac{\rho}{\epsilon_0} \quad (3.4)$$

Nell'ipotesi di monodimensionalità, il Laplaciano si riduce ad una semplice derivata seconda, ottenendo l'equazione di Poisson 1D di seguito riportata

$$\frac{d^2 V(x)}{dx^2} = -\frac{\rho(x)}{\epsilon_{si}} \quad (3.5)$$

ed immaginiamo di valutarla, ad esempio, nella parte sinistra della scr (formalmente per $-W_p \leq x < 0$). In tal caso risulta

$$\frac{d^2 V(x)}{dx^2} = -\frac{\rho(x)}{\epsilon_{si}} = -\frac{q(N_D - N_A + p_p - n_p)}{\epsilon_{si}} = \frac{qN_A}{\epsilon_{si}} \quad (3.6)$$

dove l'ultima uguaglianza è stata ottenuta tenendo conto del fatto che la zona è di tipo P (per cui $N_D = 0$) e non sono presenti cariche libere ($n = p = 0$). Il risultato appena ottenuto può essere riscritto in termini della derivata del campo elettrico ricordando che

$$E(x) = -\frac{dV(x)}{dx}$$

per cui

$$\frac{dE(x)}{dx} = \frac{d}{dx} \left[-\frac{dV(x)}{dx} \right] = -\frac{d^2V(x)}{dx^2} = \frac{\rho(x)}{\epsilon_{si}}$$

sfruttando l'ultima catena di uguaglianze e quanto ricavato nell'eq.3.6, si può scrivere

$$\frac{dE(x)}{dx} = \frac{\rho(x)}{\epsilon_{si}} = -\frac{qN_A}{\epsilon_{si}} \quad (3.7)$$

L'eq.3.7 ci dice che il gradiente del campo elettrico è proporzionale alla concentrazione del drogaggio (N_A nell'esempio).

3.2.1 Calcolo del potenziale e del campo elettrico

Supponiamo di avere una giunzione P-N con $p_{po} = N_A$ e $n_{no} = N_D$. Ponendo $x_j = 0$, l'ascissa coincidente con la giunzione metallurgica, l'ampiezza della regione di svuotamento è data da $W = W_n + W_p$. L'andamento della densità di carica in funzione dell'ascissa è rappresentata dal grafico di fig.3.4

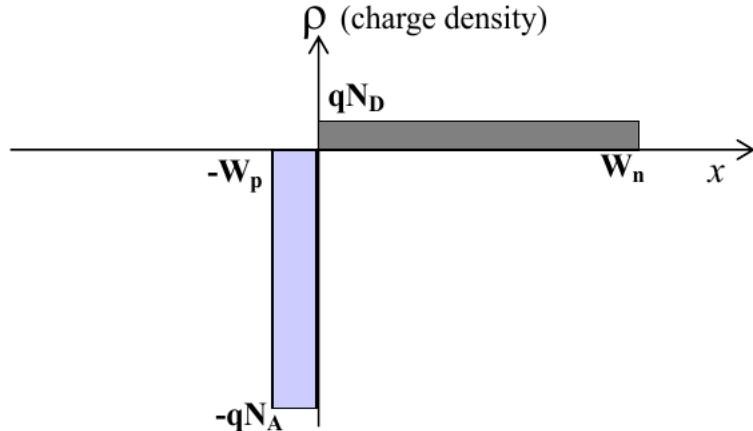
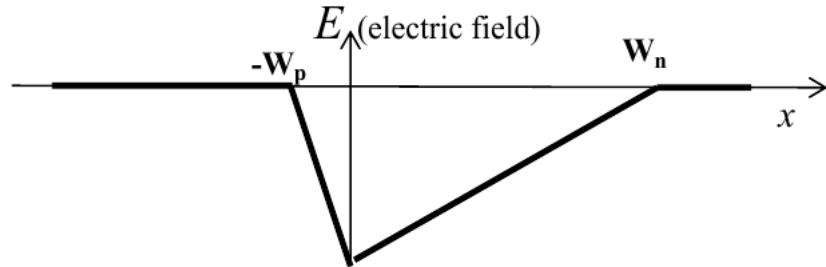


Figura 3.4: Andamento di $\rho(x)$

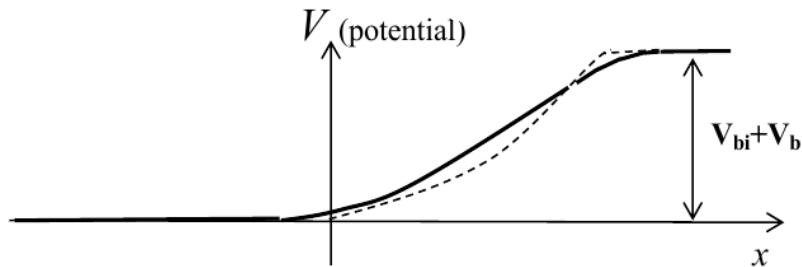
Conoscendo l'andamento di $\rho(x)$ è possibile calcolare il campo elettrico integrando l'eq.3.7. Per cui il campo elettrico sarà dato da e l'andamento è riportato in fig.3.5 dove si vede che il valore massimo (in modulo) del campo elettrico lo si ha per $x = x_j = 0$

$$E(x) = \int_{-\infty}^x \frac{\rho(\xi)}{\epsilon_{si}} d\xi \quad (3.8)$$

Figura 3.5: Andamento di $E(x)$

Infine, è possibile valutare l'andamento del potenziale $V(x)$ a partire dalla conoscenza dell'andamento del campo elettrico. L'andamento del potenziale è mostrato in fig.3.6

$$V(x) = - \int_{-\infty}^x E(\xi) d\xi \quad (3.9)$$

Figura 3.6: Andamento di $V(x)$

La conoscenza di $\rho(x)$, $E(x)$ e $V(x)$ risulta molto utile ai fini di una corretta comprensione di ciò che sta accadendo all'interno di un dispositivo. Ad esempio, a partire dalla conoscenza del potenziale $V(x)$ è possibile risalire all'andamento del campo elettrico ed infine alla densità di carica $\rho(x)$, utilizzando le equazioni appena viste.

Vediamo un esempio per fissare meglio i concetti appena esposti. Supponiamo di polarizzare inversamente il diodo con una ddp esterna di 0.2V. Evidentemente la barriera di potenziale dovrà aumentare proprio di 0.2V (e.g. immaginando che $V_{bi} = 0.8V$, la barriera di potenziale sarà pari a 1V). Possiamo sfruttare questa informazione per l'analisi dell'andamento di $E(x)$. L'eq3.9 ci dice che il potenziale è dato dall'integrale del campo elettrico; ciò vuol dire che l'area sottesa a $E(x)$ dovrà essere di 1V.

Dato che l'eq.3.7 ci dice che il gradiente del campo elettrico è proporzionale al drogaggio ($-W_p \leq x < 0$) e dato che il drogaggio N_A è una quantità costante, vuol dire che l'aumento dell'area di $E(x)$ avviene mantenendo inalterate

le pendenze dell'andamento triangolare. Quanto appena detto è esemplificato dalla fig.3.7. Ovviamente anche l'andamento di $\rho(x)$ cambierà in accordo alle variazioni di $E(x)$ e $V(x)$, affinché tutto sia coerente con la fisica del problema.

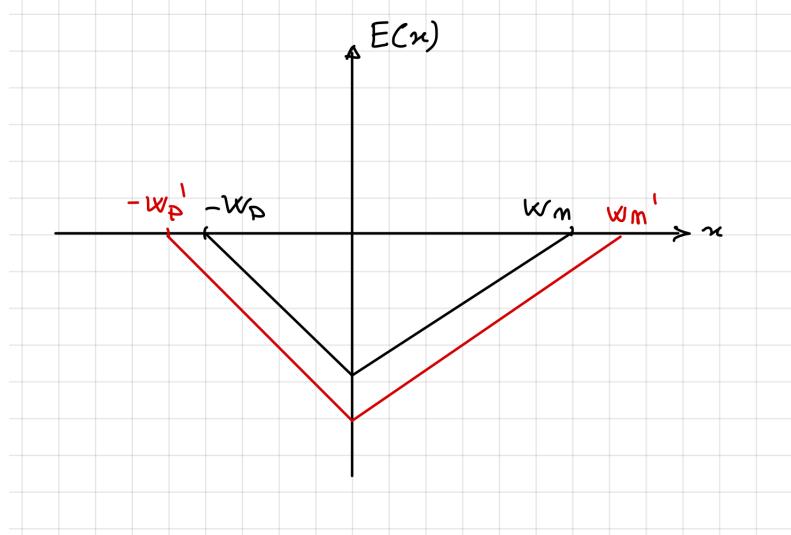


Figura 3.7: Aumento dell'area sottesa da $E(x)$ a seguito dell'applicazione di una ddp esterna (in contropolarizzazione)

3.2.2 Esempio: giunzione brusca ed asimmetrica

Per giunzione brusca si intende una giunzione in cui vi è una netta separazione tra la zona N e la zona P, come evidenziato dall'andamento di $\rho(x)$ nel grafico di fig.3.4. Inoltre, si parla di giunzione asimmetrica quando il drogaggio di una zona è molto più grande rispetto all'altra (e.g. $N_A = 10^{19}\text{cm}^{-3}$, $N_D = 10^{14}\text{cm}^{-3}$).

Nella SCR deve valere la conservazione della carica, per cui

$$W_n N_D = W_p N_A \quad (3.10)$$

dato che nel nostro caso $N_A \gg N_D$ e visto che lo spessore totale della SCR è dato da

$$W = W_n + W_p$$

facendo ricorso all'eq.(3.10) risulta

$$W_n \gg W_p$$

per cui in definitiva lo spessore della SCR (visibile in Fig.3.5) può essere approssimato come

$$W = W_n + W_p \approx W_n$$

Quanto appena visto ci fa comprendere che la regione di svuotamento si estende prevalentemente nella regione meno drogata (i.e. nella zona N nel caso in esame).

Tramite la seguente equazione (che non dimostriamo) possiamo calcolare lo spessore della regione di svuotamento in qualsiasi condizione di polarizzazione

$$W = \sqrt{\frac{2\epsilon_{si}}{q}(V_{bi} - V_b) \left(\frac{1}{N_D} + \frac{1}{N_A} \right)} \quad (3.11)$$

dove $V_b > 0$ quando si polarizza direttamente la giunzione P-N. Ricordiamo infine che la seguente relazione è sempre valida

$$V_{bi} - V_b = - \int_{-\infty}^{\infty} E(x) dx \quad (3.12)$$

e ci consente di poter valutare velocemente la forma e l'andamento del campo elettrico in diverse condizioni di polarizzazione.

3.2.3 Esempio: valutazione qualitativa del campo elettrico

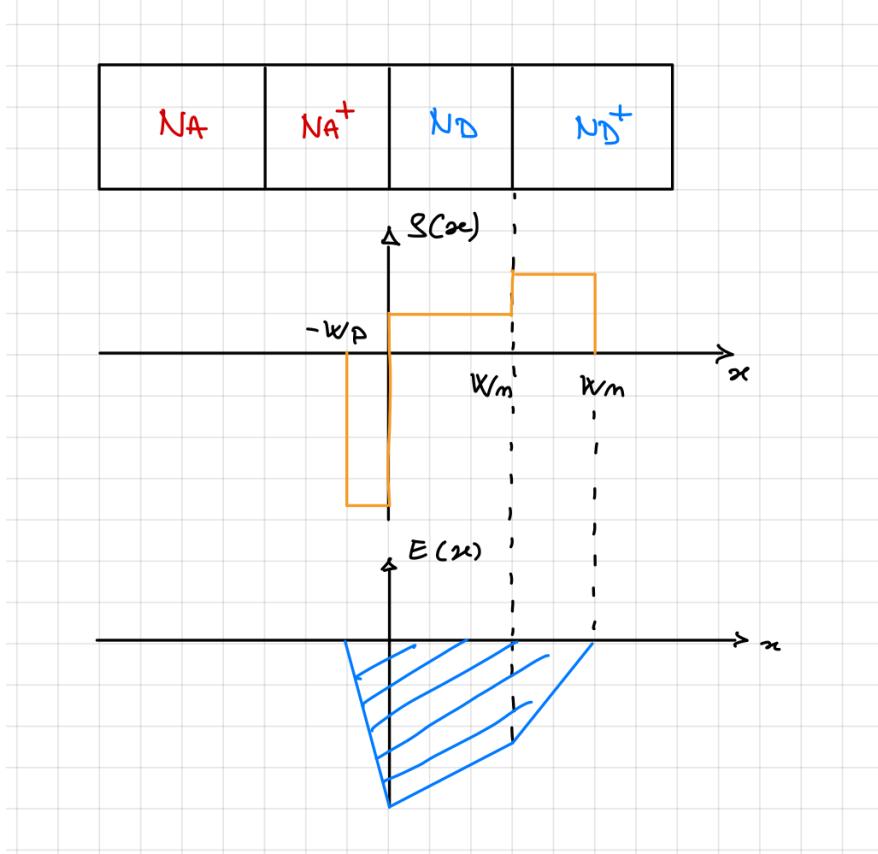


Figura 3.8: Sezione di un dispositivo di esempio in cui sono evidenziati i livelli di droggaggio di tipo N e P

Immaginiamo di avere un dispositivo realizzato come in fig.3.8. E' possibile che la regione di svuotamento si estenda dalla zona N_A^+ fino alla zona N_D^+ ($-W_p \leq$

$x \leq W_n$). Un possibile andamento della densità di carica ρ è rappresentato in fig.3.8. Per tracciare un andamento qualitativo del campo elettrico, ricorriamo al fatto che il gradiente del campo è proporzionale al drogaggio. Per cui

- i) Per $-W_p \leq x < 0$, il campo avrà un andamento molto ripido (zona N_A^+);
- ii) Per $0 < x < W'_n$, il campo presenterà un andamento meno ripido dato che la zona in questione è meno drogata;
- iii) Per $W'_n < x \leq W_n$ il campo presenta un andamento con una pendenza maggiore (zona maggiormente drogata rispetto a quella del punto ii).

Ovviamente l'area sottesa ad $E(x)$ deve essere sempre pari a $V_{bi} - V_b$.

Prima di procedere oltre facciamo alcune **osservazioni**:

- i) Il potenziale di built-in V_{bi} cade quasi sempre, se non in rare eccezioni, nel range di tensioni 0.4 – 1V;
- ii) In polarizzazione inversa, la tensione esterna può facilmente raggiungere valori nell'ordine dei kV; questo significa che nell'eq.3.11 il termine V_{bi} può essere sostanzialmente trascurato;
- iii) In polarizzazione diretta non ha senso applicare ddp maggiori di V_{bi} . Da un punto di vista fisico il termine $V_{bi} - V$ presente nell'eq.3.11 deve essere necessariamente sempre positivo, altrimenti verrebbe uno spessore W_{scr} immaginario. Ciò che accade fisicamente è che parte della tensione esterna cade sulle resistenze parassite associate alle zone P ed N (i.e. il diodo non è ideale). Per cui in ogni caso la barriera di potenziale assumerà sempre un valore diverso da zero e positivo;
- iv) Dall'eq.3.11 è facile notare che a parità di concentrazione di drogante, lo spessore aumenta se la giunzione è inversamente polarizzata mentre si assottiglia in caso di polarizzazione diretta.

3.3 Calcolo della corrente in una giunzione P-N

3.3.1 Polarizzazione diretta

Riportiamo senza dimostrare la legge della giunzione, valida lungo la regione di svuotamento ($-W_p \leq x \leq W_n$)

$$n(x)p(x) = n_i^2 \exp\left(\frac{qV}{kT}\right) = n_i^2 \exp\left(\frac{V}{V_T}\right) \quad (3.13)$$

Si è visto come polarizzare direttamente un diodo comporti un abbassamento della barriera di potenziale. In tale condizione la componente diffusiva della corrente risulta preponderante rispetto a quella di trascinamento. L'obiettivo è di valutare la concentrazione di elettroni sul bordo sinistro della SCR, i.e., $n_p(-W_p)$ e la concentrazione di lacune sul bordo destro della SCR

Facendo ricorso alla legge della giunzione è possibile valutare le concentrazioni dei minoritari ai bordi della SCR facilmente.

$$n_p(-W_p)p_p(-W_p) = n_i^2 \exp\left(\frac{V}{V_T}\right) \Leftrightarrow n_p(-W_p) = \frac{n_i^2}{N_A} \exp\left(\frac{V}{V_T}\right) \quad (3.14)$$

$$n_n(W_n)p_n(W_n) = n_i^2 \exp\left(\frac{V}{V_T}\right) \Leftrightarrow p_n(W_n) = \frac{n_i^2}{N_D} \exp\left(\frac{V}{V_T}\right) \quad (3.15)$$

avendo sfruttato il fatto che

$$\begin{aligned} p_p(-W_p) &= N_A \\ n_n(W_n) &= N_D \end{aligned}$$

A questo punto è possibile calcolare le componenti diffusive della corrente

$$\begin{aligned} J_{pn}(W_n) &= q \frac{D_{pn}}{L_{pn}} \underbrace{p'_n(W_n)}_{p_n(W_n) - p_{no}} = \\ &= q \frac{D_{pn}}{L_{pn}} [p_n(W_n) - p_{no}] = \\ &= q \frac{D_{pn}}{L_{pn}} \left[\frac{n_i^2}{N_D} \exp\left(\frac{V}{V_T}\right) - \frac{n_i^2}{N_D} \right] = \\ &= q \frac{D_{pn}}{L_{pn}} \frac{n_i^2}{N_D} \left[\exp\left(\frac{V}{V_T}\right) - 1 \right] = \\ &= q \frac{D_{pn}}{L_{pn}} p_{no} \left[\exp\left(\frac{V}{V_T}\right) - 1 \right] \end{aligned} \quad (3.16)$$

Ripetendo lo stesso ragionamento si ottiene la componente di diffusione degli elettroni

$$J_{np}(-W_p) = q \frac{D_{np}}{L_{np}} n_{po} \left[\exp\left(\frac{V}{V_T}\right) - 1 \right] \quad (3.17)$$

A questo punto vogliamo trovare un modo per calcolare la corrente totale che attraversa il nostro diodo. A tale scopo è possibile valutare le correnti ad una qualsiasi ascissa, dato che la corrente che attraversa il dispositivo è sempre la stessa ad ogni sezione.

Ad esempio, possiamo calcolare la corrente di lacune in $x = W_n$ dato che sappiamo che l'intensità del campo elettrico è circa pari a 0. Di conseguenza non ci aspettiamo di avere contributo di drift ma solo di diffusione, cioè

$$J_{pn}(W_n) \approx J_{pn,diff}(W_n)$$

Lo stesso non si può dire nel caso della componente di elettroni. La componente di drift $x = W_n$ non è più trascurabile. Questo perché, dato che ci troviamo nella zona N, il prodotto tra la concentrazione di elettroni (nominalmente alta) e l'intensità del campo elettrico, non è detto che sia trascurabile. Per cui risulterebbe

$$J_{nn}(W_n) = J_{nn,drift}(W_n) + J_{nn,diff}(W_n)$$

Per superare questo apparente problema possiamo notare che $J_{np}(-W_p)$ può essere approssimata con la sola componente diffusiva (nell'ipotesi di trascurare fenomeni di generazione e ricombinazione nella SCR). Per valutare tale contributo ipotizzeremo che $J_{nn}(W_n) = J_{np}(-W_p)$, cioè che gli elettroni diffusi dalla zona N verso la zona P non si sono ricombinati nell'attraversare la SCR (in sostanza si sta assumendo che lo spessore della SCR sia infinitesimo).

In tali ipotesi è possibile scrivere

$$\begin{aligned}
 J(W_n) &= J_{pn}(W_n) + J_{nn}(W_n) \approx \\
 &\approx J_{pn,diff}(W_n) + J_{nn}(W_n) \approx \\
 &\approx J_{pn,diff}(W_n) + J_{np}(-W_p) \approx \\
 &\approx J_{pn,diff}(W_n) + J_{np,diff}(-W_p) \approx \\
 &\approx q \frac{D_{np}}{L_{np}} n_{po} \left[\exp \left(\frac{V}{V_T} \right) - 1 \right] + q \frac{D_{pn}}{L_{pn}} p_{no} \left[\exp \left(\frac{V}{V_T} \right) - 1 \right] \quad (3.18) \\
 &\approx q n_i^2 \left[\frac{D_{np}}{L_{np} N_A} + \frac{D_{pn}}{L_{pn} N_D} \right] \left[\exp \left(\frac{V}{V_T} \right) - 1 \right] \\
 &\approx J_s \left[\exp \left(\frac{V}{V_T} \right) - 1 \right]
 \end{aligned}$$

dove

$$J_s = q n_i^2 \left[\frac{D_{np}}{L_{np} N_A} + \frac{D_{pn}}{L_{pn} N_D} \right]$$

rappresenta la densità di corrente di saturazione inversa.

3.3.2 Caso di giunzione corta

Vogliamo calcolare la corrente circolante nel caso di giunzione corta. Si parla di giunzione corta se sono verificate le seguenti condizioni

$$d_n \ll L_{pn} \quad (3.19)$$

$$d_p \ll L_{np} \quad (3.20)$$

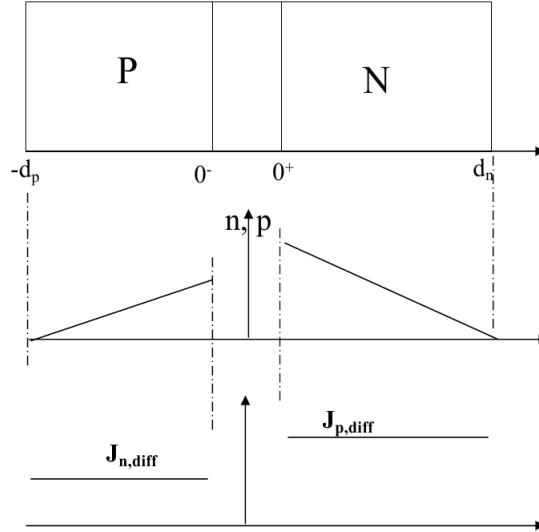


Figura 3.9: Geometria della struttura; andamento concentrazione dei minoritari ($n_p(x)$ a sinistra, $p_n(x)$ a destra); andamento delle correnti all'interno del dispositivo

Possiamo procedere nello stesso modo come visto al par. 3.3.1. Dunque la corrente totale è data da

$$\begin{aligned} J \approx & J_{pn,diff}(0^+) + J_{np,diff}(0^-) = \\ & q \frac{D_{pn}}{d_n} p_{no} \left[\exp \left(\frac{V}{V_T} \right) - 1 \right] + q \frac{D_{np}}{d_p} n_{po} \left[\exp \left(\frac{V}{V_T} \right) - 1 \right] = \\ & J_s \left[\exp \left(\frac{V}{V_T} \right) - 1 \right] \end{aligned} \quad (3.21)$$

dove J_s prende il nome di densità di corrente di saturazione inversa ed è un parametro che dipende dal tipo di diodo che si sta considerando, dalla temperatura ecc. Notiamo che risulta

$$J_{pn,diff}(0^+) = J_{pn,diff}(x), \quad x \in \text{regione N}$$

$$J_{np,diff}(0^-) = J_{np,diff}(x), \quad x \in \text{regione P}$$

questo è dovuto al fatto che le componenti di diffusione sono proporzionali al gradiente di concentrazione, il quale è costante per entrambe le componenti (l'andamento dei minoritari è lineare in x quindi la derivata è costante; vedi fig.3.9).

Dato che in generale è possibile scrivere

$$J_p(x) = J_{p,diff}(x) + J_{p,drift}(x)$$

e visto che la componente di diffusione è costante e pari al contributo che si ha in $x = 0^+$ allora ne risulta che la componente di drift deve essere nulla. Applicando

lo stesso ragionamento anche alla componente di corrente di elettroni si arriva a

$$J(x) = J_{np,diff}(x) + J_{pn,diff}(x) \quad (3.22)$$

Definiamo il rapporto di iniezione come il rapporto tra le lacune iniettate in $x = 0^+$ e gli elettroni iniettati in $x = 0^-$, formalmente

$$\gamma = \frac{J_{pn}(0^+)}{J_{np}(0^-)}$$

mentre definiamo l'efficienza di iniezione come segue

$$\eta_{inj} = \frac{J_{pn}(0^+)}{J_{pn}(0^+) + J_{np}(0^-)}$$

Entrambi i parametri sono usati per comprendere quanta della corrente è dovuta all'iniezione di lacune e quanta all'iniezione di elettroni.

3.3.3 Corrente di ricombinazione

Nel calcolo della corrente effettuato nel paragrafo 3.3.1 abbiamo supposto che la componente $J_{nn}(0^+) = J_{np}(0^-)$, cioè in sostanza abbiamo immaginato che non ci fosse ricombinazione all'interno della SCR.

Per essere più accurati nel calcolo, è necessario tenere in conto dell'aliquota di corrente di ricombinazione. Per quanto detto è evidente che risulta

$$J_{nn}(0^+) > J_{np}(0^-)$$

ed inoltre

$$J_{nn}(0^+) = J_{np}(0^-) + J_R$$

dove J_R rappresenta la corrente persa per ricombinazione all'interno della SCR.

La corrente di ricombinazione è calcolata integrando la velocità netta di ricombinazione U lungo la SCR

$$J_R = \int_{0^-}^{0^+} qU dx \quad (3.23)$$

dove U è dato dal modello SRH la cui espressione viene riportata nuovamente per comodità

$$U = \frac{pn - n_i^2}{\tau_{po} \left[n + n_i \exp \left(\frac{E_t - E_i}{kT} \right) \right] + \tau_{no} \left[p + n_i \exp \left(\frac{E_i - E_t}{kT} \right) \right]} \quad (3.24)$$

Nel calcolo di J_R faremo alcune approssimazioni circa l'espressione di U . In particolare supporremo che:

- i) Il prodotto $np \gg n_i^2$; è facile mostrare che questa relazione è vera tramite la legge della giunzione $pn = n_i^2 e^{V/V_T}$;

- ii) Il livello delle trappole E_t coincide con il livello di Fermi intrinseco E_i ;
- iii) $\tau_{po} = \tau_{no} = \tau_o$;

Con tali approssimazioni si ottiene

$$U = \frac{pn}{\tau_o(n+p)}$$

è possibile dimostrare che $U = U_{\max}$ quando $n = p$. In tal caso si ottiene

$$U = \frac{p^2}{2p\tau_o} = \frac{p}{2\tau_o}$$

A questo punto utilizzando l'espressione di U appena ricavata in (3.23) si ottiene

$$J_R = \int_{0^-}^{0^+} q \frac{p}{2\tau_o} dx = q \frac{p}{2\tau_o} W \quad (3.25)$$

dove si è assunto che $p(x) = p$ (costante) lungo la regione di svuotamento e $W = 0^+ - 0^-$ è lo spessore della SCR. A questo punto per esprimere $J_R = J_R(V)$ basta ricordarsi della legge della giunzione e dell'assunzione che è stata fatta per massimizzare il valore di U . Per cui

$$\begin{aligned} pn &= n_i^2 \exp\left(\frac{V}{V_T}\right) \stackrel{p=n}{=} \\ p^2 &= n_i^2 \exp\left(\frac{V}{V_T}\right) \\ p &= n_i \exp\left(\frac{V}{2V_T}\right) \end{aligned} \quad (3.26)$$

Sostituendo 3.26 in 3.25 si arriva a

$$J_R = J_R(V) = q \frac{W}{2\tau_o} n_i \exp\left(\frac{V}{2V_T}\right) \quad (3.27)$$

Alcune osservazioni sull'espressione di $J_R(V)$

- i) Dipende da n_i che è funzione della temperatura. Dunque anche J_R aumenterà con la temperatura;
- ii) Il termine esponenziale presenta un 2 a denominatore \rightarrow l'aumento con la temperatura sarà più lento.

In particolare il termine esponenziale può essere riscritto come segue

$$\exp\left(\frac{V}{\eta V_T}\right)$$

dove η prende il nome di coefficiente di idealità. Se prevale la ricombinazione allora $\eta \rightarrow 2$ mentre se prevale la diffusione $\eta \rightarrow 1$. Dunque, in base al valore che il coefficiente di idealità assume si può comprendere in che regione di funzionamento si trova il diodo, come esemplificato dal grafico di Fig.3.10 in cui

si vede chiaramente un cambio di pendenza della corrente quando si passa da $\eta = 2$ a $\eta = 1$. Infine, è utile notare che sono possibili regimi in cui $\eta = 1.5$, cioè è presente sia diffusione che ricombinazione.

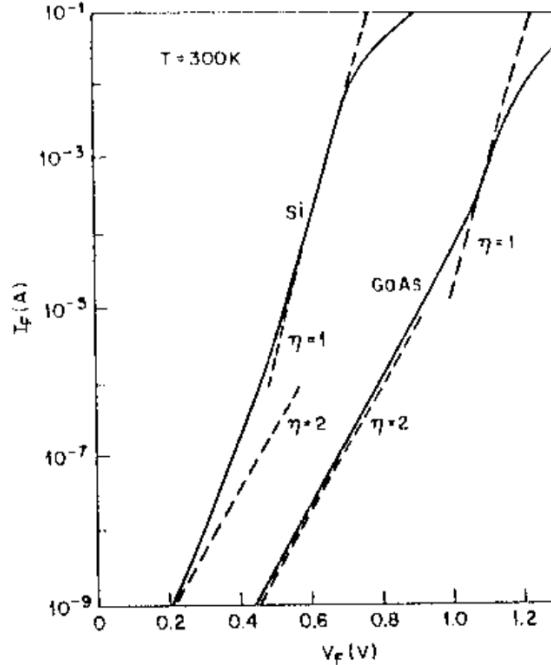


Figura 3.10: Andamento della corrente diretta I_F (in scala logaritmica) in funzione della tensione di polarizzazione diretta V_F (scala lineare). Sono evidenziati i diversi valori di η , corrispondenti a diversi regimi di funzionamento (ricombinazione o diffusione)

Ricapitolando la corrente totale J_T sarà data dalla somma della corrente di diffusione e della corrente di ricombinazione, per cui risulta

$$J = J_s \underbrace{\left[\exp\left(\frac{V}{\eta V_T}\right) - 1 \right]}_{\eta=1} + q \frac{W}{2\tau_0} \underbrace{\left[\exp\left(\frac{V}{\eta V_T}\right) - 1 \right]}_{\eta=2} = J_s \left[\exp\left(\frac{V}{V_T}\right) - 1 \right] + J_{R0} \left[\exp\left(\frac{V}{2V_T}\right) - 1 \right] \quad (3.28)$$

3.3.4 Alti livelli di iniezione

Supponiamo di avere un diodo polarizzato direttamente tramite un generatore di tensione costante V come evidenziato in Fig.3.11. Aumentando il valore di V la concentrazione di lacune minoritarie p_n inizia a crescere fino al punto in cui risulta

$$p_n(0^+) = n_n$$

Per valori superiori di tensione la concentrazione di lacune supera quella di elettroni; di fatti le lacune non rappresentano più i portatori minoritari nella zona N; in questo caso si parla di **alti livelli di iniezione**.

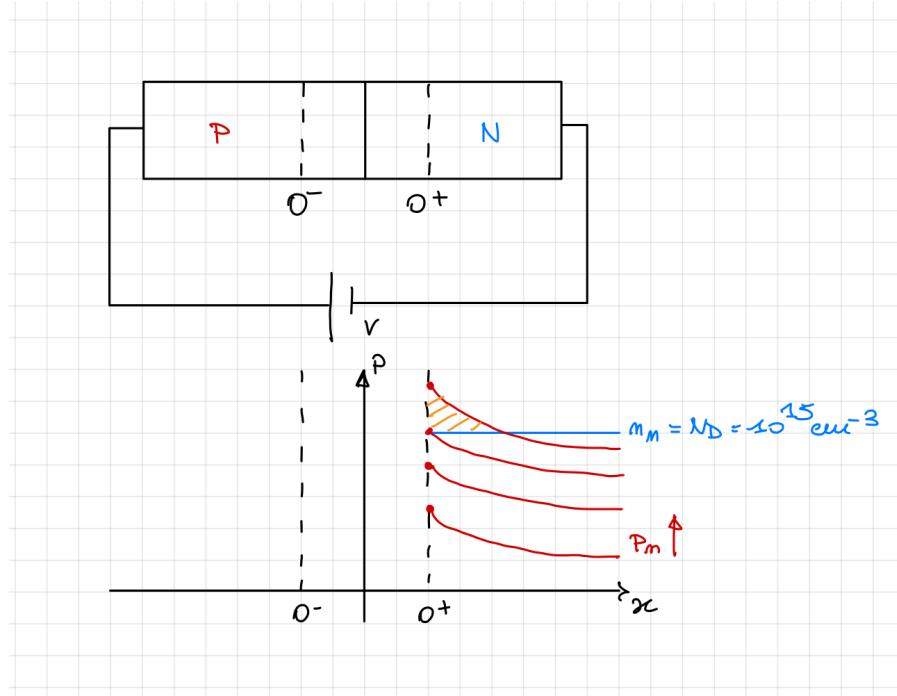


Figura 3.11: Diodo polarizzato direttamente (in alto); andamento delle lacune minoritarie nella zona N, al variare della tensione di polarizzazione diretta (in basso). In giallo è evidenziata la zona ad alti livelli di iniezione.

Notiamo che per $x > 0^+$ ci troviamo nella zona neutra del diodo, dove vale la neutralità di carica (la carica netta deve essere nulla)

$$\rho = q(p_p - n_p + N_D - N_A) = 0 \quad (3.29)$$

Applicando l'eq.3.29 all'interno della regione ad alti livelli di iniezione, risulta

$$\begin{aligned} \rho &= q(p_n - n_n + N_D - N_A) = 0 \\ &= q(p_n - n_n + N_D) = 0 \\ &= q(p_n - n_n) = 0 \Leftrightarrow p_n = n_n \end{aligned} \quad (3.30)$$

dove si è considerato il fatto che $N_A = 0$ dato che ci si trova nella regione N e che $p_n \gg N_D$ dato che siamo agli alti livelli di iniezione. In definitiva, nella regione agli alti livelli di iniezione la concentrazione di elettroni aumenta e si porta al valore delle lacune iniettate al fine di mantenere la neutralità di carica; in tale regione il drogante è come se non fosse presente.

Si vuole calcolare la componente di corrente agli alti livelli di iniezione. Si procede in maniera analoga a quanto svolto nel paragrafo §3.3.3. Tale corrente

viene trattata come una corrente di ricombinazione e pertanto la sua espressione viene ottenuta integrando la velocità di ricombinazione netta all'interno della zona ad alti livelli di iniezione.

Detta $x = L$ l'ascissa in corrispondenza della quale termina la regione ad alti livelli di iniezione, risulta

$$J_R = \int_{0^+}^L qUdx \quad (3.31)$$

dove U è dato dall'eq.3.24. Ipotizzando che il livello delle trappole E_t sia proprio pari a E_i (i centri G-R hanno massima efficacia; *worst-case* nel calcolo di J_R) si ottiene

$$\begin{aligned} U &= \frac{p_n n_n - n_i^2}{\tau_{po}(n_n + n_i) + \tau_{no}(p_n + n_i)} \\ &\approx \frac{p_n n_n}{\tau_{po} n_n + \tau_{no} p_n} \\ &\approx \frac{p_n^2}{p_n (\tau_{po} + \tau_{no})} \end{aligned} \quad (3.32)$$

dove si è assunto che

- i) Il prodotto $p_n n_n \gg n_i^2$ dovuto al fatto che si è agli alti livelli di iniezione;
- ii) Per lo stesso motivo del punto i) si assume che $p_n \gg n_i$ e $n_n \gg n_i$;
- iii) $p_n = n_n$ dalle considerazioni relative all'eq.3.29 (la zona deve essere elettricamente neutra)

Sostituendo nell'equazione di continuità (in caso stazionario) delle lacune l'espressione della corrente di diffusione si arriva alla seguente equazione differenziale

$$D_{pn} \frac{d^2 p_n}{dx^2} - \frac{p_n}{2\tau_{po}} = 0 \quad (3.33)$$

dove si è assunto per semplicità che $\tau_{po} \approx \tau_{no}$.

L'integrale generale è

$$p_n(x) = p_n(0^+) \exp \left[-\frac{x}{\sqrt{2}L_{pn}} \right] \quad (3.34)$$

A questo punto è possibile calcolare la componente di diffusione dato che ora il profilo di concentrazione è noto. Pertanto risulta

$$J_{pn}(0^+) = -qD_{pn} \frac{dp_n}{dx} \Big|_{x=0^+} = q \frac{D_{pn}}{\sqrt{2}L_{pn}} p_n(0^+) \quad (3.35)$$

Dato che agli alti livelli di iniezione risulta $n_n = p_n$, dalla legge della giunzione si ottiene

$$p_n(0^+)n_n(0^+) = p_n^2(0^+) = n_i^2 \exp\left[\frac{V}{V_T}\right] \Leftrightarrow p_n(0^+) = n_i \exp\left[\frac{V}{2V_T}\right] \quad (3.36)$$

e sostituendo l'espressione appena trovata nell'eq.3.35 si ottiene l'espressione finale della corrente di diffusione in $x = 0^+$

$$J_{pn}(0^+) = q \frac{D_{pn}}{\sqrt{2}L_{pn}} n_i \exp\left[\frac{V}{2V_T}\right] \quad (3.37)$$

dove il fattore di idealità $\eta = 2$ in questo caso. Quanto visto può essere condensato nel grafico di Fig.3.12 che mostra come per tensioni di polarizzazioni tali da trovarsi in condizioni di alti livelli di iniezione, il fattore di idealità $\eta \rightarrow 2$.

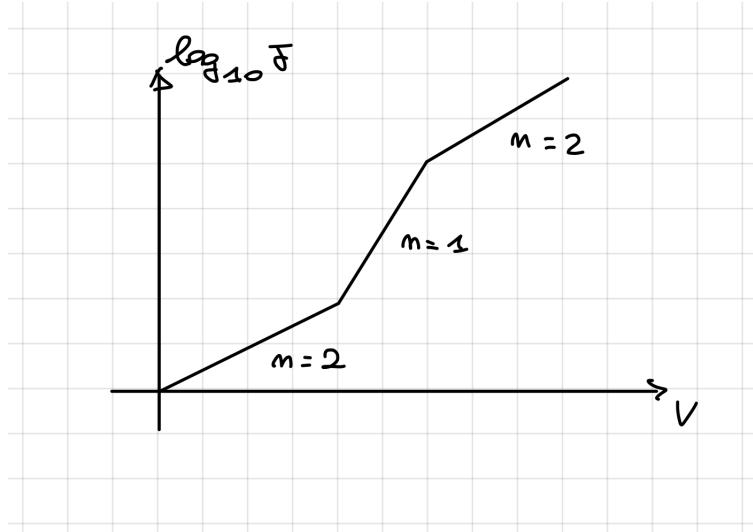


Figura 3.12: Andamento in scala semilogaritmica della densità di corrente J

Prima di procedere facciamo un'osservazione relativa ai calcoli appena svolti. A rigore avremmo dovuto integrare l'espressione di U per ottenere la corrente di ricombinazione, sostituendo l'espressione ricavata nell'eq.3.34 in (3.32) per poi procedere con l'integrazione. Dato che questo procedimento è più lungo e laborioso (anche se a volte si rende necessario), si è preferito calcolare la corrente tramite l'espressione (3.35).

3.3.5 Corrente in regime resistivo (ohmico)

Supponiamo di avere il diodo rappresentato in Fig.3.13, realizzato da una giunzione $P^+ - N$ dove la regione N presenta una lunghezza molto maggiore rispetto alla lunghezza di diffusione delle lacune (*i.e.* è un campione "lungo"). In tal caso la corrente di diffusione di lacune $J_{pn} \rightarrow 0$ per $x > 3L_{pn}$. Per tale motivo possiamo affermare che il "vero" diodo termina in $x = L$, dato che la restante regione N si comporta essenzialmente come un resistore.

Per $x > L$ la concentrazione di elettroni è pari a $n_n = N_D$ e dunque vi è solo componente di drift data da

$$J_{nn,drift} = q\mu_n N_D E = \sigma E$$

che altro non è che la legge di Ohm in forma locale. Per tale motivo il regime di conduzione associato alla regione è di tipo resistivo e quindi è modellato come un resistore.

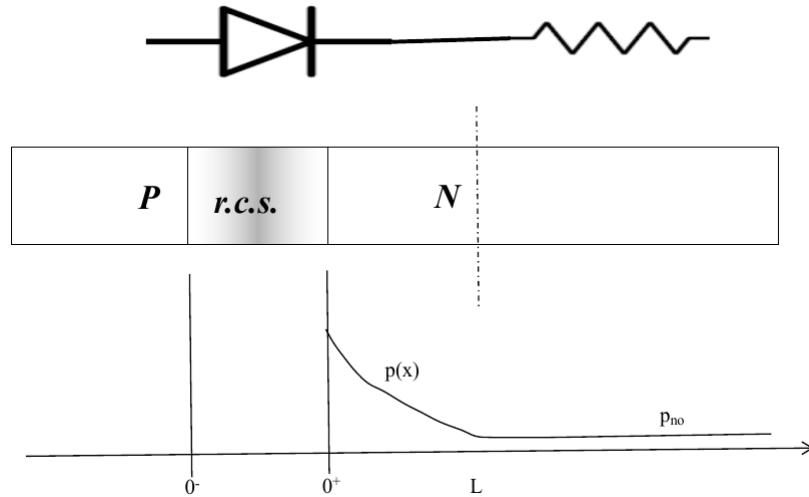


Figura 3.13: Struttura del diodo (in alto); andamento delle lacune nella zona N (in basso)

Da un punto di vista circuitale è possibile includere gli effetti resistivi nell'equazione del diodo ideale. Consideriamo il circuito di Fig.3.14 dove V rappresenta la tensione di polarizzazione applicata dall'esterno. E' facile notare che $V_d = V - RI_D$, dunque sostituendo tale espressione nell'equazione del diodo ideale, si arriva alla formula presente in Fig.3.14.

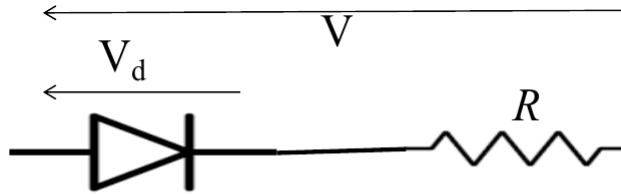
A partire da

$$I_D = I_0 \left[\exp \left(\frac{V - RI_D}{\eta V_T} \right) - 1 \right]$$

se trascuriamo l'unità e risolviamo rispetto a V , otteniamo

$$V = \eta V_T \log \left(\frac{I_D}{I_0} \right) + I_D R \quad (3.38)$$

Quindi ad elevate correnti (V sufficientemente "alta") il comportamento ohmico (lineare) prevale sull'andamento logaritmico. Rappresentando l'eq.3.38 in scala lineare, la caratteristica $I - V$ è una linea retta.



$$I_D = I_o \left(e^{\frac{V_d}{\eta V_T}} - 1 \right) = I_o \left(e^{\frac{V - R \cdot I_D}{\eta V_T}} - 1 \right)$$

Figura 3.14: Circuito equivalente del diodo composto da un diodo ideale ed un resistore in serie

3.3.6 Esempio: determinazione coefficiente di idealità η

Tramite delle misure sperimentali è possibile determinare il coefficiente di idealità di un diodo, in modo da poter comprendere in che regione di funzionamento sta lavorando.

A partire dal grafico $I - V$ si scelgono due correnti I_1 e I_2 tali che il loro rapporto $I_1/I_2 = 10$. Conoscendo le espressioni delle due correnti

$$I_1 = I_0 \exp \left[\frac{V_1}{\eta V_T} \right] \quad I_2 = I_0 \exp \left[\frac{V_2}{\eta V_T} \right]$$

(tralasciando l'unità rispetto all'esponenziale) ed effettuandone il rapporto si giunge a

$$\frac{I_1}{I_2} = \exp \left[\frac{V_1 - V_2}{\eta V_T} \right] = 10$$

A questo punto basta applicare il logaritmo ad ambo i membri e risolvere rispetto ad η ottenendo infine

$$2.3 = \frac{V_1 - V_2}{\eta V_T} \Rightarrow \eta = \frac{V_1 - V_2}{0.06} \Big|_{V_T(T=300K)} \quad (3.39)$$

3.4 Charge control model di un diodo

3.4.1 Capacità di diffusione

Consideriamo l'andamento dei minoritari in una giunzione P-N (polarizzata direttamente), riportati in Fig.3.15. Riferendoci alla regione N, l'andamento dei minoritari (nel caso di zona lunga) è noto ed è dato a

$$p_n(x) = p_{no} + [p_n(0) - p_{no}] \exp \left(-\frac{x}{L_{pn}} \right)$$

e, come sappiamo, da luogo ad una corrente di diffusione diversa da zero.

Ricordiamo che le lacune, così come gli elettroni, sono portatori di carica: positivi nel caso delle lacune e negativi nel caso degli elettroni. Dunque, integrando l'andamento degli eccessi di minoritari, si ottiene la carica associata a tali eccessi. Nel nostro caso siamo interessati a valutare l'espressione di Q_{pn} , che è data da

$$Q_{pn} = \int_0^\infty q A p'_n(0) \exp\left[-\frac{x}{L_{pn}}\right] dx = q A L_p p'_n(0) \quad (3.40)$$

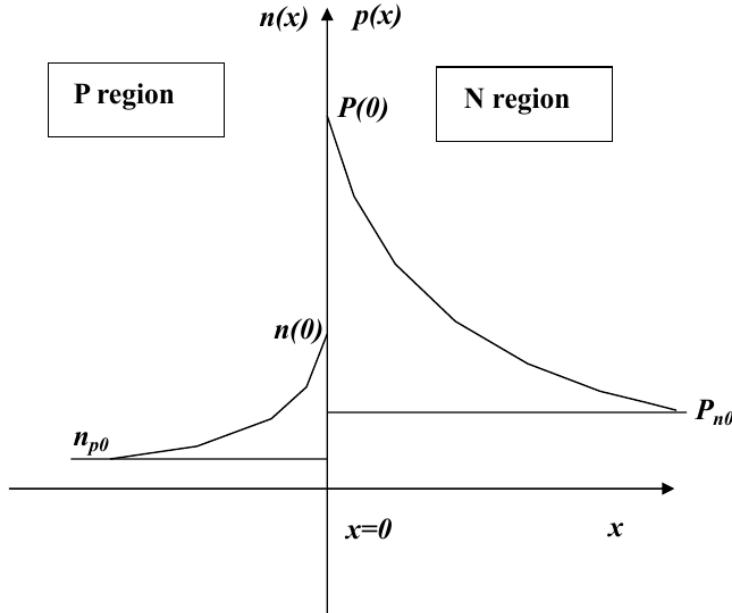


Figura 3.15: Andamento dei minoritari in una giunzione P-N

Di conseguenza la carica Q_{pn} è associata ad un accumulo di lacune nella zona N. Cosa accade se aumenta la ddp esterna? Aumentando la tensione di polarizzazione esterna, aumenta anche l'accumulo di lacune nella zona N e dunque ne consegue un aumento di Q_{pn} . Questo meccanismo ricorda il funzionamento di un condensatore; la carica di un condensatore corrisponde alla variazione di carica dQ nella variazione di tensione dV .

Richiamiamo l'espressione della corrente di diffusione delle lacune nella zona N

$$I_{pn,diff}(0) = q A \frac{D_{pn}}{L_{pn}} p'_n(0) \quad (3.41)$$

L'obiettivo è manipolare l'espressione in (3.40) per far comparire la corrente di diffusione. Dunque,

$$\begin{aligned}
Q_{pn} &= qAL_{pn}p'_n(0) = qAL_{pn}p'_n(0)\frac{L_{pn}}{L_{pn}} \\
&= qA \overbrace{\frac{L_{pn}^2}{L_{pn}}}^{D_{pn}\tau_{pn}} p'_n(0) \\
&= I_{pn,diff} \cdot \tau_{pn}
\end{aligned} \tag{3.42}$$

da cui si ottiene che

$$I_{pn,diff} = \frac{Q_{pn}}{\tau_{pn}} \tag{3.43}$$

Ovviamente si può scrivere la stessa relazione per quanto riguarda la corrente di elettroni, ottenendo in maniera del tutto speculare l'equazione

$$I_{np,diff} = \frac{Q_{np}}{\tau_{np}} \tag{3.44}$$

Le equazioni (3.43) - (3.44) rappresentano il *charge control model* del diodo. Questo modello consente di descrivere la corrente circolante nel diodo in funzione dell'iniezione dei minoritari e risulta molto utile nel descrivere i fenomeni transitori in un diodo.

La presenza di questa carica legata agli eccessi di minoritari, è associata all'esistenza di una capacità, detta di diffusione. Dunque è possibile valutare l'espressione della capacità di diffusione tramite la seguente

$$C_D = \frac{dQ_{pn}}{dV} \tag{3.45}$$

per cui sostituendo l'espressione di Q_{pn} ricavata in (3.42), all'interno dell'equazione (3.45), si arriva a

$$\begin{aligned}
C_D &= \frac{dQ_{pn}}{dV} = \frac{d(I_{pn,diff} \cdot \tau_{pn})}{dV} = \tau_{pn} \frac{dI_{pn,diff}}{dV} = \\
&= \tau_{pn} \frac{d}{dV} \left\{ I_0 \exp \left[\frac{V}{\eta V_T} \right] \right\} = \\
&= \tau_{pn} \frac{I_0}{\eta V_T} \exp \left[\frac{V}{\eta V_T} \right] = \\
&= \tau_{pn} \frac{I_{pn,diff}}{\eta V_T}
\end{aligned} \tag{3.46}$$

L'espressione appena trovata ci dice che la capacità di diffusione è direttamente proporzionale alla corrente di diffusione e al tempo di vita medio. Dunque, in polarizzazione inversa la capacità di diffusione sarà nulla dato che $I_{diff} \approx 0$. Tali considerazioni torneranno utili nell'analisi in transitorio dei dispositivi elettronici.

3.4.2 Capacità di giunzione

Questo contributo capacitivo è dovuto al fatto che aumentando la tensione di polarizzazione inversa di una giunzione P-N, lo spessore della regione di svuotamento W aumenta (a parità dei livelli di droggaggio) secondo la relazione

$$W = \sqrt{\frac{2\epsilon_{si}}{q}(V_{bi} + V) \left(\frac{1}{N_D} + \frac{1}{N_A} \right)} \quad (3.47)$$

e di conseguenza anche la carica presente nella SCR aumenta. Se aumenta la carica presente nella SCR allora anche il campo elettrico deve aumentare, in virtù del fatto che

$$V_{bi} + V = - \int_{-W_p}^{W_n} E(x) dx$$

Inoltre l'equazione di Poisson impone che la pendenza del campo elettrico sia fissa e dipenda solo dal livello di droggaggio, cioè

$$\frac{dE}{dx} = \frac{\rho}{\epsilon_{si}} \quad (3.48)$$

Dunque ad una variazione di tensione corrisponde una variazione di carica associata alla regione di svuotamento (*i.e.* si ha un effetto capacitivo). Tale effetto viene modellato tramite una capacità detta di giunzione ed indicata con

$$C_J = \frac{dQ}{dV} \quad (3.49)$$

Partiamo col calcolare il termine dQ . Indichiamo con dE la variazione del campo elettrico dovuta all'aumento della tensione di polarizzazione inversa (vedi Fig.3.16). Manipolando l'eq.3.48 è possibile scrivere

$$dE = \frac{\rho dx}{\epsilon_{si}} = \frac{dQ}{\epsilon_{si}} \Leftrightarrow dQ = \epsilon_{si} dE \quad (3.50)$$

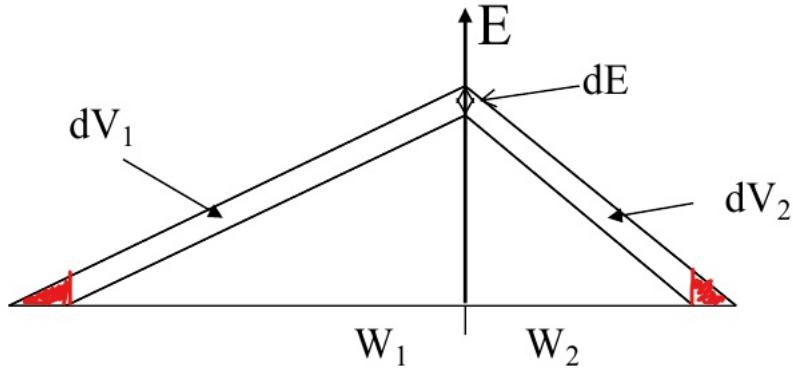


Figura 3.16: Andamento del campo elettrico nel caso in cui si aumenta la tensione di polarizzazione inversa $V \rightarrow V + dV$

Osserviamo che se V è sufficientemente grande (in modulo) allora è possibile effettuare la seguente approssimazione

$$V_{bi} + V \approx V = - \int_{-W_p}^{W_n} E(x) dx$$

per cui se la tensione di polarizzazione viene aumentata di una quantità pari a dV , il campo elettrico trasla di una quantità pari a dE .

Con riferimento alla Fig.3.16 dV è dato dalla somma di dV_1 e dV_2 i quali sono calcolati trascurando le aree evidenziate in rosso. Pertanto

$$dV = dV_1 + dV_2 \approx W_1 dE + W_2 dE = W dE = \frac{W}{\epsilon_{si}} dQ \quad (3.51)$$

A questo punto usando le espressioni ricavate in (3.50) - (3.51) e sostituendole in (3.49) si ottiene

$$C_J = \frac{dQ}{\frac{W}{\epsilon_{si}} dQ} = \frac{\epsilon_{si}}{W} \quad (3.52)$$

dove ϵ_{si}/W è la capacità di un condensatore a piatti piani e paralleli con spessore del dielettrico pari a W . Notiamo infine che

- i) In polarizzazione diretta $C_D \gg C_J$
- ii) In polarizzazione inversa $C_D \ll C_J$

3.5 Giunzione P-N inversamente polarizzata

In polarizzazione inversa non avviene più l'注射 of portatori; in questa condizione la barriera di potenziale aumenta all'aumentare della tensione inversa applicata. Se la barriera di potenziale aumenta allora anche il modulo del campo di built-in deve aumentare (sono aspetti diversi dello stesso fenomeno).

In tal caso i portatori minoritari (elettroni nella zona P e lacune nella zona N) sono accelerate dal campo elettrico. Dunque, ogni lacuna che raggiunge il bordo destro della SCR (*i.e.* $x = 0^+$) viene spinta dalla zona N alla zona P. Lo stesso accade per gli elettroni che raggiungono il bordo sinistro della SCR (*i.e.* $x = 0^-$), i quali sono spinti dalla zona P alla zona N. Per tale motivo la concentrazione di minoritari in ambo le zone tende a zero ai bordi della regione di svuotamento, come esemplificato dalla Fig.3.17

L'andamento degli eccessi di minoritari può essere ricavato mediante lo stesso approccio utilizzato nel caso di polarizzazione diretta. Ad esempio, tramite l'equazione di continuità delle lacune si arriva ad una soluzione che è formalmente uguale a quella ottenuta nel caso di polarizzazione diretta. Difatti, l'andamento degli eccessi di minoritari è descritto da

$$p'_n(x) = A \exp\left(-\frac{x}{L_{pn}}\right) + B \exp\left(\frac{x}{L_{pn}}\right) \quad (3.53)$$

ma ciò che cambia sono le condizioni al contorno, che in questo caso sono le seguenti

$$\begin{cases} p'_n(0^+) = -p_{no} \\ p'_n(\infty) = 0 \end{cases}$$

Imponendo le condizioni al contorno nell'eq.(3.53) si ricavano i valori delle costanti A e B , ottenendo

$$\begin{cases} A = -p_{no} \\ B = 0 \end{cases}$$

Sostituendo i valori appena trovati nell'eq.(3.53) si arriva a

$$p'_n(x) = p_n(x) - p_{no} = p_{no} \left[1 - \exp \left(-\frac{x}{L_{pn}} \right) \right] \quad (3.54)$$

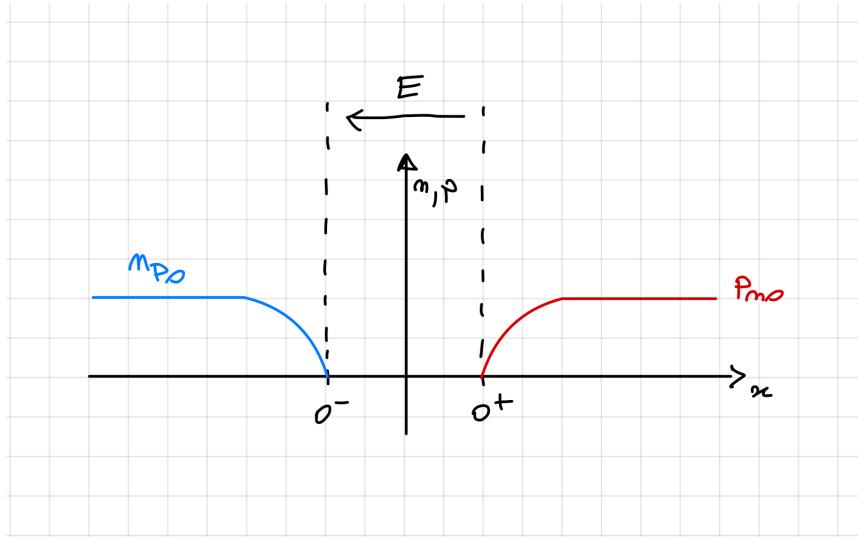


Figura 3.17: Andamento dei minoritari nelle zone N e P in caso di polarizzazione inversa

Avendo l'andamento dei minoritari è possibile calcolare la corrente di diffusione (il gradiente dei minoritari presenta una curvatura visibile in Fig.3.17). Infine si ottiene la corrente di saturazione inversa data da

$$J_s = -q \left(\frac{D_{np}}{L_{np}} n_{po} + \frac{D_{pn}}{L_{pn}} p_{no} \right) \quad (3.55)$$

Notiamo che questa espressione si può ottenere anche a partire dall'equazione (3.21); in polarizzazione inversa i termini esponenziali sono trascurabili rispetto all'unità. Con semplici passaggi algebrici si giunge alla stessa soluzione. In sostanza il modello (ideale) *drift-diffusion* ci consente di calcolare la

corrente in qualsiasi condizione di polarizzazione.

Facciamo alcune osservazioni

- i) La corrente di saturazione inversa nasce dalla debole iniezioni di maggioritari attraverso la SRC;
- ii) La corrente di saturazione inversa J_s rimane costante all'aumentare della tensione di polarizzazione inversa, dato che quest'ultima dipende dalle concentrazioni di minoritari;
- iii) Dato che $J_s = J_s(n_{po}, p_{no})$ si comprende come tale termine sia molto sensibile a variazioni di temperatura ($p_{no} = n_i^2/N_D$, $n_{po} = n_i^2/N_A$ entrambe dipendono da n_i la quale cresce molto velocemente all'aumentare della temperatura)

Per completare la trattazione bisogna tenere in conto della generazione di coppie elettrone-lacune anche all'interno della regione di svuotamento. Tale componente di corrente si può ottenere integrando la velocità di ricombinazione netta U all'interno della SCR. Si assume che

- i) $E_t = E_i$;
- ii) $p, n \ll n_i$ dato che ci si trova nella SCR

per cui l'espressione di U si riduce a

$$U \approx -\frac{n_i}{\tau_{po} + \tau_{no}}$$

Integrando tale espressione si ottiene

$$J_{s,SCR} = q \int_0^W U dx = -q \frac{n_i}{\tau_{po} + \tau_{no}} W \quad (3.56)$$

L'espressione trovata ci dice che $J_{s,SCR}$ è direttamente proporzionale a n_i e W e dunque dipende sia dalla tensione di polarizzazione inversa applicata (W aumenta all'aumentare della ddp di polarizzazione inversa) che dalla temperatura reticolare.

3.6 Comportamento in transitorio

Siamo interessati a studiare il comportamento in transitorio di un diodo; *i.e.* transizioni on-off e off-on.

3.6.1 Transizione off-on

Per lo studio in transitorio off-on ci riferiamo allo schema riportato di seguito

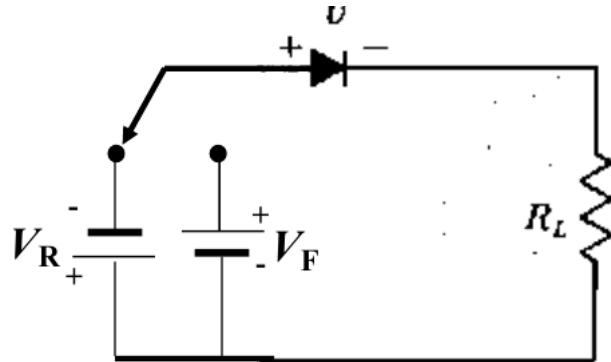


Figura 3.18: Schema per studiare il comportamento in transitorio del diodo

Il diodo è polarizzato inversamente e la tensione che appare ai suoi capi è proprio pari a $-V_R$ dato che non vi è alcuna caduta di tensione nel circuito. Ad un certo istante di tempo $t = t_0$ lo switch commuta e seleziona il generatore di tensione V_F per cui il diodo passa dall'essere interdetto allo stato di conduzione diretta. Ricordiamo che nel *charge control model* abbiamo visto che il diodo presenta due capacità (collegate tra loro in parallelo) C_D e C_j , per cui l'andamento in transitorio sarà influenzato da tali contributi capacitivi.

Per $t \leq t_0$ si era in polarizzazione inversa, per cui è lecito immaginare che $C_j \gg C_D$ e dunque tale contributo domina l'andamento della tensione ai capi del diodo, come visibile in Fig.3.19.

La tensione ai capi del diodo si assesta al valore V_γ (tensione di soglia) dopo un certo intervallo di tempo. Indichiamo con t_{fr} -*forward recovery time* l'intervallo di tempo necessario affinché la tensione ai capi del diodo passi dal valore $-0.9V_R$ al valore $0.9V_\gamma$. Nella maggior parte delle applicazioni pratiche t_{fr} è tipicamente trascurabile.

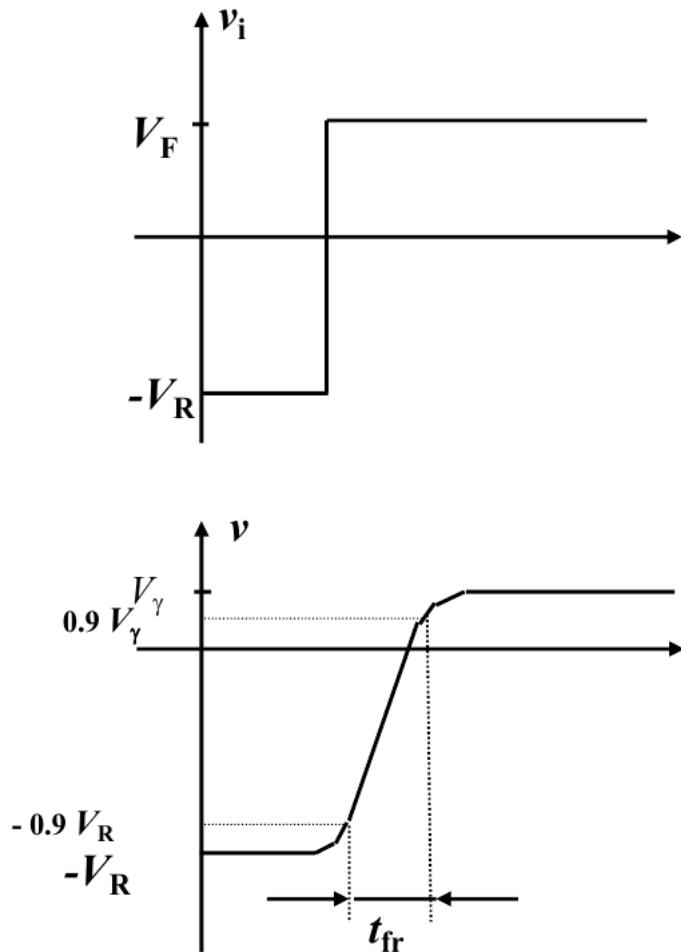


Figura 3.19: Andamento della tensione nel tempo ai capi dello switch (in alto); andamento della tensione nel tempo ai capi del diodo (in basso)

Ovviamente durante l'intervallo di tempo in cui il diodo è polarizzato direttamente si ha un'iniezione di portatori. Con riferimento alle lacune iniettate nella zona N, si ha una situazione in cui l'andamento dei minoritari (visibile in Fig.3.20) aumenta nel tempo fino a stabilizzarsi al valore finale (relativo alla corrente diretta che scorre nel diodo, data da

$$I_F = \frac{V_F - V_\gamma}{R_L} \quad (3.57)$$

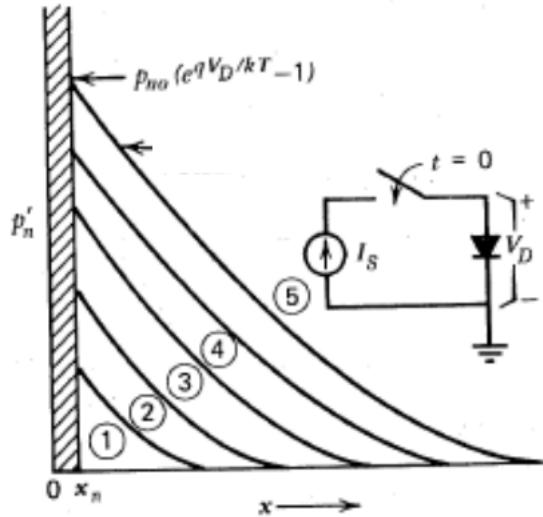


Figura 3.20: Andamento delle lacune iniettate nel tempo (minoritarie nella zona N)

3.6.2 Transizione on-off

Con riferimento alla Fig.3.21, supponiamo che ad un istante di tempo $t = t_1$ lo switch commuti, collegando il diodo al generatore di tensione $-V_R$. In questo caso la capacità parassita che governa l'evoluzione nel tempo della tensione ai capi del diodo, è evidentemente $C_D \gg C_J$.

Per $t \leq t_1$ la tensione ai capi del diodo rimane costante e pari a V_γ . Per $t > t_1$ la tensione sul diodo dovrebbe idealmente assumere il valore $-V_R$ ma la capacità di diffusione C_D (carica al valore V_γ) si oppone a tale variazione (come visibile in Fig.3.21). La tensione ai capi del diodo viene mantenuta pari a V_γ finché C_D non si scarica.

Si può visualizzare lo stesso fenomeno osservando la corrente circolante nel circuito. Per $t \leq t_1$ circola una corrente data dall'eq.(3.57) mentre per $t > t_1$ dovrebbe, in linea di principio, essere pari a zero (diodo polarizzato inversamente). La presenza della capacità di diffusione crea un percorso alternativo, chiudendo la maglia e consentendo la circolazione di una corrente

$$I = -\frac{V_R + V_\gamma}{R_L}$$

(in questa analisi il diodo è considerato ideale). Il verso della corrente (negativa) è tale da scaricare la capacità di diffusione C_D , la quale si scarica completamente all'istante di tempo t_2 . L'intervallo di tempo $t_2 - t_1 = t_s$ prende il nome di *storage time*.

In $t = t_s$ risulta $v_{CD}(t_s) = 0$ per cui tale capacità non è più in grado di opporsi alla variazione di tensione ai capi del diodo; infatti per $t_s + \epsilon$ la

tensione ai capi del diodo raggiunge 0V. Da questo istante in poi il diodo inizia a contropolarizzarsi e C_J inizia a dominare la dinamica del diodo.

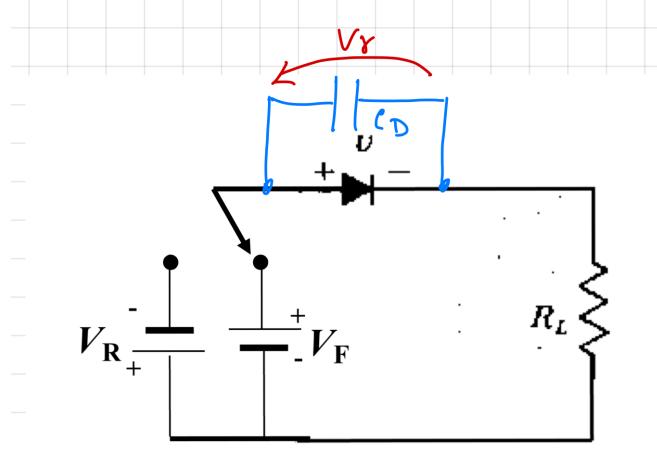


Figura 3.21: Circuito in cui è evidenziata la presenza della capacità di diffusione C_D che si oppone alla variazione di tensione sul diodo, imposta da V_R

Il transitorio si esaurisce quando C_J si carica al valore $-V_R$; l'andamento della tensione nel tempo è quello relativo alla carica di un circuito RC, governato da una costante di tempo $\tau = R_L C_J$. L'intervallo di tempo $t_t = t_3 - t_2$, necessario affinché C_J si carichi, prende il nome di *transient time*, mentre $t_2 + t_3$ prende il nome di *reverse recovery time* e viene indicato con t_{rr} .

Tipicamente nei diodi (soprattutto per quelli di potenza) risulta $t_s \gg t_t$ e questo porta ovviamente dei problemi nel funzionamento in reverse. Quando un diodo viene polarizzato inversamente ci si aspetta che la corrente circolante sia nulla, mentre per quanto visto non solo la corrente non si annulla ma continua a circolare nel circuito in verso opposto, per un tempo pari a t_s .

La corrente circolante durante il turn-off è sostenuta dall'eccesso di portatori minoritari iniettati (lacune nella zona N ed elettroni nella zona P). Quando si applica una tensione contropolarizzante, l'iniezione di minoritari non ha più luogo e la corrente tende asintoticamente a zero come visto in Fig.3.22. Osserviamo che C_D è dovuta ad un eccesso di portatori minoritari nelle zone N e P, per cui rimuovere tali portatori equivale a scaricare tale capacità.

Ci sono due meccanismi attraverso i quali i portatori minoritari in eccesso "scompaiono"

- i) I portatori minoritari si ricombinano;
- ii) Il campo elettrico che insiste ai capi della SCR (rafforzato dall'applicazione di una tensione inversa) spinge i minoritari (li estraie) dalle regioni P ed N

L'andamento delle lacune minoritarie nella zona N è rappresentato in Fig.3.23, dove è possibile notare che la pendenza del profilo di concentrazione è maggiore

(in modulo) nei pressi della SCR (*i.e.* $x = x_n$) rispetto alla zona *bulk* (*i.e.* $x \gg x_n$) dato che le lacune risentono del forte campo elettrico locale, che le spinge a migrare verso la zona P.

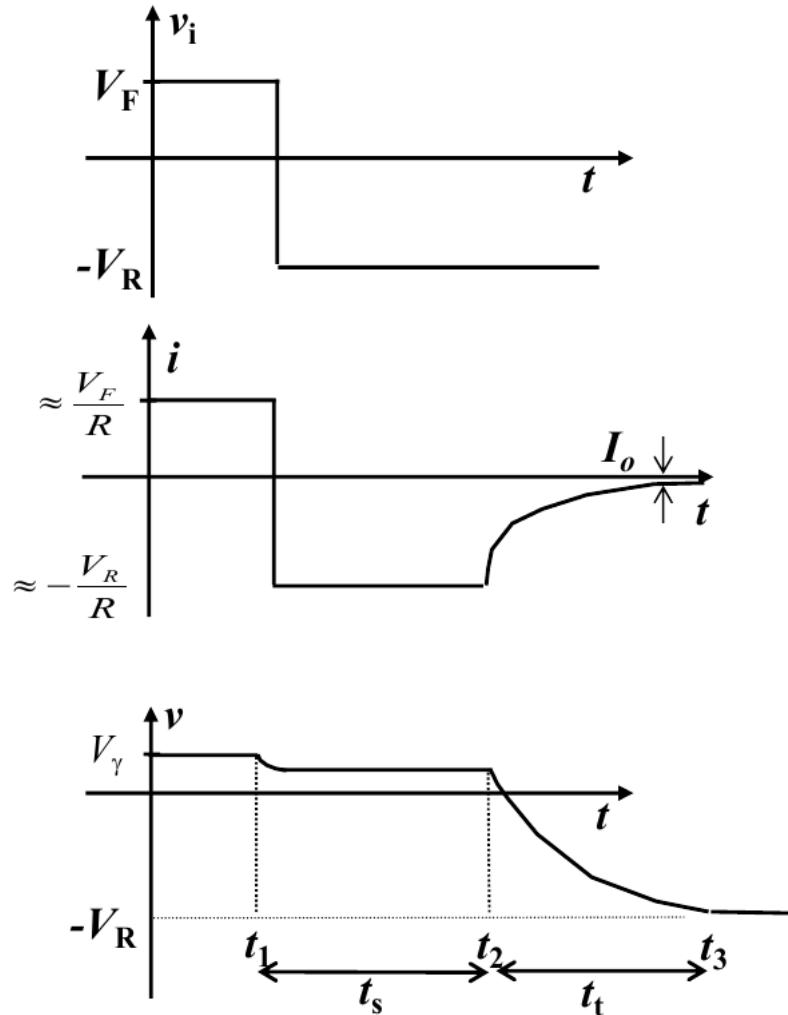


Figura 3.22: Andamento della tensione ai capi dello switch (in alto); andamento della corrente circolante nel diodo (al centro); andamento della tensione ai capi del diodo (in basso)

Un modo per diminuire t_s è quello di aumentare V_R così da aumentare il campo elettrico nella SCR e velocizzare il processo di estrazione dei minoritari. Tuttavia, imporre elevate tensioni inverse si traduce in un inevitabile aumento della corrente inversa, che può essere considerevolmente più alta rispetto a quella diretta e se non opportunamente gestita può risultare fatale per il dispositivo.

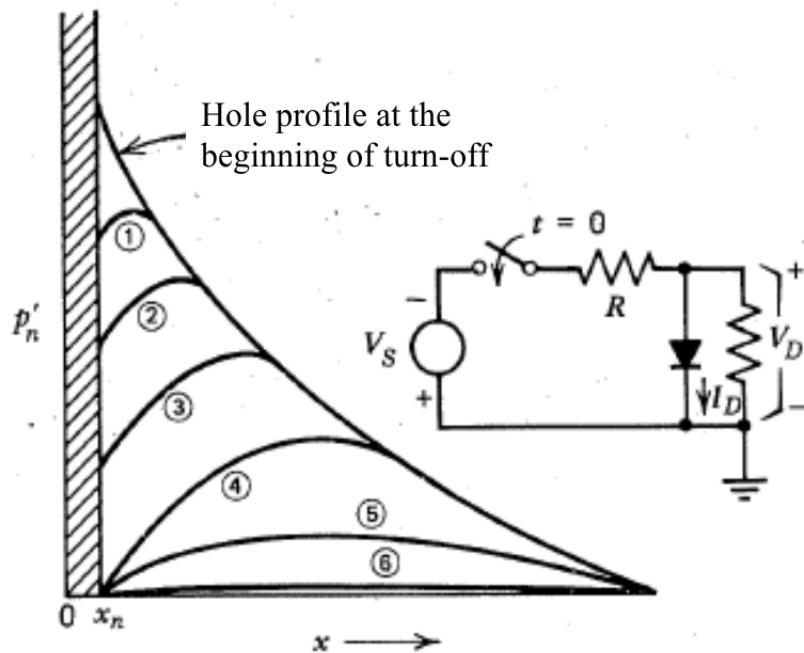


Figura 3.23: Andamento delle lacune minoritarie nel tempo nella zona N

3.6.3 Regolazione del tempo di spegnimento tramite il controllo del lifetime τ

Per velocizzare il tempo di spegnimento di un diodo è possibile agire su due fronti

- i) Ridurre il tempo di vita medio dei portatori minoritari iniettati;
- ii) Aumentare la tensione di polarizzazione inversa al fine di velocizzare il processo di estrazione dei minoritari

Per spegnere il diodo è necessario che le concentrazioni dei minoritari passino da quelle evidenziate in rosso (grafico di Fig.3.24) a quelle evidenziate in azzurro (indicative del fatto che il dispositivo ora è polarizzato inversamente).

Con riferimento agli elettroni, sia

$$i_{off} = \frac{dQ_n}{t_{off}} \quad (3.58)$$

la corrente di spegnimento del diodo (*i.e.*, quella che scorre in polarizzazione inversa). E' possibile calcolare il tempo di storage (anche chiamato t_{off}) come

$$t_s = \int_{Q_{max}}^0 \frac{dQ_n}{i_{off}} \quad (3.59)$$

Dunque, t_{off} rappresenta il tempo che bisogna attendere affinché l'eccesso di elettroni minoritari tenda a zero, cioè $Q_n \rightarrow 0$. Per calcolare Q_{max} è sufficiente

integrare $n_p(x)$ all'interno della regione P, caratterizzata da uno spessore d . Risulta

$$Q_{max} = qA \int_{-d}^{0^-} n_p(x)dx \quad (3.60)$$

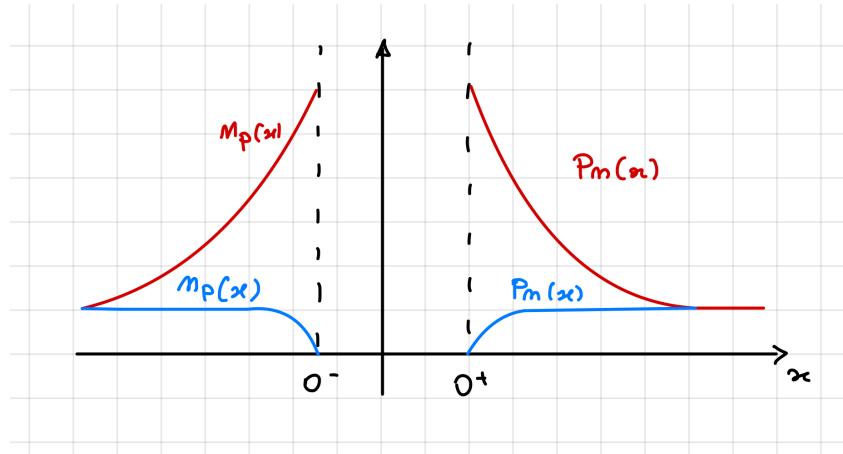


Figura 3.24: Andamento dei minoritari nelle zone N e P in caso di polarizzazione diretta (in rosso) e polarizzazione inversa (in azzurro)

Per ridurre il tempo di spegnimento t_{off} è necessario agire su Q_{max} cercando di ridurla per quanto possibile, dato che i_{off} è imposta dal valore della tensione di polarizzazione inversa V_R applicata dall'esterno. Dunque, sembrerebbe che per ridurre il tempo di spegnimento sia necessario ridurre la concentrazione di portatori minoritari iniettati nelle regioni N e P. Tuttavia, ridurre i portatori iniettati ha un effetto negativo sulla corrente diretta; dal *charge control model* ricordiamo che risulta

$$I_F = qA \int \frac{n_p(x)}{\tau_n} dx \approx qA \frac{\bar{n}_p}{\tau_n} \quad (3.61)$$

per cui ridurre la concentrazione dei minoritari iniettati facilita lo spegnimento del diodo, portando però ad una riduzione della corrente diretta I_F . La soluzione a questo problema consiste nel ridurre parallelamente Q_{max} , agendo su $n_p(x)$, e il tempo di vita medio τ_n facendo sì che il rapporto $n_p(x)/\tau_n$ sia costante. In questo modo si riduce t_{off} senza alterare il valore di I_F .

Per ridurre τ_n è possibile introdurre delle impurità intenzionali (*e.g.* Oro o Platino nel reticolo del Silicio) le quali creano dei centri G-R in prossimità del centro banda. Tali centri risultano molto efficaci nel supportare i meccanismi di generazione e ricombinazione in accordo col modello SRH. Sfortunatamente questa tecnica produce un aumento della corrente di saturazione inversa e un aumento della tensione di soglia del diodo (effetto evidenziato dal grafico in Fig.3.25).

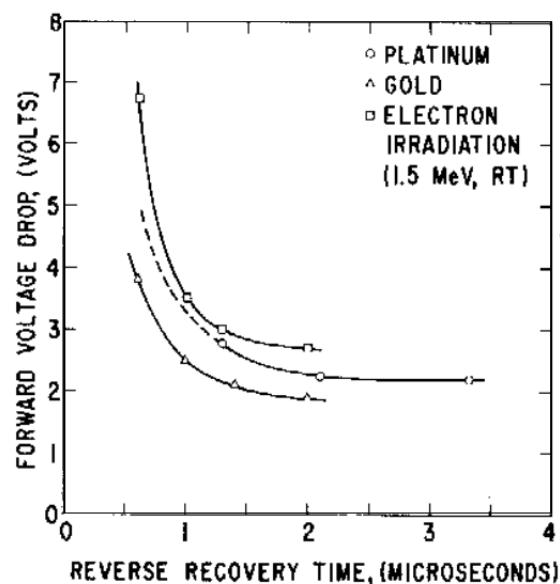


Figura 3.25: Andamento della tensione di soglia V_γ e del t_{rr} in funzione del tipo di difetto introdotto

Capitolo 4

Transistor bipolare a giunzione - BJT

Il BJT è un dispositivo realizzato tramite una doppia giunzione PN, così come visibile in Fig.4.1. Il dispositivo viene pilotato tramite tre terminali opportunamente contattati alle regioni di materiale semiconduttore.

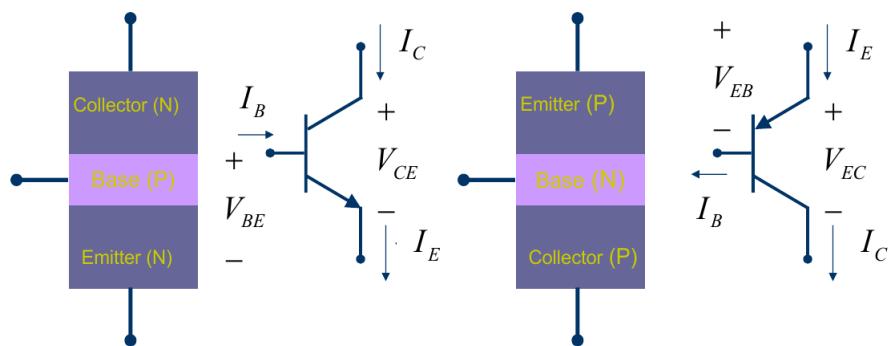


Figura 4.1: Struttura semplificata di un BJT NPN (a sinistra) e PNP (a destra)

Un BJT ben progettato opera secondo le seguenti equazioni di funzionamento

$$\begin{cases} I_C \approx I_E \\ I_C \gg I_B \\ I_C \approx I_s \exp\left(\frac{qV_{BE}}{kT}\right) \end{cases}$$

Un modo per realizzare un BJT NPN (planare) è tramite i seguenti passi di processo, riassunti schematicamente in Fig.4.2.

- i) Si diffonde drogante di tipo P, all'interno di un substrato precedentemente drogato di tipo N, che andrà a formare la regione di base;
- ii) Segue una doppia diffusione di drogante di tipo N⁺ per realizzare la regione di emettitore ed il contatto ohmico per la regione di collettore;

- iii) Si realizzano le relative metallizzazioni per contattare le regioni di base, emettitore e collettore.

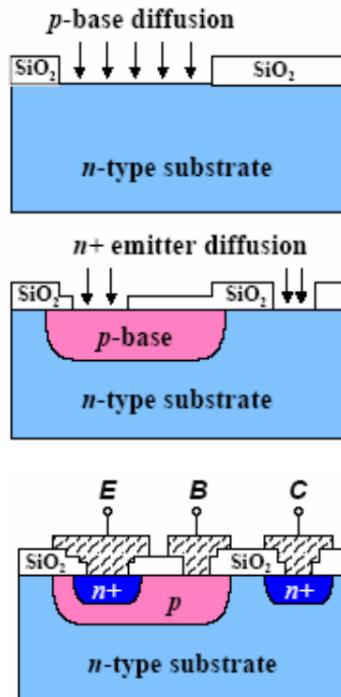


Figura 4.2: Passi di processo per la realizzazione di un BJT NPN planare

4.1 Princípio di funzionamento

D'ora in avanti faremo sempre riferimento ad un BJT NPN salvo brevi digressioni.

Consideriamo un BJT in condizioni di equilibrio termodinamico. Sappiamo che la corrente circolante all'interno del dispositivo deve essere nulla e ciò viene garantito dalla presenza delle barriere di potenziale associate alle giunzioni BE e BC, che impedisce il flusso dei portatori da una regione all'altra. La situazione dal punto di vista del diagramma a bande è mostrata in Fig.4.3

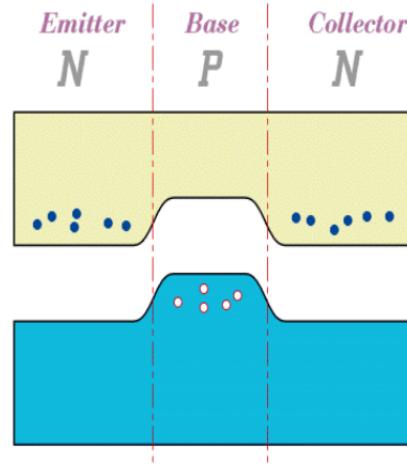


Figura 4.3: Andamento delle bande di energia in un BJT all'equilibrio termo-dinamico

Consideriamo il caso in cui si polarizza inversamente la giunzione BC. E' evidente che le bande di energia dovranno deformarsi a seguito dell'applicazione di una ddp; inoltre, la regione di svuotamento associata alla giunzione BC aumenta, così come il campo elettrico che insiste ai suoi capi. La situazione dal punto di vista del diagramma a bande è mostrata in Fig.4.4

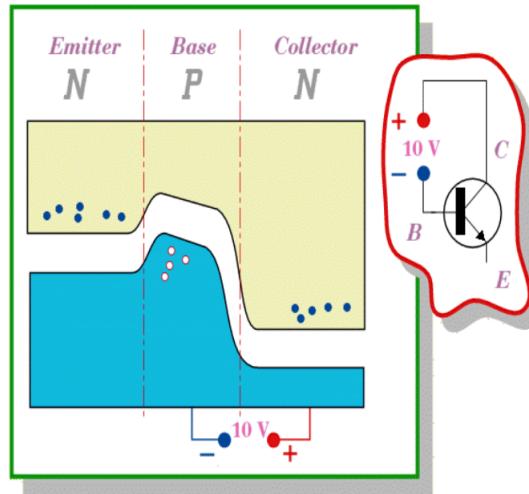


Figura 4.4: Andamento delle bande di energia in un BJT con giunzione BC inversamente polarizzata

Adesso polarizziamo direttamente la giunzione BE, mentre la giunzione BC rimane contropolarizzata. In questo scenario (riferendoci agli elettroni) si ha iniezione di elettroni dall'emettitore verso la base, i quali tenderanno a diffondersi verso la regione di collettore per essere poi raccolti dal campo elettrico

presente ai capi della SCR della giunzione BC. La situazione dal punto di vista del diagramma a bande è mostrata in Fig.4.5, in cui viene evidenziato il flusso degli elettroni dalla regione di emettitore fino a quella di collettore.

Gli elettroni che partono dall'emettitore e giungono nella base sono evidentemente minoritari, per cui tenderanno a ricombinarsi con la base. Tuttavia la base è sottile e meno drogata rispetto all'emettitore, per cui solo una piccola parte di questi elettroni si ricombinerà effettivamente, mentre la maggior parte raggiungerà il collettore. Dato che alcune lacune della base si ricombinano con gli elettroni iniettati dall'emettitore, appare chiaro che tale regione deve essere rifornita di lacune; ciò avviene grazie al generatore di tensione esterno che polarizza la giunzione BE, per cui complessivamente vi sarà la presenza di una corrente di base $I_B \neq 0$

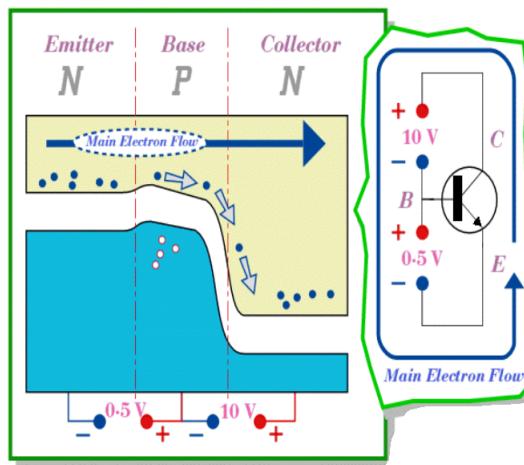


Figura 4.5: Andamento delle bande di energia in un BJT con giunzione BC inversamente polarizzata e giunzione BE direttamente polarizzata

Dunque la corrente di collettore I_C può essere regolata agendo sulla polarizzazione della giunzione BE (la base è a tutti gli effetti il terminale di controllo del BJT).

4.1.1 Corrente di diffusione

Per riferirci alle giunzioni BE e BC utilizzeremo i seguenti acronimi

- i) *EBJ - Emitter Base Junction*;
- ii) *CBJ - Collector Base Junction*

Facciamo riferimento all'andamento delle concentrazioni rappresentato nel grafico di Fig.4.6. Dato che la regione di base è corta, il profilo dei minoritari può essere approssimato con un andamento lineare decrescente. Gli elettroni iniettati dall'emettitore nella base tenderanno a diffondere verso il collettore e

verranno successivamente spinti dal campo elettrico presente ai capi della SCR della CBJ. La corrente di base I_B , invece, è data dalla somma di due contributi

- i) Lacune che vengono fornite dal generatore esterno per rimpiazzare quelle perse per ricombinazione con gli elettroni;
- ii) Lacune che diffondono verso la regione di emettitore (la EBJ è pur sempre una giunzione PN polarizzata direttamente)

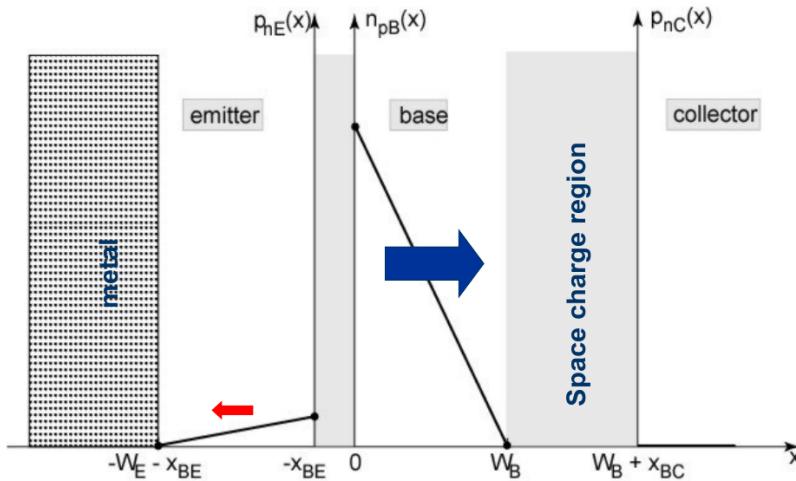


Figura 4.6: Andamento della profilo di concentrazione dei minoritari all'interno di un BJT con EBJ polarizzata direttamente e CBJ polarizzata inversamente

Per tale motivo appare chiaro che la corrente di emettitore I_E deve essere maggiore di quella di collettore I_C . Tuttavia, I_C differisce di poco rispetto a I_E ; I_C è α_F volte più piccola di I_E , con α_F prossimo all'unità

$$I_C = \alpha_F I_E, \quad \alpha_F \approx 0.999 \quad (4.1)$$

Dal punto di vista delle correnti il BJT può essere visto come un unico macronodo; applicando Kirchoff si arriva a

$$I_E = I_C + I_B \quad (4.2)$$

E' possibile combinare le equazioni (4.1 - 4.2) per arrivare a

$$\begin{aligned} I_C &= \alpha_F I_E \\ &= \alpha_F (I_B + I_C) \\ \Leftrightarrow I_C &= \frac{\alpha_F}{1 - \alpha_F} I_B = \beta_F I_B \end{aligned} \quad (4.3)$$

dove

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad (4.4)$$

prende il nome di guadagno di corrente in configurazione ad emettitore comune e può assumere valori nell'ordine di 10^2 ed indica il fatto che la corrente di collettore è β_F volte più grande di quella di base.

4.1.2 Calcolo della corrente di collettore

La corrente di collettore può essere calcolata come il contributo diffusivo associato agli elettroni in base. Infatti è noto il profilo di concentrazione $n_B(x)$ per cui

$$\begin{aligned} J_{nB,diff} &= qD_n \frac{dn_B}{dx} \\ &= qD_n \frac{n_B(0)}{W_B} \\ &= q \frac{D_{nB}}{W_B} \underbrace{n_{Bo}}_{\frac{n_i^2}{N_B}} \exp\left(\frac{V_{BE}}{V_T}\right) \end{aligned} \quad (4.5)$$

per cui l'espressione finale della corrente di collettore è

$$I_C = I_s \exp\left(\frac{V_{BE}}{V_T}\right)$$

dove si è posto I_s pari a

$$I_s = A_E q D_n \frac{n_{Bo}}{W_B} \quad (4.6)$$

Dunque, è evidente il legame (esponenziale) tra la I_C e la V_{BE} ; la corrente di collettore è modulabile agendo sulla tensione del terminale di base.

4.1.3 Calcolo della corrente di base

Ripercorrendo le stesse considerazioni fatte per il calcolo fatto per la corrente di collettore, è possibile calcolare la corrente di base come il contributo di diffusione delle lacune verso la regione di emettitore (a rigore è presente anche la corrente di lacune dovuta alla ricombinazione). Il profilo di concentrazione è, anche in questo caso noto, per cui

$$\begin{aligned} J_{pE,diff} &= -qD_{pE} \frac{dp_E}{dx} \\ &= qD_p \frac{p_E(0)}{W_E} \\ &= q \frac{D_{pE}}{W_E} \underbrace{p_{Eo}}_{\frac{n_i^2}{N_E}} \exp\left(\frac{V_{BE}}{V_T}\right) \end{aligned} \quad (4.7)$$

La corrente di base si ottiene semplicemente moltiplicando l'espressione di $J_{pE,diff}$ per l'area della regione di emettitore A_E

$$I_B = qA_E \frac{D_{pE}}{W_E} p_{Eo} \exp\left(\frac{V_{BE}}{V_T}\right) \quad (4.8)$$

4.1.4 Calcolo del guadagno di corrente β_F

Essendo note le espressioni di I_C e I_B è possibile calcolare il guadagno di corrente. Risulta

$$\beta_F = \frac{I_C}{I_B} = \frac{D_{nB}}{D_{pE}} \underbrace{\frac{n_{Bo}^2}{p_{Eo}}}_{n_i^2/N_E} \frac{W_E}{W_B} \Leftrightarrow \beta_F = \frac{D_{nB}}{D_{pE}} \frac{N_E}{N_B} \frac{W_E}{W_B} \quad (4.9)$$

Per aumentare β_F è possibile agire su

- i) D_{nB}/D_{pE} poco margine dato che questi valori sono funzione del materiale scelto;
- ii) N_E/N_B i livelli di droggaggio della base e dell'emettitore sono facilmente controllabili, tuttavia questo rapporto raramente supera 10^3 ;
- iii) W_E/W_B è possibile ridurre lo spessore della regione di base e/o aumentare quello della regione di emettitore. In quest'ultimo caso l'aumento di W_E è migliorativo fintantoché l'andamento dei minoritari (lacune) è linearmente decrescente (caso di regione "corta").

Osserviamo che ad alti livelli di droggaggio si verifica il fenomeno del *band gap narrowing*, cioè si ha una riduzione del bandgap del materiale che a sua volta causa un aumento della concentrazione intrinseca n_i . In queste condizioni risulta

$$\frac{n_{Bo}}{p_{Eo}} = \frac{\frac{n_{iB}^2}{N_B}}{\frac{n_{iE}^2}{N_E}} = \underbrace{\frac{n_{iB}^2}{n_{iE}^2}}_{<1} \frac{N_E}{N_B} \quad (4.10)$$

dove con n_{iB} e n_{iE} si sono indicate le concentrazioni intrinseche rispettivamente nella base e nell'emettitore. Visto che l'emettitore è altamente drogato rispetto alla base ($N_E \approx 10^{18}$ - 10^{19} cm $^{-3}$) allora è evidente che il rapporto

$$\frac{n_{iB}^2}{n_{iE}^2} < 1$$

e dunque il guadagno di corrente β_F tende a diminuire.

4.1.5 Calcolo della corrente di ricombinazione di base

Calcoliamo questo contributo tramite l'utilizzo del charge control model.

$$I_{B,ric} = \frac{Q_{nB}}{\tau_{nB}} \quad (4.11)$$

dove Q_{nB} è la carica associata all'accumulo di elettroni minoritari in base e può essere calcolato come

$$Q_{nB} = -qA \int_0^{W_B} n_B(x) dx \quad (4.12)$$

Dato che il profilo degli elettroni minoritari in base è triangolare (vedi Fig.4.6) allora Q_n si può calcolare semplicemente come area di tale triangolo, risultando in

$$|Q_{nB}| = \frac{1}{2} W_B q A_E \underbrace{n_{Bo}}_{\frac{n_i^2}{N_B}} \exp\left(\frac{V_{BE}}{V_T}\right) = \frac{1}{2} \frac{q A_E W_B n_i^2}{N_B} \exp\left(\frac{V_{BE}}{V_T}\right) \quad (4.13)$$

Sostituendo l'espressione di Q_{nB} , appena ricavata, in (4.11) si ottiene

$$I_{B,ric} = \frac{1}{2\tau_{nB}} \frac{q A_E W_B n_i^2}{N_B} \exp\left(\frac{V_{BE}}{V_T}\right) \quad (4.14)$$

Infine, la corrente complessiva di base sarà data dalla somma del contributo di diffusione e di quello di ricombinazione

$$\begin{aligned} I_B &= I_{B,diff} + I_{B,ric} \\ &= \left(\frac{q A_E D_{pE} n_i^2}{N_E W_E} + \frac{1}{2\tau_{nB}} \frac{q A_E W_B n_i^2}{N_B} \right) \exp\left(\frac{V_{BE}}{V_T}\right) \end{aligned} \quad (4.15)$$

E' possibile calcolare nuovamente l'espressione di β_F , questa volta tenendo conto della corrente di ricombinazione in base, ottenendo

$$\beta_F = \frac{I_C}{I_B} = \frac{1}{\frac{D_{pE}}{D_{nB}} \frac{N_B}{N_E} \frac{W_B}{W_E} + \frac{1}{2} \frac{W_B^2}{D_{nB} \tau_{nB}}} \quad (4.16)$$

Per confronto si riporta l'espressione di β_F ricavata nell'ipotesi di assenza di corrente di ricombinazione in base

$$\beta_F = \frac{D_{nB}}{D_{pE}} \frac{N_E}{N_B} \frac{W_E}{W_B}$$

4.2 Regioni di funzionamento

Di solito si rappresentano le caratteristiche di uscita ad emettitore comune; la famiglia di curve è data dalla relazione seguente

$$I_C = f(V_{CE}) \Big|_{V_{BE}=\text{costante}} \quad (4.17)$$

In Fig.4.7 si riportano le curve di uscita, in cui sono evidenziate le distinte regioni di funzionamento del BJT.

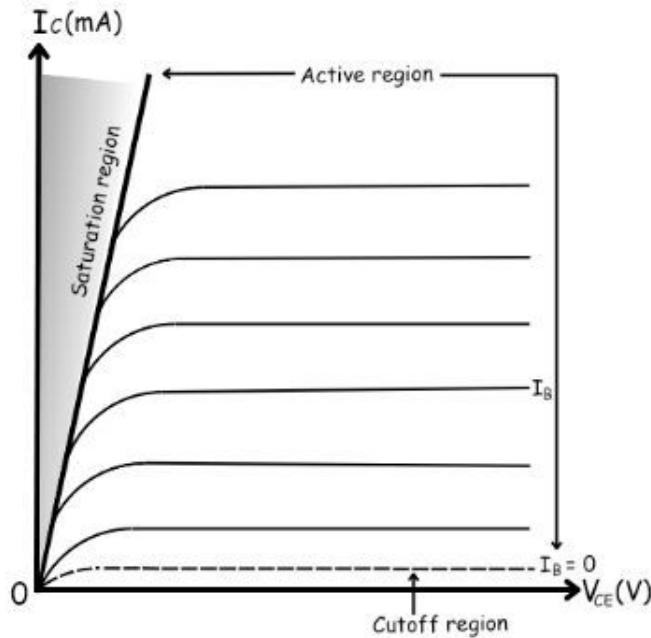


Figura 4.7: Caratteristica di uscita di un ad emettitore comune di un BJT NPN, in cui sono visibili le distinte regioni di funzionamento

Il BJT si trova ad operare in regione attiva diretta (RAD) se

$$\begin{cases} V_{BE} > V_{\gamma_{BE}} \\ V_{BC} < 0 \end{cases}$$

ed il comportamento è governato dalle equazioni ricavate nei paragrafi precedenti. Il dispositivo si comporta come un generatore di corrente controllato tramite la I_B .

Il BJT opera in regione di saturazione se

$$\begin{cases} V_{BE} > V_{\gamma_{BE}} \\ V_{BC} > V_{\gamma_{BC}} \end{cases}$$

cioè se sia la EBJ che la CBJ sono polarizzate direttamente. In queste condizioni, modellando il BJT tramite due diodi montanti dorso a dorso (*back to back*) è facile vedere che risulta

$$V_{CE,sat} = V_{BC} - V_{BE} \approx 0 \quad (4.18)$$

dato che sia V_{BE} che V_{BC} sono le tensioni ai capi di una giunzione PN direttamente polarizzata e pertanto confrontabili in valore assoluto. Nella pratica risulta $V_{CE,sat} \approx 0.2\text{-}0.4V$. In definitiva, in tale regione il BJT può essere assimilato ad un interruttore chiuso con un certa resistenza serie diversa da zero. Simmetricamente, in regione di interdizione il bipolare si comporta come un interruttore aperto con una certa resistenza parallelo diversa da zero.

4.3 Non idealità e parametri parassiti

4.3.1 Effetto *Early*

L'effetto Early fa sì che il BJT, operante in regione attiva diretta, non si comporti da generatore ideale di corrente esibendo una certa resistenza di uscita $r_o \neq 0$. La I_C non è più costante al variare della V_{CE} ma presenta una pendenza non nulla, come visibile in Fig.4.8. Si vede che prolungando le caratteristiche sull'asse negativo della V_{CE} , queste si intersecano nel punto $-V_A$, noto col nome di tensione di *Early*. Per tener conto di tale effetto si fa uso di un parametro correttivo nell'equazione della corrente di collettore

$$I_C = I_s \exp\left(\frac{V_{BE}}{V_T}\right) \left(1 + \frac{V_A}{V_{CE}}\right) \quad (4.19)$$

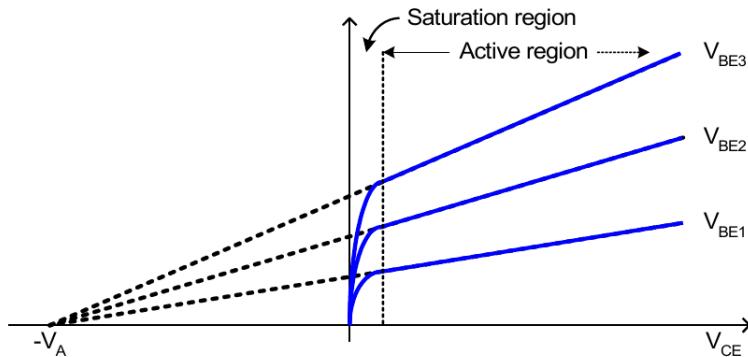


Figura 4.8: Caratteristica di uscita di un BJT in presenza dell'effetto Early

Il motivo per cui si ha un aumento di I_C all'aumentare della V_{CE} può essere spiegato come segue. Un aumento della V_{CE} è diretta conseguenza di un aumento della V_{CB} e quindi di un aumento della SCR associata alla CBJ. L'effetto poc'anzi descritto prende il nome di modulazione della lunghezza di base e rappresenta una vero e proprio restringimento della regione di base del BJT. Per tale motivo il modulo del gradiente $|dn_B/dx|$ deve necessariamente aumentare, risultando in un aumento dei portatori minoritari iniettati dalla base verso il collettore, così come evidenziato in Fig.4.9.

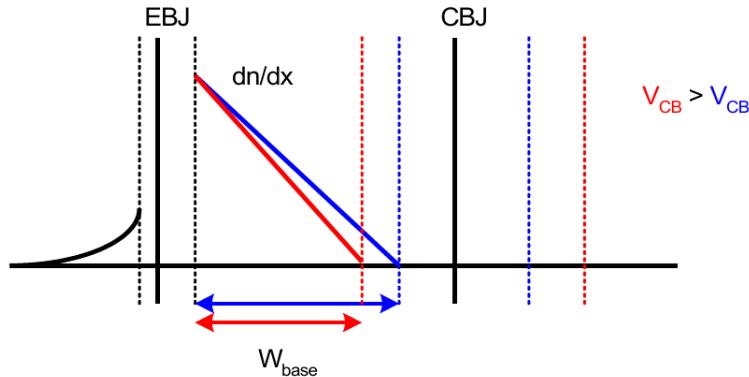


Figura 4.9: Andamento della concentrazione dei minoritari in base, a seguito dell'aumento della V_{CB}

4.3.2 Resistenza di collettore - r_C

Se ci riferiamo alla sezione trasversale di Fig.4.2 è possibile notare che la corrente di collettore deve attraversare un certo percorso nella zona N prima di confluire nel contatto metallico di collettore. Tale percorso è a tutti gli effetti modellabile mediante un resistore, detto r_C . Questo resistore parassita altera la forma delle caratteristiche $I_C - V_{CE}$ in regione di saturazione; in particolare tende a ridurre la pendenza della I_C , dato che ora il modello tiene conto di una resistenza interna non nulla. Inoltre, tale resistenza produce un debole impatto sulla pendenza della I_C quando il BJT opera in regione attiva diretta (ciò è dovuto al fatto che la r_C è posta in serie al generatore di corrente $I_C = \beta I_B$, e pertanto non governa la corrente che scorre tra i terminali di collettore ed emettitore). L'effetto è più marcato sulla V_{CE} , dato che vi sarà una caduta di tensione $r_C I_C \neq 0$ (non eliminabile).

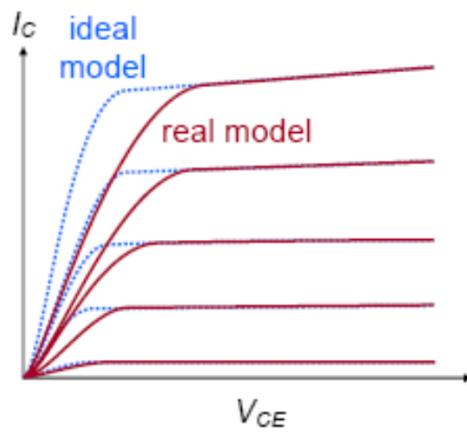


Figura 4.10: In azzurro le caratteristiche I-V ideali mentre in rosso le caratteristiche I-V con la presenza di $r_C \neq 0$

E' facile comprendere che a livello grafico, l'effetto di r_C è quello di traslare le caratteristiche I-V verso destra. Ciò è dovuto al fatto che

$$V'_{CE} = V_{CE} - r_C I_C \quad (4.20)$$

dove con V'_{CE} si è indicata la tensione che si avrebbe nel caso ideale, i.e. $r_C = 0$

4.3.3 Resistenza di base - r_B

Questa resistenza parassita ha la stessa origine di r_C , cioè la presenza di un percorso ohmico tra il contatto metallico di base e la "vera" base del bipolare. Di conseguenza la V_{BE} applicata dall'esterno non ricadrà interamente ai capi della EBJ ma sarà diminuita di un valore pari a $r_B I_B$, cioè risulta

$$V_{BE,int} = V_{BE,ext} - r_B I_B \quad (4.21)$$

Osserviamo che il valore di r_B dipende anche dalla sezione trasversale del contatto di base, e in alcuni casi può essere considerevolmente alta.

4.3.4 Resistenza di emettitore - r_E

Anche in questo caso il discorso è analogo a quanto fatto per r_C e r_B . Se si combinano gli effetti di r_B e r_C si trova che la

$$V_{BE,int} = V_{BE,ext} - r_B I_B - r_E I_E \quad (4.22)$$

cioè la $V_{BE,int}$ è ulteriormente diminuita di una quantità pari a $r_E I_E$. L'effetto di queste resistenze parassite è visibile nel grafico di Fig.4.11.

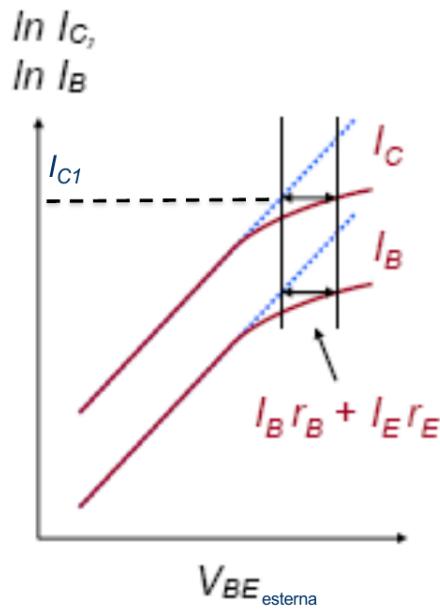


Figura 4.11: Grafico che riporta I_C e I_B in scala logaritmica al variare di $V_{BE,ext}$. E' possibile notare lo scostamento dall'andamento ideale (tratteggiato) a causa della caduta di tensione $r_B I_B + r_E I_E$

In particolare, lo scostamento dalle caratteristiche ideali è proprio dato dal termine $r_B I_B - r_E I_E$. Pertanto, tramite delle misure si può determinare questo termine di non idealità per via grafica, così come mostrato in Fig.4.11.

Spesso si utilizza il *Gummel Plot* per visualizzare I_B e I_C in scala logaritmica al variare della V_{BE} . In Fig.4.12 è riportato un esempio di tale grafico in cui è possibile notare che

- i) Per correnti minori di 10^{-5} A , l'andamento delle curve è di conseguenza quello del BJT, è lineare; il valore di β è poco dipendente da V_{BE} (o I_C);
- ii) Per correnti superiori a 10^{-5} A , l'andamento si discosta da quello lineare e si evidenzia una diminuzione di β a causa degli alti livelli di iniezione della base.

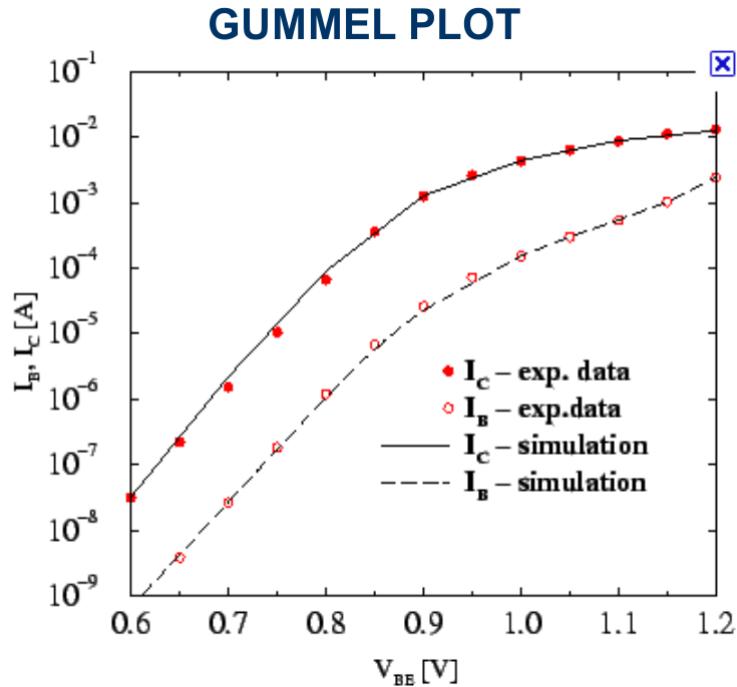


Figura 4.12: Gummel plot di un BJT

Il valore di β che si ottiene in regime di alti livelli di iniezione, tipicamente quando il BJT opera in regione di saturazione, è minore rispetto a quello che si ha in regione attiva diretta. Tale considerazione viene espressa con la seguente

$$\beta_{FORCED} < \beta_F \quad (4.23)$$

dove β_{FORCED} è imposto dal circuito esterno piuttosto che dal guadagno intrinseco del transistor, i.e. β_F .

Capitolo 5

Metal Oxide Field Effect Transistor

Un MOSFET di tipo N è un dispositivo ad effetto di campo realizzato impiantando due sacche N^+ in un substrato di tipo P (detto di *body* o *bulk*) e realizzando un layer MOS - metallo ossido semiconduttore - per pilotare il dispositivo. La sezione trasversale di un MOSFET a canale N ad arricchimento è presentata in Fig.5.1. Lo spessore della regione di canale è indicato con W mentre la lunghezza con L; il rapporto W/L , anche detto rapporto di aspetto, è di fondamentale importanza nel determinare le prestazioni del MOSFET.

Applicando una tensione $V_{GS} > V_{th}$ all'elettrodo di gate, è possibile innescare la forte inversione di popolazione; un sottile layer di elettroni (con dimensioni di qualche Å) si accumula all'interfaccia Si – SiO_2 creando così un canale conduttivo tra i terminali di drain e source. In queste condizioni, l'applicazione di una ddp tra drain e source innesca la conduzione di corrente (di elettroni) tra i due terminali.

5.1 Regioni di funzionamento

In funzione dei livelli di polarizzazione, il MOSFET può lavorare in tre distinte regioni, che sono

- i) Regione lineare;
- ii) Regione quadratica o di triodo;
- iii) Regione di *pinch-off*.

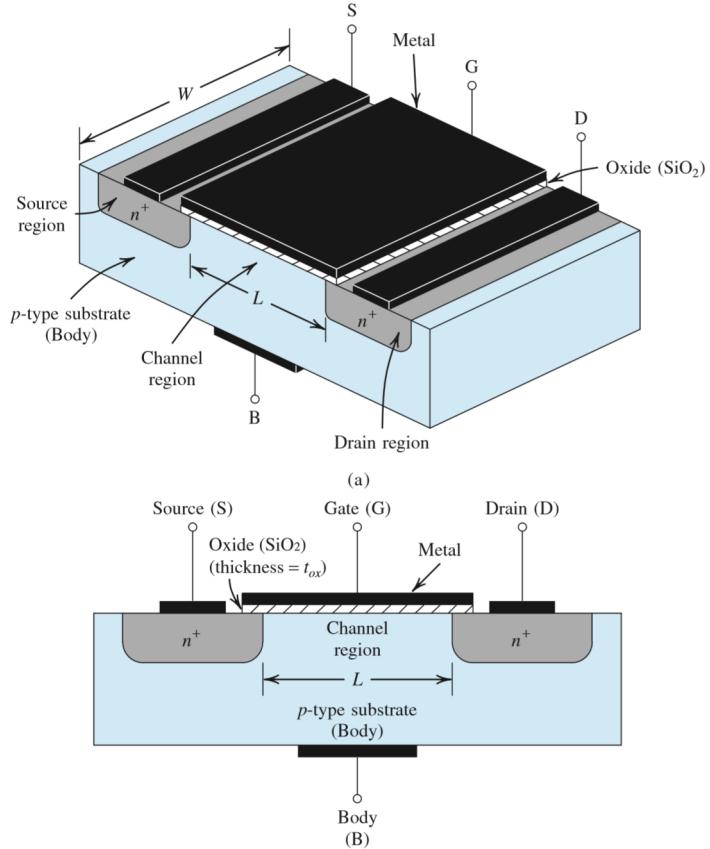


Figura 5.1: Sezione trasversale di un NMOS-E (in basso); vista in prospettiva (in alto)

5.1.1 Regione lineare

Con riferimento alla Fig.5.2, supponiamo di collegare il terminale di source a massa e di applicare un potenziale al terminale di gate $V_G > V_{th}$, in modo da assicurare la forte inversione di popolazione. Con il canale così formato, applichiamo una "piccola" $V_D \approx V_S = 0V$. In queste condizioni il campo elettrico verticale $E_y \propto V_{GS}/t_{ox}$ è pressoché costante lungo tutta la lunghezza del canale conduttivo e ciò implica che il layer di inversione è uniforme lungo il canale. Pertanto, la corrente di drain I_D è dovuta alla componente di trascinamento indotta dal campo elettrico longitudinale, dovuto all'applicazione di una $V_{DS} \neq 0V$. Dunque, risulta

$$I_D = A q \underbrace{n(x)}_{Q_n/d} \mu_n E = W d \frac{Q_n}{d} \mu_n \frac{V_{DS}}{L} \quad (5.1)$$

dove A è la sezione trasversale del layer di inversione, $Q_n [C/cm^2]$ è la carica per unità d'area presente nel layer di inversione (vista dall'alto), e d è lo spessore di

tale layer. Con l'approssimazione

$$n(x) = \frac{1}{q} \frac{Q_n}{d}$$

si sta considerando costante la concentrazione di elettroni nel layer di inversione.

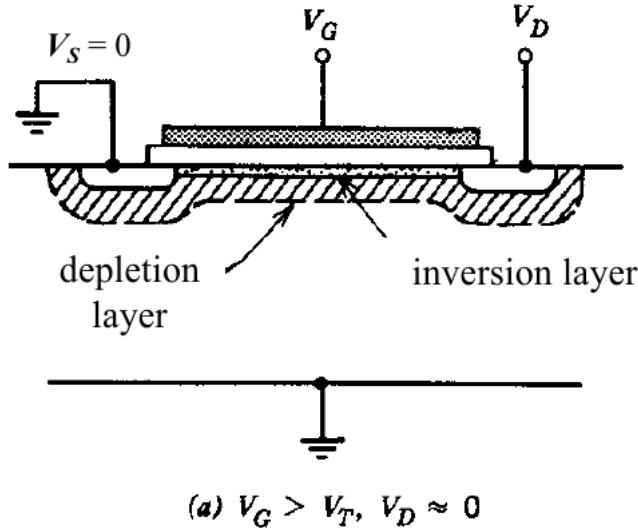


Figura 5.2: Sezione trasversale di un NMOS-E portato a lavorare in regione lineare

Manipolando l'eq.(5.1) si arriva alla forma finale

$$I_D = \mu_n \frac{W}{L} Q_n V_{DS} = \mu_n \frac{W}{L} C_{ox} (V_{GS} - V_{th}) V_{DS} \quad (5.2)$$

dove si è posto $Q_n = C_{ox} (V_{GS} - V_{th})$. L'eq.5.2 mostra l'andamento lineare di I_D al variare della V_{DS} , giustificando il nome dato alla regione di funzionamento lineare. Il canale del MOSFET si comporta come un resistore, il cui valore può essere modulato dalla V_{GS} .

5.1.2 Regione quadratica o di triodo

Con riferimento alla Fig.5.3 mantenendo sempre un potenziale di gate $V_G > V_{th}$, supponiamo di aumentare il potenziale sul terminale di drain V_D tale da soddisfare la seguente

$$V_D < V_G - V_{th} \quad (5.3)$$

In queste condizioni la ddp lungo il canale $V(x)$ aumenta linearmente dalla regione di source a quella di drain, in particolare risulta

$$V(x) = \begin{cases} V_{GS}, & \text{per } x = 0 \\ V_{GD}, & \text{per } x = L \end{cases} \quad (5.4)$$

per cui il campo elettrico attrattore E_y non sarà più uniforme lungo il canale; assumerà valore massimo in $x = 0$ e valore minimo il $x = L$, così come visibile in Fig.5.3.

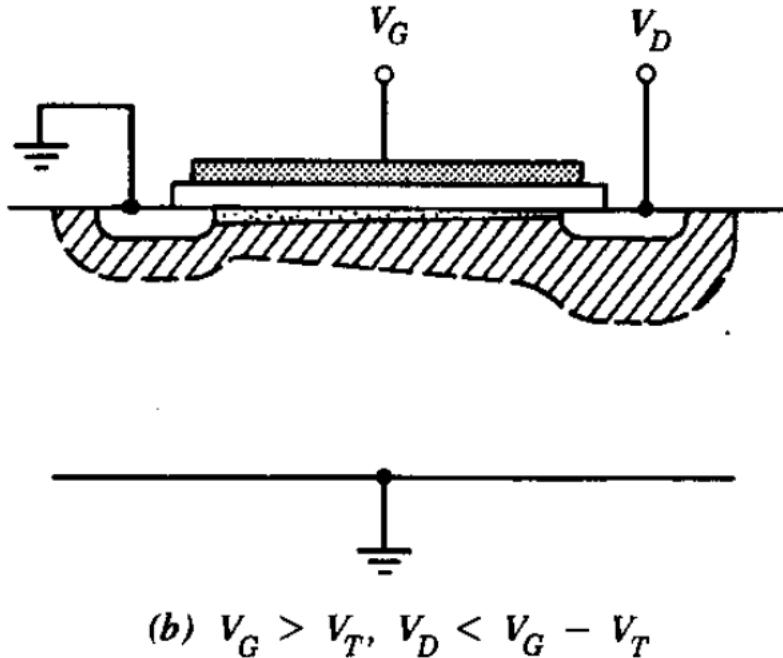


Figura 5.3: Sezione trasversale di un NMOS-E portato a lavorare in regione quadratica

Questa regione di funzionamento è caratterizzata da una corrente di drain data da

$$\begin{aligned}
 I_D &= Aqn(x)\mu_n E(x) \\
 &= Wd(x) \frac{Q_n(x)}{d(x)} \mu_n \left(-\frac{dV}{dx} \right) \\
 &= \frac{W\mu_n C_{ox}}{L} \left[(V_{GS} - V_{th})V_{DS} - \frac{V_{DS}^2}{2} \right]
 \end{aligned} \tag{5.5}$$

L'andamento della I_D è proporzionale al quadrato della V_{DS} così come mostrato nel grafico di Fig.5.4 che riporta le caratteristiche I-V in regione quadratica.

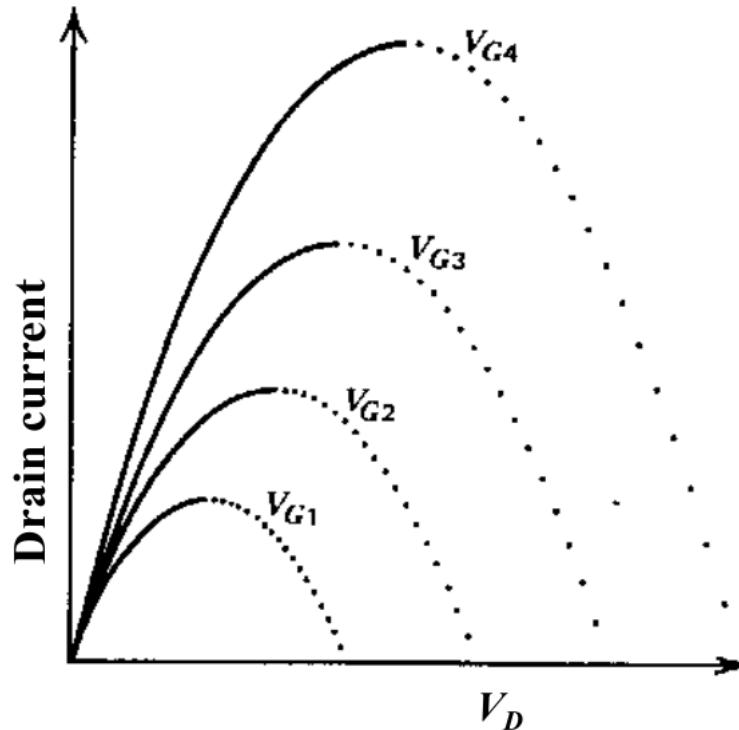


Figura 5.4: Caratteristiche I-V di un NMOS-E in regione quadratica

5.1.3 Regione di *pinch-off*

Se il potenziale di drain V_D viene aumentato fino a raggiungere il valore $V_{GS} - V_{th}$, il layer di inversione viene strozzato in $x = L$; ciò è dovuto al fatto che il campo attrattore $E_y(x = L) \approx 0$. Se si aumenta la tensione di drain il canale si strozza prima di raggiungere la zona di drain. In tale regione di funzionamento, la corrente I_D non è più governata dalla legge di Ohm; gli elettroni che giungono in prossimità della strozzatura vengono spinti, dal forte campo elettrico che insiste in tale regione, e raccolti dal terminale di drain. Quanto appena detto è esemplificato dalla Fig.5.5.

La corrente di drain è espressa tramite la seguente relazione

$$I_D = \frac{W\mu_n C_{ox}}{2L'}(V_{GS} - V_{th})^2 \quad (5.6)$$

dove $L' < L$ è la lunghezza del layer di inversione. Tale relazione evidenzia come I_D sia indipendente da V_D , *i.e.*, il MOSFET si comporta come un generatore ideale di corrente.

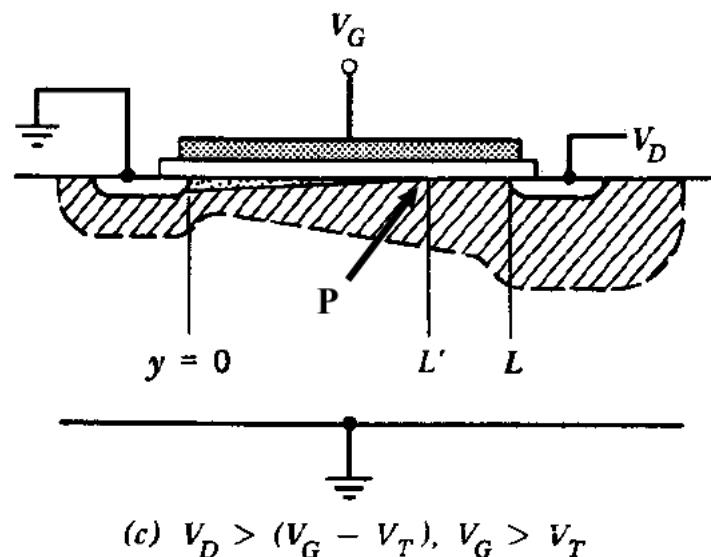


Figura 5.5: Caratteristiche I-V di un NMOS-E in regione quadratica

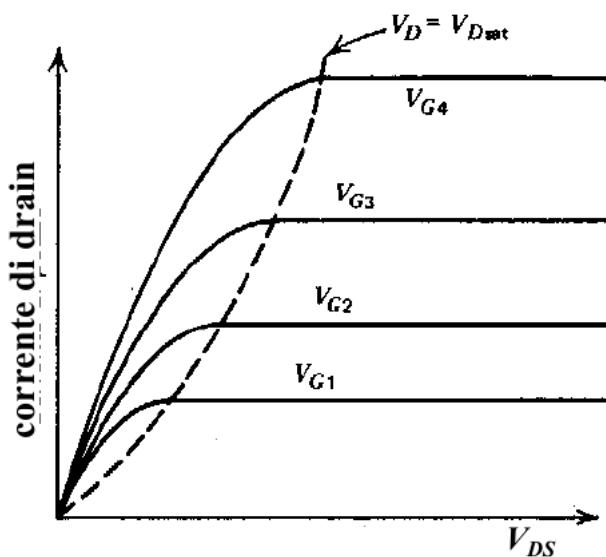


Figura 5.6: Caratteristiche I-V di un NMOS-E in cui si evidenziano le diverse regioni di funzionamento

Parte III

Dispositivi di potenza

Capitolo 6

Diodo PIN

Il diodo PIN è un tipo di diodo largamente utilizzato per applicazioni di potenza.
Alcuni dei suoi principali utilizzi sono:

- i) Diodi ad elevata tensione di rottura (*e.g.* $V_{BD} > 100V$);
- ii) Diodi zener;
- iii) Diodi con capacità nota e stabile;
- iv) Come *core* di dispositivi più complessi

6.1 Struttura e caratteristiche

Nella pratica un diodo PIN non viene mai realizzato con una struttura P-Intrinseco-N ma bensì con una struttura del tipo

- i) $P^+ - N^- - N^+$
- ii) $P^+ - P^- - N^+$

Assumeremo di lavorare con una struttura $P^+ - N^- - N^+$ (riportata in Fig.6.1) ed indicheremo con

- i) N_A il drogaggio della zona P^+ ;
- ii) N_d il drogaggio della zona N^- ;
- iii) N_D il drogaggio della zona N^+ .

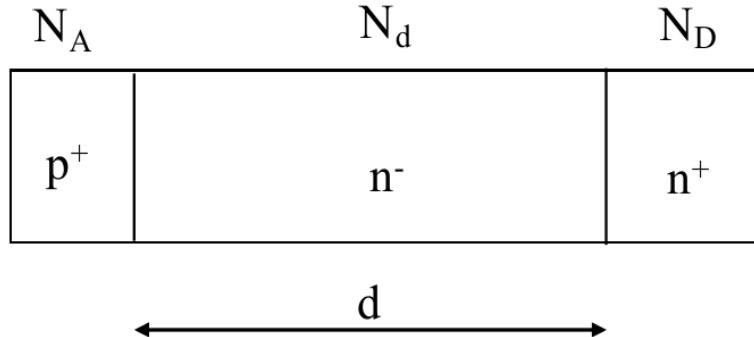


Figura 6.1: Struttura del diodo PIN

Osserviamo che la zona P⁺ è drogata tipicamente con $N_A > 10^{18} \text{ cm}^{-3}$ e lo stesso dicasi per la zona N⁺, mentre per quanto riguarda la zona N⁻ il livello di droggaggio è tipicamente compreso tra $10^{13} \text{ cm}^{-3} < N_d < 10^{15} \text{ cm}^{-3}$ (per motivi tecnologici è molto complicato scendere a livelli di droggaggio minori di 10^{13} cm^{-3}).

Notiamo che la regione N⁻ (anche detta regione di base) presenta uno spessore $d \leq L_{n,p}$ (considerazione molto importante in polarizzazione diretta). Inoltre, la giunzione P⁺-N⁻ è asimmetrica per cui

$$W_p \ll W_n \approx \sqrt{\frac{2\epsilon_{si}}{q} \frac{(V_{bi} - V)}{N_d}} \quad (6.1)$$

cioè la regione di svuotamento è praticamente estesa nella sola regione N⁻.

6.1.1 Polarizzazione inversa

Supponiamo di polarizzare inversamente il diodo PIN. In questa condizione lo spessore della regione di svuotamento aumenta, invadendo ancora di più la zona N⁻ come visibile in Fig.6.2.

L'andamento del campo elettrico è ricavabile dall'equazione di Poisson; anche in questo caso si ha un profilo triangolare (così come visto nella giunzione PN). Ricordiamo che l'opposto dell'integrale del campo elettrico è pari a $V_{bi} - V$. Dato che in polarizzazione inversa $V < 0$ allora

$$V_{bi} + V = - \int_{-W_p}^{W_n} E(x) dx$$

Siccome la regione di svuotamento si estende praticamente solo nella regione N⁻, si può approssimare l'area del campo elettrico come quella di un triangolo avente come base W_n ed altezza E_0 .

Dalle considerazioni appena fatte risulta

$$\underbrace{V_{bi}}_{\ll V} + V \approx V \approx \frac{W_n E_0}{2} \quad (6.2)$$

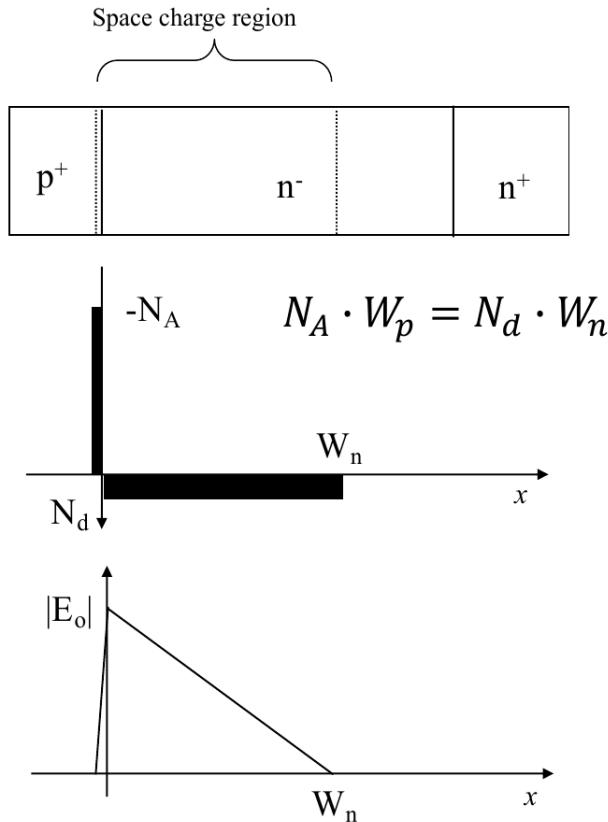


Figura 6.2: Diodo PIN inversamente polarizzato (in alto); andamento della densità di carica $\rho(x)$ (al centro); andamento del $|E(x)|$ (in basso)

che ci dice che all'aumentare di V deve aumentare l'area sottesa a $E(x)$, mantenendo però sempre la stessa pendenza (ricordiamo che il gradiente del campo elettrico dipende esclusivamente dal droggaggio che è una quantità fissa).

Continuando ad aumentare la tensione di polarizzazione inversa V si raggiunge, ad un certo punto, il valore $V = V_{BD}$, i.e., la tensione di breakdown, che dipende dal materiale semiconduttore utilizzato.

L'espressione di V_{BD} si ricava semplicemente sostituendo l'espressione di W_n (6.1) in (6.2), ottenendo

$$\begin{aligned}
 V_{BD} &= \frac{E_c}{2} \sqrt{\frac{2\epsilon_{si}}{qN_d} V_{BD}} \\
 &= \frac{E_c^2}{4} \frac{2\epsilon_{si} V_{BD}}{qN_d} \\
 &= \frac{E_c^2}{2} \frac{\epsilon_{si}}{qN_d}
 \end{aligned} \tag{6.3}$$

nel caso del Silicio $E_c \approx 2 \times 10^5 \text{ V/cm}$ (aumentare il campo oltre quello critico può portare il materiale al *breakdown*). L'equazione (6.3) ci dice che per un dato materiale (E_c e ϵ sono fissati) l'unico modo per aumentare la tensione massima è quello di ridurre il drogaggio N_d . Dunque, con questo ragionamento, diminuire il drogaggio fino al caso limite di regione intrinseca sembrerebbe essere una buona strada per ottenere un diodo con un'elevata V_{BD} .

Immaginiamo di aver drogato molto debolmente la regione N^- e di avere un campo elettrico con l'andamento riportato in Fig.6.3. La regione di svuotamento si estende fino a $x = W_n$ arrivando al limite sinistro della regione N^+ . A questo punto se il diodo viene polarizzato direttamente, in accordo con (6.1) lo spessore della regione di svuotamento diminuisce e si assesta alla nuova ascissa $x = W'_n$. Si ottiene la situazione studiata nel paragrafo (3.3.5) dove la regione N^- per $x > W'_n$ si comporta come un resistore (inoltre tale regione è debolmente drogata il che le conferisce una resistività "alta").

In definitiva un dispositivo così realizzato si comporta molto bene in polarizzazione inversa, dato che è in grado di sostenere un'elevata tensione di blocco ma presenta un'elevata resistenza serie in polarizzazione diretta (*i.e.* elevate perdite in conduzione).

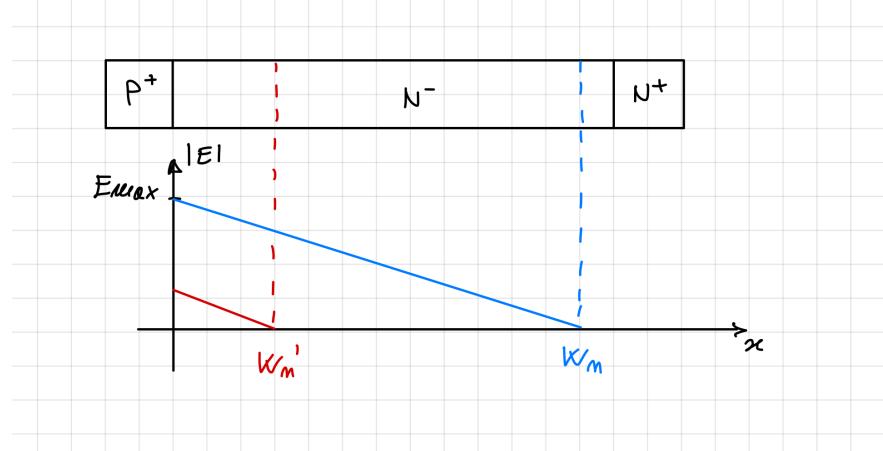


Figura 6.3: Andamento del campo elettrico $|E(x)|$ nel caso in cui la zona N^- sia debolmente drogata; polarizzazione diretta (in rosso); polarizzazione inversa (in azzurro)

Esiste tuttavia un metodo per evitare questo problema che consiste nel ridurre lo spessore della regione di base, che nel nostro caso è rappresentata dalla regione N^- (visibile in Fig.6.4).

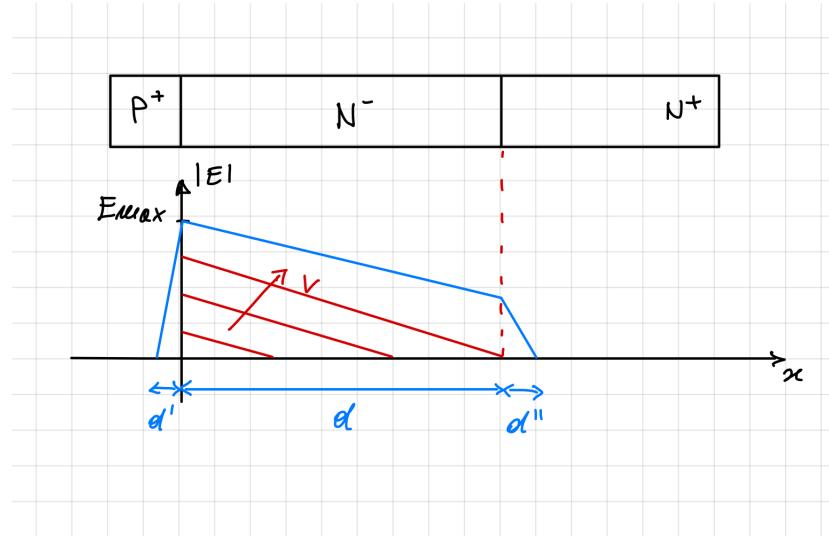


Figura 6.4: Struttura diodo PIN con regione di base ridotta (in alto); andamento di $|E(x)|$ per tensioni di polarizzazione inversa crescenti

All'aumentare della tensione di polarizzazione inversa aumenta sempre più lo spessore della regione di svuotamento nella regione N⁻. Esiste un valore di tensione $V^* < V_{BD}$ tale per cui la regione di svuotamento raggiunge il bordo sinistro della regione N⁺. E' possibile incrementare ulteriormente la tensione inversa fino a raggiungere il valore V_{BD} al quale corrisponde il campo massimo tollerabile dal materiale. E' evidente che la regione di svuotamento invaderà anche la regione N⁺ e penetrerà per uno spessore $d'' \ll d$ (così come $d' \ll d$). Dato che nella regione N⁺ il droggaggio $N_D \gg N_d$ il campo elettrico presenterà un gradiente molto più grande rispetto a quello della zona N⁻.

Un'ulteriore considerazione è che una volta che la regione di svuotamento si estende per tutta la regione N⁻, lo spessore della SCR può essere approssimato con quello della regione di base, cioè

$$d \approx W$$

dato che

$$d', d'' \ll d$$

Per cui il valore della capacità di giunzione è stabile e dato da

$$C_J = \frac{\epsilon_{si}}{d} = \frac{\epsilon_{si}}{W} \quad (6.4)$$

e questa caratteristica è molto utile in applicazioni a radio frequenza (*e.g.* circuiti accordati).

Vediamo come calcolare la tensione massima nel caso appena analizzato. E' possibile calcolare tale valore facendo delle semplici considerazioni geometriche sul grafico di $|E(x)|$ riportato in Fig.6.5. L'obiettivo è valutare l'espressione di

E_1 per poi calcolare V_{max} come l'area del trapezioide $ABMN$, trascurando le aree triangolari (d' , d'' visibili in Fig.6.4)

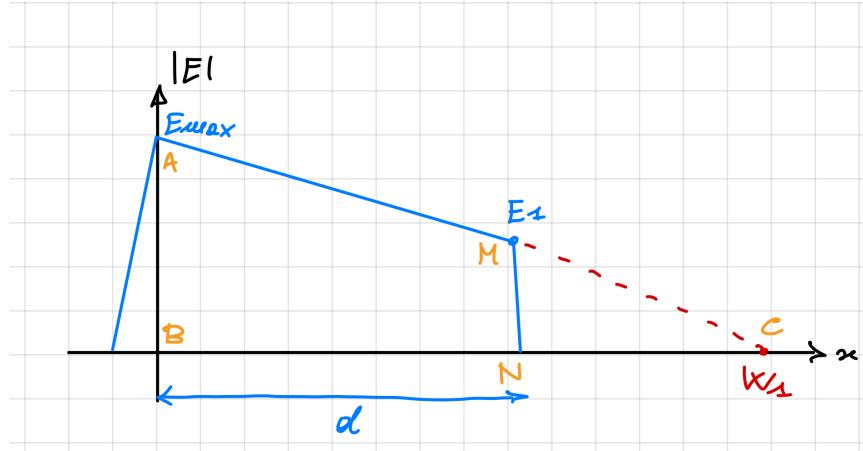


Figura 6.5: Andamento $|E(x)|$ per il calcolo di V_{max}

Per calcolare E_1 supponiamo che la zona N^- sia infinitamente estesa. In tal caso l'andamento del $|E|$ è quello rappresentato dalla linea rossa tratteggiata ed intercetta l'asse x nel punto W_1 . L'espressione di W_1 è nota dato che rappresenta proprio lo spessore della SCR (nel caso di regione N^- infinitamente lunga), per cui

$$W_1 = \sqrt{\frac{2\epsilon_{si}}{q} \frac{V_{BD}}{N_d}} \quad (6.5)$$

I triangoli \widehat{ABC} , \widehat{MNC} sono simili per cui

$$\frac{\overline{AB}}{\overline{MN}} = \frac{\overline{BC}}{\overline{NC}} \Leftrightarrow \frac{E_{max}}{E_1} = \frac{W_1}{W_1 - d} \quad (6.6)$$

da cui è possibile ricavare facilmente E_1 . Pertanto, l'area del trapezioide (*i.e.* V_{BD}) è data da

$$V_{BD} = \frac{(E_{max} + E_1) \cdot d}{2} \quad (6.7)$$

A questo punto vogliamo effettuare un confronto tra le due strutture PIN viste in precedenza. In particolare si vogliono analizzare le differenze in termini di massima tensione (inversa) applicabile e resistenza serie offerta in conduzione diretta. Facciamo riferimento alla Fig.6.6.

Nel caso di regione N^- "lunga", si nota come l'area sottesa al campo elettrico sia maggiore rispetto al caso di regione N^- "corta", risultando in una maggiore tensione di *breakdown*. Tuttavia la maggiore estensione della regione N^- nel primo caso fa sì che il diodo presenti una resistenza serie di valore maggiore, in

polarizzazione diretta, rispetto al secondo caso.

Vale la pena aprire una breve parentesi sulla dipendenza di V_{max} da E_{max} . Dall'equazione (6.3) si nota come V_{max} dipenda quadraticamente da E_{max} , il cui valore dipende dal tipo di materiale utilizzato per costruire il diodo. Pertanto, utilizzando materiali con un campo massimo più elevato, è possibile costruire diodi con tensioni di blocco maggiori. Con riferimento alla tabella riportata in Fig.6.7, utilizzando come materiale il 6H-SiC è possibile ottenere un diodo con una tensione di blocco 100 volte più grande rispetto ad uno stesso diodo realizzato in Si (considerando le stesse dimensioni geometriche e gli stessi livelli di drogaggio). Questo ed altri motivi (come la migliore conducibilità termica) rendono il Carburo di Silicio, ad oggi, il semiconduttore di riferimento per applicazioni di potenza.

Un ulteriore esempio è fornito dal grafico di Fig.6.8 in cui sono rappresentati gli andamenti del modulo del campo elettrico di un diodo PIN realizzato in Silicio (curva in rosso) e Carburo di Silicio (curva in azzurro). In entrambi i casi la tensione di *breakdown* desiderata è, ad esempio, $V_{BD} = 1\text{kV}$. Con riferimento al diodo in Silicio, notiamo che in conduzione diretta, la zona in giallo rappresenta la resistenza serie offerta dal diodo. In questo caso è evidente come convenga utilizzare il SiC al posto del Si, in quanto quest'ultimo avendo un campo massimo maggiore consente di realizzare un diodo con dimensioni più contenute rispetto alla controparte in Si (la zona N^- ha un'estensione minore a parità di V_{BD} ; ciò si traduce in una minore resistenza serie in conduzione diretta).

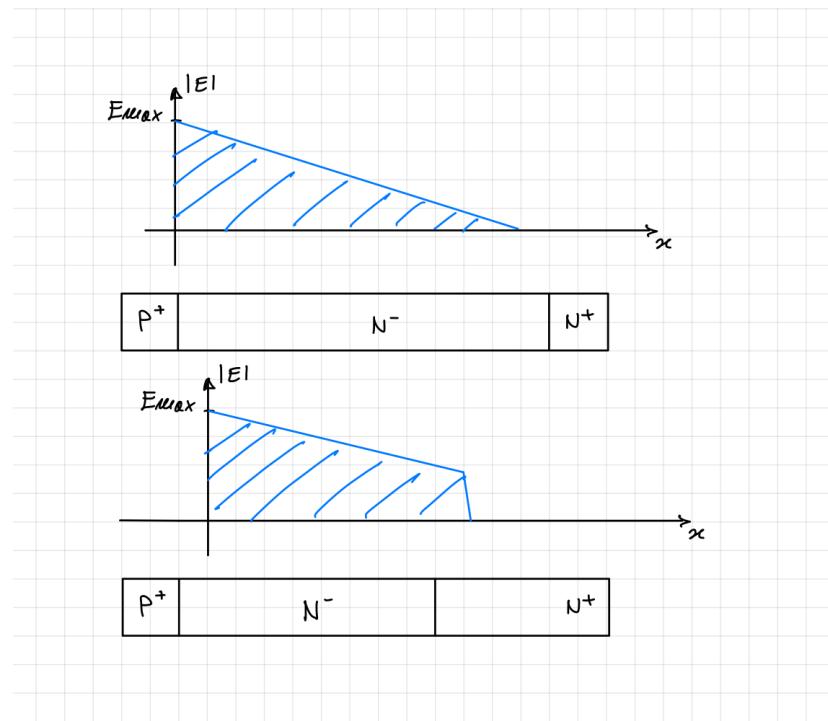


Figura 6.6: Diodo PIN con regione N⁻ "lunga" e relativo andamento del modulo del campo elettrico (in alto); Diodo PIN con regione N⁻ "corta" e relativo andamento del modulo del campo elettrico (in basso)

MATERIAL PARAMETERS AT 300 K

Material	E _G (eV)	ε _r	N _B (cm ⁻³)	μ (cm ² /V.sec)	E _M (V/cm)	λ (W/cm°C)
Si	1.12	11.8	4.5×10 ¹⁵	1500	3.7×10 ⁵	1.5
Ge	0.66	16.0	1.8×10 ¹⁵	3900	2×10 ⁵	0.6
GaAs	1.42	12.9	6×10 ¹⁵	8500	4×10 ⁵	0.46
GaP	2.26	11.1	1.5×10 ¹⁶	110	7×10 ⁵	0.5
6H-SiC	3.0	10	1×10 ¹⁷	300	3×10 ⁶	5
DIAMOND (n-type)	5.5	5.5	2×10 ¹⁷	1900	7×10 ⁶	20
DIAMOND (p-type)	5.5	5.5	2×10 ¹⁷	1500	7×10 ⁶	20

Figura 6.7: Diverse proprietà di alcuni materiali semiconduttori ($T = 300\text{K}$)



Figura 6.8: Confronto campo massimo nel caso di diodo PIN realizzato in Silicio (rosso) o Carburo di Silicio (azzurro)

6.1.2 Polarizzazione diretta

Abbiamo visto che la regione N^- di un diodo PIN deve essere debolmente drogata in modo da consentire il blocco di elevate tensioni inverse. Quando si polarizza direttamente il diodo PIN si ha un'iniezione di portatori minoritari all'interno della regione intrinseca. Dato che il livello di droggaggio della regione N^- , è nell'ordine di $10^{13}\text{-}10^{15}\text{cm}^{-3}$ è altamente probabile che si operi in regime di alti livelli di iniezione. Dato che la neutralità di carica deve essere sempre preservata nella regione intrinseca, il sistema raggiunge un equilibrio dinamico tale per cui

$$n(x) = p(x)$$

come visibile in Fig.6.9

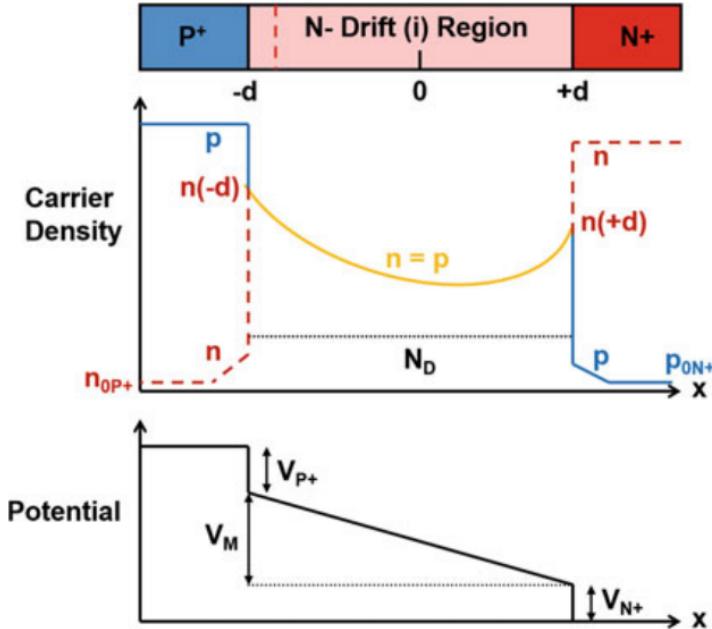


Figura 6.9: Struttura diodo PIN (in alto); andamento della concentrazione dei portatori (al centro); andamento del potenziale interno (in basso)

Una volta noto l'andamento dei portatori della regione intrinseca è possibile calcolare la corrente di ricombinazione in tale regione, dovuta al fatto che è presente un eccesso di portatori. La corrente di ricombinazione può essere calcolata mediante la stessa formula utilizzata per la giunzione PN, cioè

$$J_T = \int_{-d}^d qU dx \quad (6.8)$$

dove U è la velocità netta di ricombinazione data da

$$U = \frac{n(x)}{\tau_{HL}} \quad (6.9)$$

Per ottenere il profilo di concentrazione $n(x) = p(x)$ è necessario risolvere l'equazione di continuità nella regione intrinseca ($-d \leq x \leq d$). Integrando l'espressione di U nella regione intrinseca si ottiene infine la corrente di ricombinazione.

6.2 Esempio: *Power Field Controlled Diode*

Consideriamo la struttura mostrata in Fig.6.10, in cui è possibile notare tre distinte strutture PIN (evidenziate in Fig.6.11).

- i) Diodo PIN verticale (percorso principale per la conduzione della corrente elettrica);

- ii) Diodi PIN laterali, simmetrici rispetto al contatto di catodo

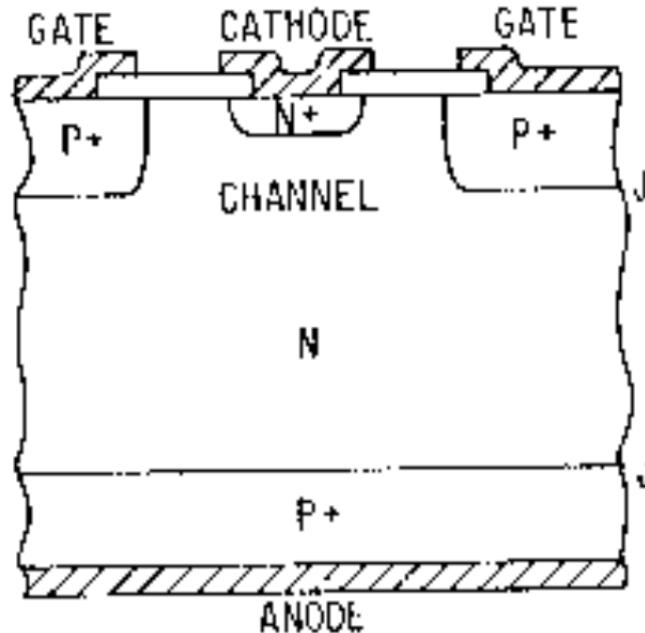


Figura 6.10: Sezione trasversale di un *Power Field Controlled Diode*

Applicando una tensione di polarizzazione inversa tramite i contatti di *Gate-Catodo* è possibile aumentare le regioni di svuotamento associate alle giunzioni P^+-N-N^- laterali. Se si continua ad aumentare la tensione inversa, prima o poi le due regioni di svuotamento si sovrapporranno nella regione di canale (vedi Fig.6.13). In questa condizione anche se si applicasse una tensione diretta al diodo vericale, tramite i contatti di *Anodo-Catodo*, quest'ultimo non potrebbe condurre alcuna corrente dato che la regione di canale è stata svuotata. Per tale motivo un dispositivo del genere viene detto *Power Field Controlled Diode*, visto che è possibile modularne il comportamento tramite un campo elettrico. Il dispositivo si presenta come un diodo, fornito di un terminale di controllo visibile in Fig.6.12.

Un altro regime di funzionamento consiste nel polarizzare direttamente i diodi laterali tramite l'applicazione di una tensione diretta ai terminali di *Gate-Catodo*. In questo modo si verifica un'iniezione di elettroni dalla regione N^+ verso quella di canale e di lacune dalle regioni P^+ all'interno del canale. Così facendo la regione di canale è arricchita di portatori liberi (ci si trova agli alti livelli di iniezione dato che il canale è debolmente drogato, per cui $p = n$) e si verifica un effetto detto *conductivity modulation* che causa un aumento della conducibilità nel canale, riducendo il valore della resistenza parassita associata a tale regione.

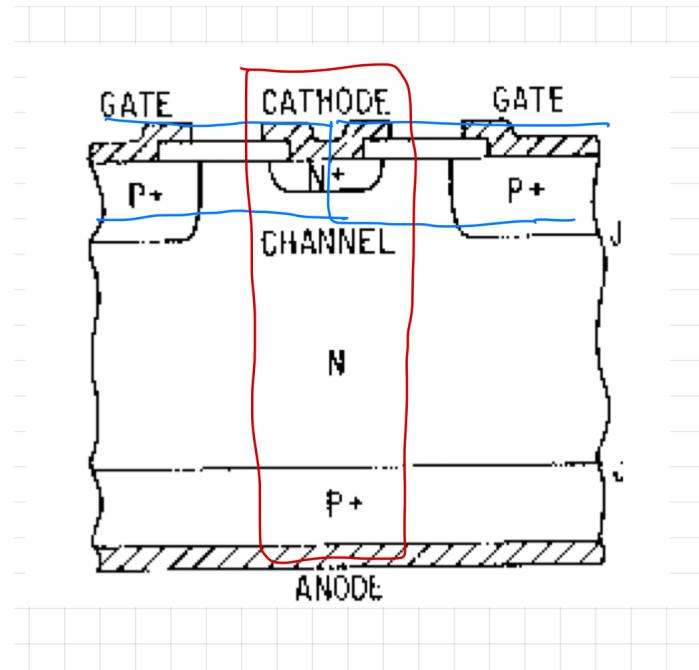


Figura 6.11: Sezione trasversale di un *Power Field Controlled Diode* in cui sono evidenziate le strutture PIN; diodo principale (in rosso); diodi laterali (in azzurro)

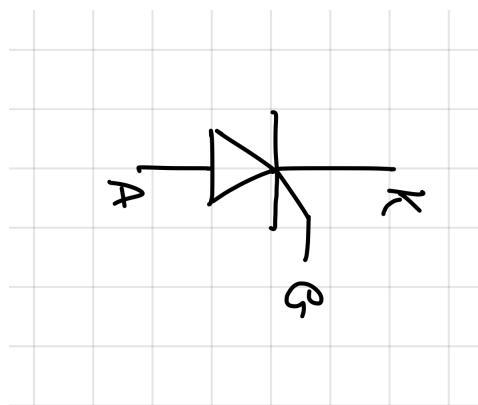


Figura 6.12: Simbolo elettrico del *PFCD*

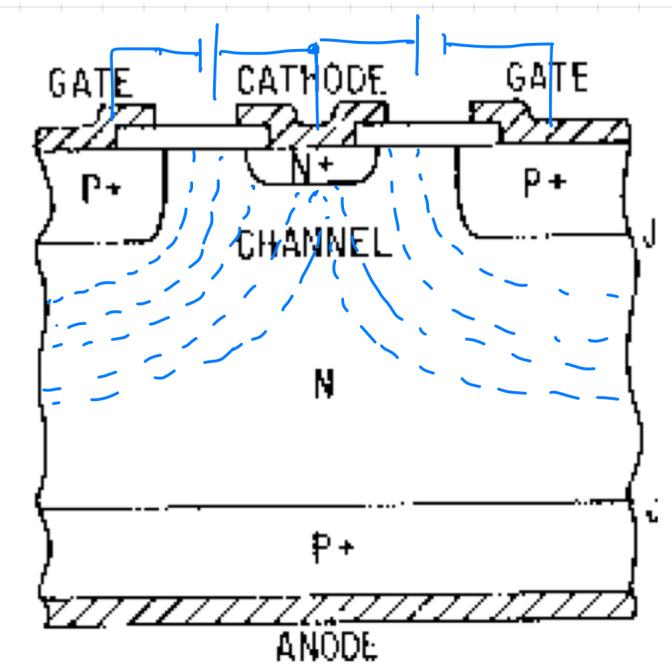


Figura 6.13: Regioni di svuotamento dovute all'applicazione di una ddp negativa tra i terminali di *Gate-Catodo*

Capitolo 7

Diodo Schottky

Un diodo Schottky viene realizzato formando una giunzione metallo-semiconduttore. Il diodo Schottky è un dispositivo unipolare largamente utilizzato in elettronica di potenza, grazie alla sua tensione di soglia relativamente bassa e ad un comportamento in transitorio veloce.

7.1 Caratteristiche e comportamento

La struttura di base monodimensionale di un diodo Schottky è mostrata in Fig.7.1. La tensione applicata al diodo è supportata dalla regione di drift, ed il campo elettrico presenta il classico andamento triangolare (zona drogata uniformemente). Il picco del campo elettrico si verifica alla giunzione metallica ed il dispositivo va in breakdown nel caso in cui tale campo sia maggiore o uguale al campo critico del materiale.

In Fig.7.2 è riportato l'andamento delle bande di energia di un metallo e di un semiconduttore (drogato di tipo N) isolati. Scegliendo opportunamente il metallo e il semiconduttore (tipo e livello di droggaggio), non appena viene creata la giunzione è possibile ottenere migrazione dei portatori di carica dal semiconduttore al metallo. Nell'esempio di Fig.7.2 il semiconduttore è di tipo N e presenta un livello di Fermi E_{Fs} (rappresentativo dell'energia media degli elettroni nel materiale) più grande rispetto a quello del metallo E_{Fm} . Dunque, quando i materiali formano la giunzione si avrà un flusso di elettroni dal semiconduttore al metallo ($E_{Fs} > E_{Fm}$). Quanto descritto è un tipico dispositivo metallo/N-Si; sono possibili anche dispositivi del tipo metallo/P-Si. Inoltre il dispositivo appena visto realizza un contatto rettificante, cioè la corrente può scorrere in un solo verso; è possibile realizzare anche giunzioni non rettificanti (un esempio è dato dal contatto ohmico tra metallo e semiconduttore).

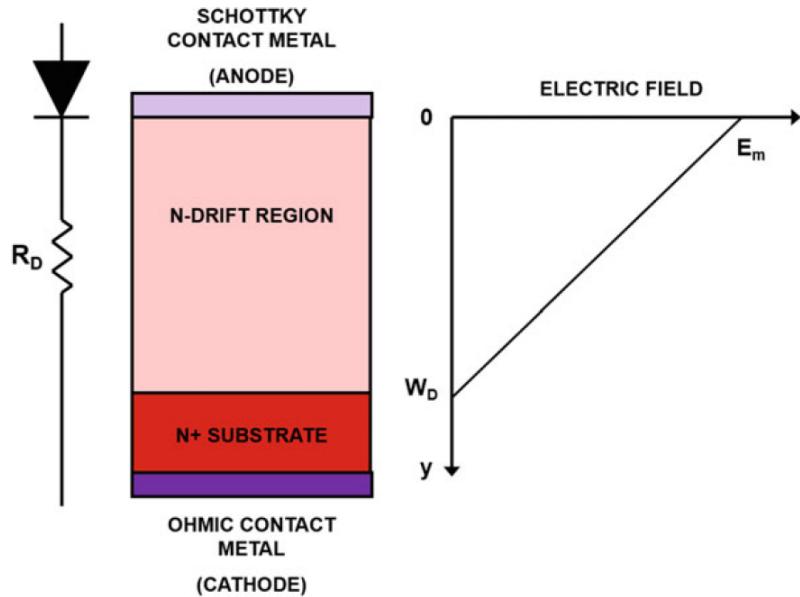


Figura 7.1: Struttura monodimensionale di un diodo Schottky con andamento del campo elettrico in polarizzazione inversa

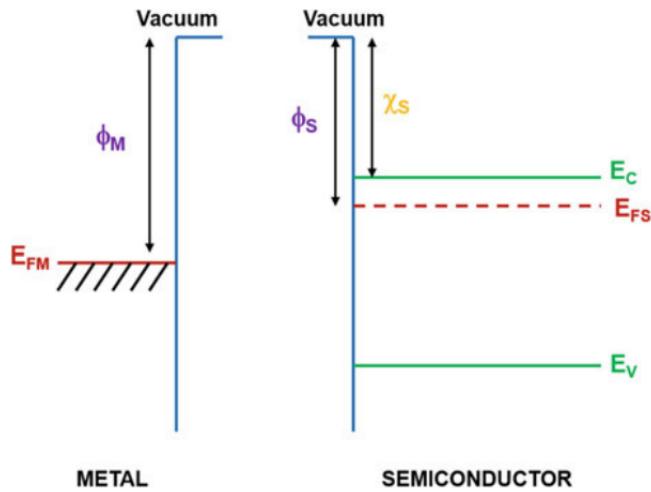


Figura 7.2: Andamento bande di energia del metallo (a sinistra) e del semiconduttore di tipo N (a destra)

Consideriamo un diodo Schottky in cui il contatto di anodo è relativo al metallo mentre quello di catodo è relativo al semiconduttore di tipo N. La densità di carica volumetrica $\rho(x)$ e l'andamento del campo elettrico $E(x)$ sono rappresentati in Fig.7.3.

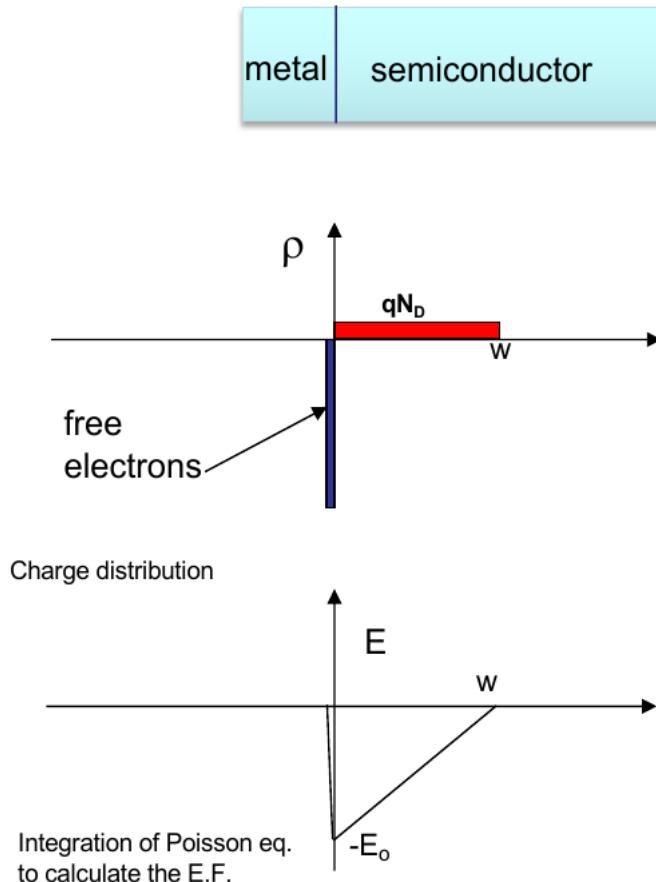


Figura 7.3: Struttura del diodo schottky (in alto); andamento della densità di carica volumetrica $\rho(x)$ (al centro); andamento del campo elettrico $E(x)$ (in basso)

Ciò che si evince è che dal punto di vista elettrostatico la situazione non è molto diversa da quella studiata per le giunzioni PN e i diodi PIN. Vi è evidentemente una capacità associata alla regione di svuotamento che può essere valutata tramite le relazioni

$$\begin{cases} Q_{scr} &= qN_D W = \sqrt{2q\epsilon_{si}N_D(V_{bi} - V)} \\ C_J &= \frac{dQ_{scr}}{dV} = \frac{\epsilon_{si}}{W} \end{cases}$$

Gli elettroni che migrano dal semiconduttore verso il metallo diventano elettroni liberi, dato che nel metallo non vi è presenza di *band gap*, sono liberi di muoversi nella struttura metallica. Applicando una tensione diretta si abbassa E_0 e gli elettroni possono fluire dal semiconduttore verso il metallo. In polarizzazione inversa invece, E_0 aumenta e non ci sono elettroni in grado di fluire dal semiconduttore al metallo.

La barriera Schottky

$$q\Phi_{Bn} = q(\Phi_m - \chi_s) \text{ [eV]} \quad (7.1)$$

blocca il flusso di elettroni dal metallo al semiconduttore; tale barriera non viene modificata dalla tensione di polarizzazione esterna. Infine, nella tabella riportata in Fig.7.4 è possibile notare i differenti valori della barriera Schottky in funzione del metallo scelto per creare la giunzione.

Metal / Si	Ni	Al	Pt	Cr	PtSi
$q\Phi_{Bn}$ (eV)	0.50	0.70	0.90	0.62	0.84

Figura 7.4: Diversi valori della barriera Schottky in funzione del metallo utilizzato

7.2 Confronto con una giunzione PN

I principali vantaggi di un diodo Schottky rispetto ad una giunzione PN sono i seguenti

- i) Il diodo Schottky presenta una tensione di soglia più bassa rispetto alla giunzione PN ($V_\gamma \approx 0.2\text{-}0.3\text{V}$);
- ii) Non è presente capacità di diffusione dato che non vi è iniezione di minoritari (il diodo Schottky è un dispositivo unipolare);
- iii) L'immediata conseguenza del punto (ii) è che il diodo Schottky è più veloce rispetto alla giunzione PN (non ci sono portatori minoritari da dover estrarre/far ricombinare);
- iv) Il processo di fabbricazione è più semplice;
- v) Spesso presenta un coefficiente di idealità η migliore.

mentre per quanto riguarda gli svantaggi

- i) Presenta un caratteristica di *soft breakdown*, cioè la caratteristica in reverse presenta un andamento graduale a differenza di quanto accade in una giunzione PN, la quale ha un andamento più netto (*sharp*);
- ii) Alta velocità di ricombinazione superficiale dato che la giunzione metallica è depositata sulla superficie del wafer;
- iii) Tensione di breakdown minore;
- iv) Sottile layer di ossido all'interfaccia metallo-semiconduttore che deve essere rimosso per una corretta fabbricazione.

In Fig.7.5 è possibile notare le differenze tra le caratteristiche I-V di un diodo Schottky e di una giunzione PN

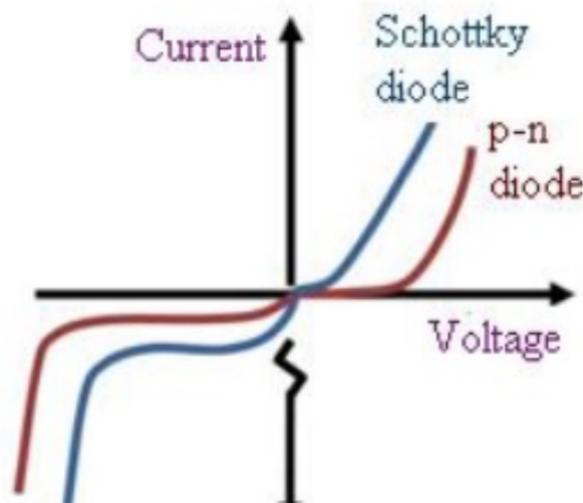


Figura 7.5: Confronto tra le caratteristiche I-V di un diodo Schottky e di una giunzione PN

7.3 Struttura interna

In Fig.7.6 e Fig.7.7 sono riportate due sezioni trasversali di due diversi tipi di diodi Schottky. La prima fa riferimento ad un diodo Schottky planare mentre la seconda è relativa ad un diodo *JBS - Junction Barrier Schottky*. Circa il 90% dei diodi Schottky disponibili in commercio vengono realizzati con struttura JBS, il cui obiettivo è cercare di coniugare le caratteristiche peculiari di un diodo PIN e un diodo Schottky.

Per comprendere meglio questo concetto riferiamoci alla caratteristica corrente tensione di un diodo Schottky e di un diodo PIN prese separatamente. In polarizzazione diretta il diodo Schottky presenta una tensione di soglia minore rispetto al diodo PIN, per cui inizierà a condurre corrente prima. Inoltre, la corrente nel diodo Schottky presenta un andamento più ripido rispetto a quella del diodo PIN (miglior coefficiente di idealità η). Al crescere della tensione diretta, la corrente nel diodo Schottky tende a saturare a causa della resistenza parasita che inizia ad entrare in gioco (la conduzione di corrente nello Schottky è legata alla sola componente di drift dato che non avviene iniezione di minoritari; inoltre questa deve attraversare una regione N^- , la quale presenta un'elevata resistenza). Contemporaneamente il diodo PIN è ancora in grado di sostenere aumenti di corrente senza saturare la caratteristica, dato che si sta operando ad alti livelli di iniezione e si sta verificando al contempo il meccanismo della *conductivity modulation*, aiutando a diminuire la resistenza serie nella regione N^- .

In definitiva la caratteristica in *forward* sarà data dalla somma delle due caratteristiche, dato che la struttura di Fig.7.7 è realizzata da un parallelo di diodo Schottky e diodo PIN, ripetuto N volte.

La caratteristica in polarizzazione inversa può essere ricavata tramite la seguente considerazione. In polarizzazione inversa, le regioni di svuotamento presenti alle giunzioni P^+-N^- tendono ad aumentare la loro estensione spaziale, fino ad intersecarsi l'una con l'altra. Dunque, la corrente inversa (composta dagli elettroni del metallo) viene bloccata dalla regione di svuotamento.

Quanto appena detto è riassunto nel grafico di Fig.7.8

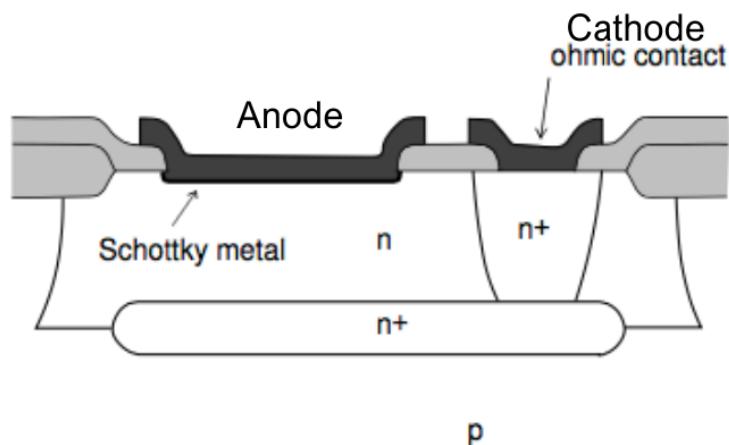


Figura 7.6: Sezione trasversale di un diodo Schottky planare

Osserviamo che non è possibile realizzare diodi Schottky in Silicio con elevate tensioni di breakdown. In tal caso o si ricorre all'utilizzo di diodi PIN o è necessario cambiare materiale, utilizzando diodi in SiC.

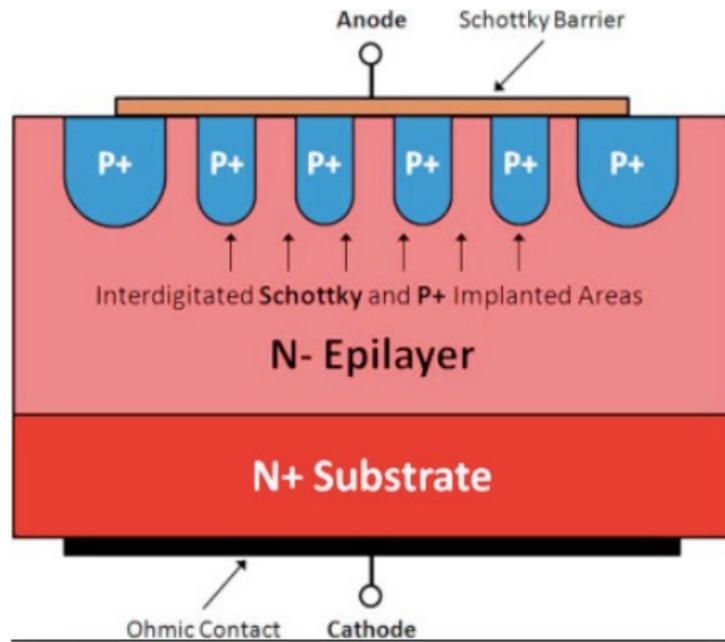


Figura 7.7: Sezione trasversale di un diodo *JBS - Junction Barrier Schottky*

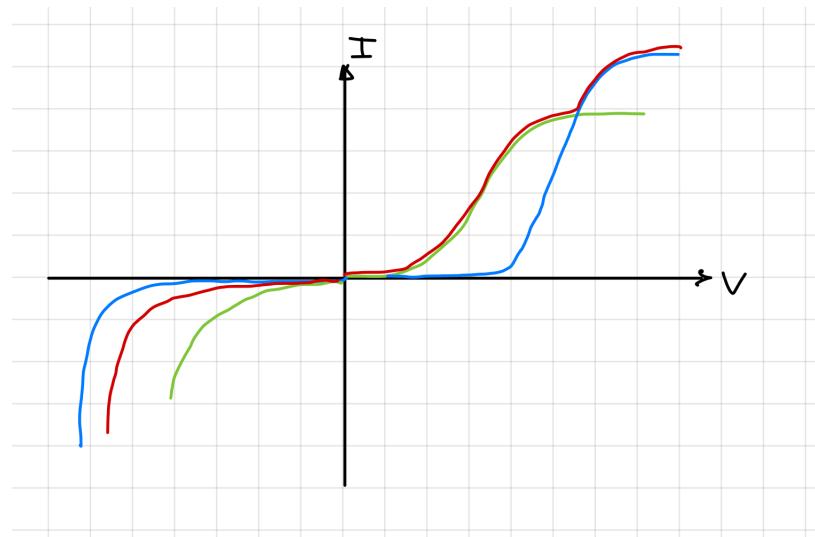


Figura 7.8: Caratteristica $I-V$ di un diodo PIN (in azzuro), di un diodo Schottky (in verde), di un JBS (in rosso)

Capitolo 8

BJT di potenza

8.1 Struttura e caratteristiche

Un BJT di potenza presenta il contatto di emettitore in basso piuttosto che in superficie, così come evidenziato dalla sezione trasversale di Fig.8.1. In particolare, la struttura mostrata in Fig.8.1 è interdigitata, cioè costituita da N BJT di potenza in parallelo; così facendo si cerca di minimizzare la distanza tra le regioni di base e di emettitore, e quindi di ridurre i contributi parassiti dovuti a r_E e r_B .

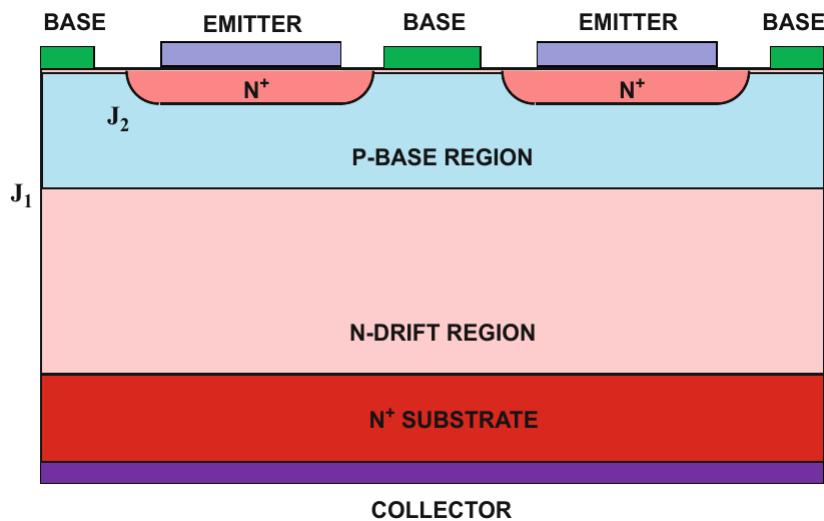


Figura 8.1: Sezione trasversale di un BJT NPN di potenza

Nel grafico di Fig.8.2 si riporta l'andamento del drogante lungo la sezione trasversale di Fig.8.1, in cui è possibile notare il drogaggio della regione di collettore e di sub-collettore.

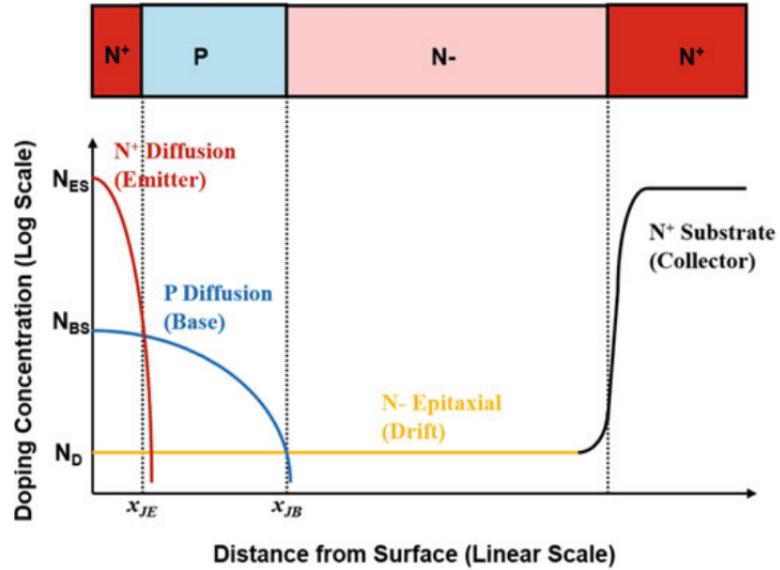


Figura 8.2: Profilo di drogaggio per un BJT NPN di potenza

8.2 Analisi in transitorio

Vogliamo analizzare il comportamento in transitorio on-off e off-on di un BJT. Il circuito per l'analisi in transitorio è quello riportato in Fig.8.3

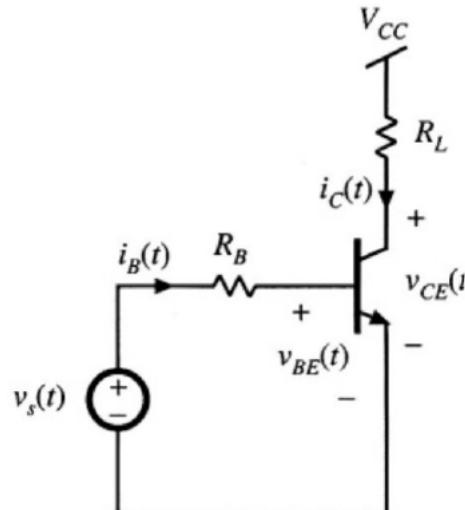


Figura 8.3: Ciruito per l'analisi in transitorio del BJT

8.2.1 Transitorio off-on

L'analisi fa riferimento alle forme d'onda riportate in Fig.8.4

Per $t \in (1)$ si ha

- i) Il generatore di tensione v_s impone sulla EBJ una tensione pari a $-V_{s1}$;
- ii) La capacità di giunzione relativa alla EBJ è carica a $-V_{s1}$;
- iii) La i_C è nulla;
- iv) Dato che $i_C = 0$ non vi è caduta di tensione su R_L , per cui $v_{CE} = V_{CC}$.

Per $t \in (2)$ si ha

- i) Il generatore di tensione v_s impone sulla EBJ una tensione positiva pari a V_{s2} ;
- ii) La capacità di giunzione relativa alla EBJ inizia a scaricarsi, per cui si ha $i_B \neq 0$ (visibile in Fig.8.4);
- iii) Per $v_{BE} = 0$ la capacità di giunzione è completamente scarica ed inizia a caricarsi quella di diffusione, fino a raggiungere il valore di $\approx 0.7V$;
- iv) Il BJT è ancora in interdizione, per cui $i_C = 0$ e $v_{CE} = V_{CC}$.

Per $t \in (3)$ si ha

- i) La capacità di diffusione termina la sua carica e il BJT inizia a condurre una $i_C \neq 0$;
- ii) L'aumento di i_C fa sì che appaia una caduta di tensione su R_L , per cui si osserva ad una diminuzione di v_{CE} nel tempo;
- iii) Il BJT inizia ad entrare in regione di saturazione (iniezione di elettroni dall'emettitore alla base - modulazione della conducibilità in regione di base);

La fase per $t \in (4)$ non è sempre osservabile. Ciò che accade è che si ha un'iniezione di lacune dalla regione di base a quella di collettore (dato che anche la CBJ è direttamente polarizzata). Questo comporta un effetto di modulazione della conducibilità della regione di collettore, che ne abbassa la resistenza. Per cui, si osserva un leggero e finale aumento della i_C in tale intervallo temporale.

Per $t \in (5)$ il BJT è completamente in saturazione ed il rapporto I_C/I_B è chiamato β_{FORCED} dato che

$$I_C = \frac{V_{CC}}{R_L} \quad (8.1)$$

$$I_B = \frac{V_{s2} - V_\gamma}{R_B} \quad (8.2)$$

non dipendono dal BJT ma dal circuito esterno.

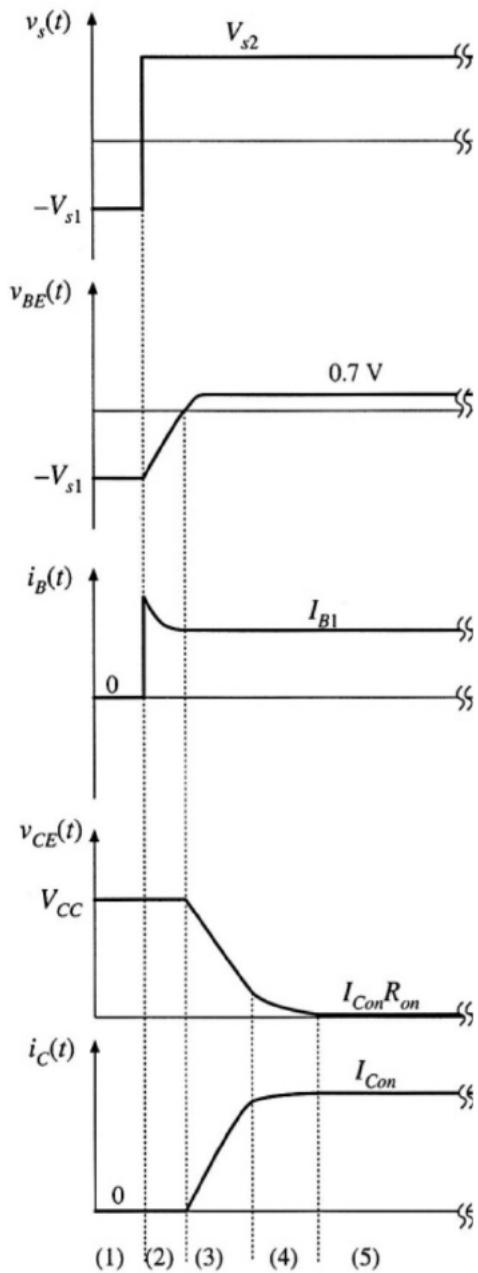


Figura 8.4: Andamento delle forme d'onda nel tempo del circuito di Fig.8.3, durante il transitorio on-off

8.2.2 Transitorio on-off

L'analisi fa riferimento alle forme d'onda riportate in Fig.8.6.

Per $t \in (6)$ si ha

- i) Il generatore di tensione v_s impone una tensione negativa pari a $-V_{s1}$ al fine di spegnere il BJT;
- ii) La capacità di giunzione relativa alla EBJ inizia a scaricarsi (di solito è un processo molto lento). Gli elettroni iniettati nella base e le lacune iniettate nel collettore devono ricombinarsi e/o essere estratte;
- iii) La capacità di diffusione si scarica con una corrente data da:

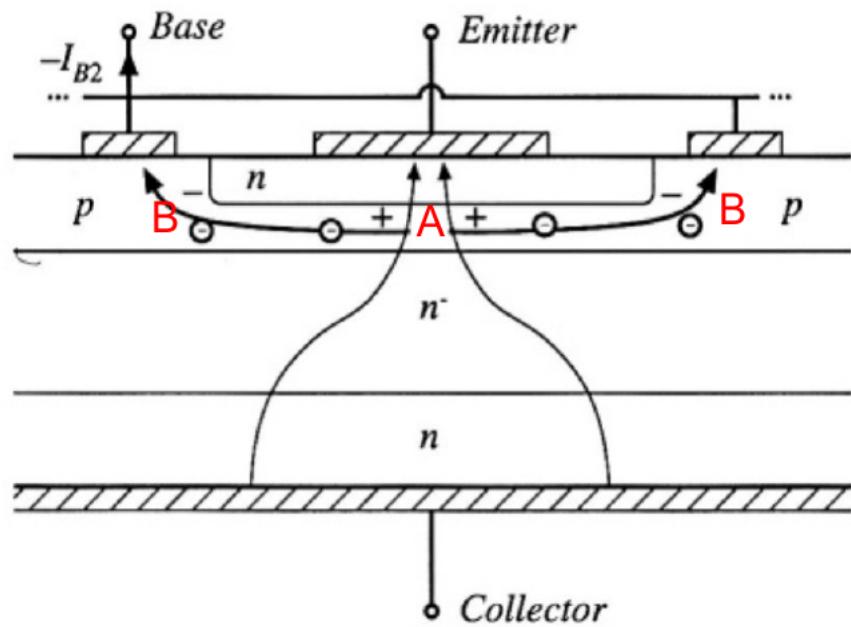
$$-I_{B2} = -\frac{V_{s1} + V_\gamma}{R_B} \quad (8.3)$$

Per $t \in (7)$ il BJT è ancora acceso ma si osserva una diminuzione di v_{CE} e di i_C dato che il componente sta passando dalla saturazione all'interdizione.

Infine, per $t \in (8)$ la capacità di diffusione è completamente scarica e lo spegnimento del componente è completato dalla carica della capacità di giunzione al valore imposto dal generatore esterno.

Così come per il diodo, anche per il BJT è possibile ridurre il tempo di spegnimento, andando a forzare una $V_{BE} < 0$; ciò aiuta il processo di scarica della capacità di diffusione legata alla EBJ. Tuttavia, la corrente di estrazione in base ($-I_{B2}$ in Fig.8.6) durante lo spegnimento, non può essere aumentata a piacimento. Esiste un limite massimo al di sopra del quale il dispositivo può danneggiarsi.

Durante la fase di spegnimento la corrente di emettitore tende ad addensarsi al centro del *finger* di emettitore, causando un aumento della densità di corrente in tale regione che porta alla formazione di un *hotspot*. Con riferimento alla Fig.8.5 ciò che accade è che i_C è costante per $t \in (6)$ ma la caduta di tensione lungo la regione di base, dovuta alla presenza di una $r_B \neq 0$, fa sì che risulti $V_{BE}(A) > V_{BE}(B)$. Per tale motivo la corrente di emettitore si addensa in A e ciò causa un aumento rapido e localizzato della temperatura, che può portare alla fusione della giunzione e quindi, a una distruzione del BJT. Tale fenomeno prende il nome di *current crowding*.

Figura 8.5: *Current crowding* nella regione di emettitore

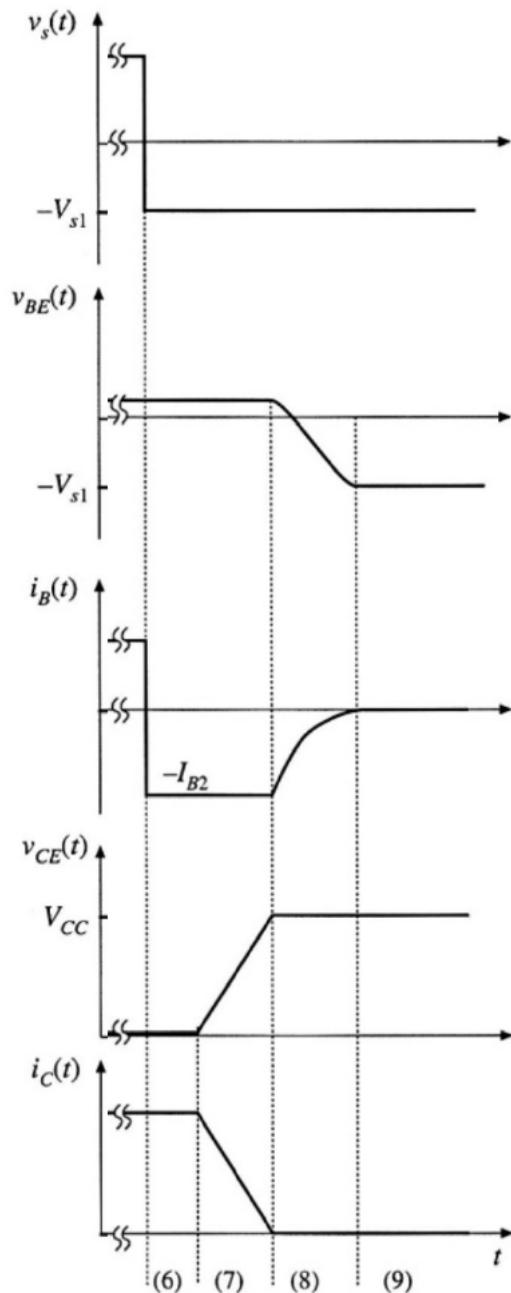


Figura 8.6: Andamento delle forme d'onda nel tempo del circuito di Fig.8.3, durante il transitorio off-on

8.3 Breakdown

In principio, la struttura del BJT di potenza è capace di supportare tensioni di blocco nel primo e nel terzo quadrante. Quando il BJT opera nel primo quadran-

te con una tensione positiva applicata al terminale di collettore, la BCJ viene contropolarizzata. Grazie alla presenza di una regione N-drift, tale giunzione può essere progettata per supportare elevate tensioni di blocco (e.g. 1200V). Quando il dispositivo opera nel terzo quadrante con una tensione negativa applicata al terminale di collettore, la EBJ si contropolarizza. Dato che tale giunzione è formata da due regioni con un droggaggio relativamente elevato, la tensione di breakdown è solitamente minore di 50V. Per questo motivo, il BJT di potenza è usato come interruttore di potenza con una tensione DC positiva sul collettore. La tensione di blocco che può supportare il BJT dipende dalla tensione di polarizzazione applicata tra base ed emettitore.

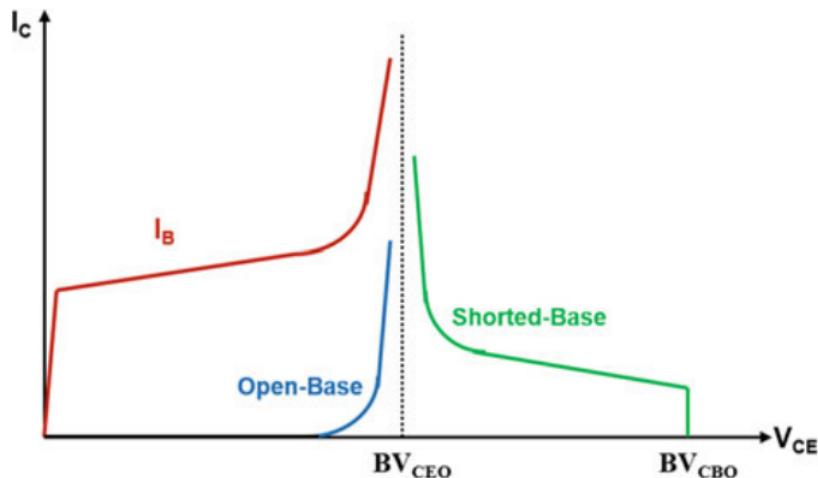


Figura 8.7: Caratteristica di blocco per un BJT NPN di potenza

8.3.1 *Open-Emitter Breakdown Voltage*

Se l'emettitore è aperto, il BJT opera come un diodo tra i terminali di base e collettore. In questo caso, la massima tensione di blocco è determinata dalla tensione di breakdown tra la BCJ. La tensione di breakdown ad emettitore aperto BV_{CB0} è determinata dalla concentrazione di drogante e dallo spessore della regione (leggermente drogata) di collettore (regione N-drift).

8.3.2 *Open-Base Breakdown Voltage*

Se la base è aperta e una tensione positiva è applicata al collettore, la EBJ si polarizza direttamente mentre la CBJ si contropolarizza. All'aumentare della tensione sul collettore aumenta la probabilità della rottura dei legami covalenti (nella regione di base) a causa dell'effetto valanga, che si verifica quando si raggiunge il valore BV_{CEO} . Quando la valanga si innesca, coppie elettrone-lacuna sono create nella base e nel collettore, le quali si comportano come se fosse presente una $I_B > 0$ (il BJT si accende).

Una regola empirica è quella di lavorare con tensione $V_{CE} < BV_{CEO}$ quando il BJT è in stato di blocco. Si trova che

$$BV_{CE0} = BV_{CB0} \sqrt[n]{1 - \alpha} \approx \frac{BV_{CB0}}{\sqrt[n]{\beta}} \quad (8.4)$$

con $2 < n < 4$ e dove si è sfruttato il legame $\beta = \alpha/(1 - \alpha)$.

Notiamo infine che è possibile aumentare BV_{CE0} collegando un resistore R_{BE} tra base ed emettitore (*junction by-pass*) il quale offre un percorso alternativo ai portatori generati per effetto valanga, evitando che il BJT si accenda. Chiaramente il valore massimo di BV_{CE0} lo si ottiene per $R_{BE} = 0$, i.e. quando l'emettitore è cortocircuitato con la base.

8.4 Configurazione *Darlington*

Solitamente i BJT di potenza sono caratterizzati da un basso guadagno in corrente β . Ricordiamo che β è influenzato dallo spessore e dal drogaggio della regione di base, e nel caso dei BJT di potenza, anche dallo spessore e drogaggio della regione di collettore. Dato che questi dispositivi vengono tipicamente adottati come interruttori, gli spessori ed i drogaggi delle regioni appena citate non possono essere diminuiti eccessivamente (si avrebbe una diminuzione della tensione di blocco).

Per tale motivo viene utilizzata una configurazione che consiste nell'utilizzo di una coppia di BJT, opportunamente connessi tra loro, detta coppia *Darlington* (dal nome di Sidney Darlington che per primo la propose). In Fig.8.8 viene riportato lo schema elettrico di una coppia Darlington.

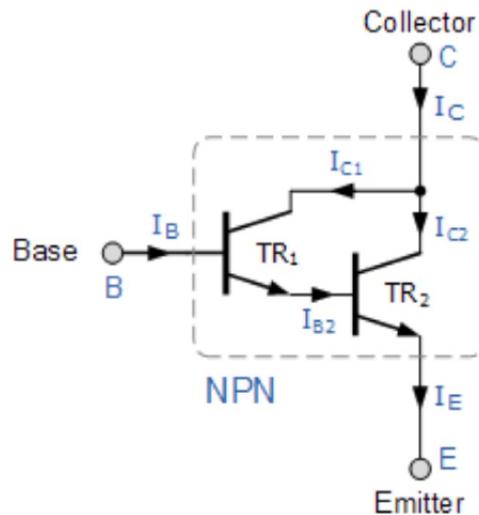


Figura 8.8: Schema elettrico di una coppia Darlington NPN

Si è interessati a calcolare il guadagno complessivo della configurazione Darlington, cioè

$$\beta_D = \frac{I_C}{I_B} \quad (8.5)$$

Detti β_1 e β_2 i guadagni di corrente rispettivamente dei transistor TR_1 e TR_2 , applicando il primo principio di Kirchoff al terminale di collettore è possibile scrivere

$$\begin{aligned} I_C &= \underbrace{I_{C1}}_{\beta_1 I_B} + \underbrace{I_{C2}}_{\beta_2 I_{B2}} \\ &= \beta_1 I_B + \beta_2 \underbrace{I_{B2}}_{I_{E1}} \\ &= \beta_1 I_B + \beta_2 \underbrace{I_{E1}}_{I_B(1+\beta_1)} \\ &= \beta_1 I_B + \beta_2 I_B(1 + \beta_1) \\ &= I_B(\beta_1 + \beta_1 \beta_2 + \beta_2) \end{aligned} \quad (8.6)$$

da cui si ottiene, sostituendo nell'eq.(8.5),

$$\beta_D = \frac{I_C}{I_B} = \beta_1 + \beta_1 \beta_2 + \beta_2 \approx \beta_1 \beta_2 \quad (8.7)$$

dove si è considerato il fatto che il prodotto $\beta_1 \beta_2 \gg \beta_1, \beta_2$. Dunque, con tale configurazione si ottiene un dispositivo che ha un guadagno di corrente dato dal prodotto dei singoli guadagni. Tuttavia, questa configurazione presenta alcuni svantaggi:

- i) $V_{BE} = V_{B1} + V_{B2}$ quindi è necessaria una tensione tra base ed emettitore maggiore rispetto al caso di un singolo BJT;
- ii) $V_{CE} = V_{CE1} + V_{BE2} \approx 0.2V + 0.7V$ il cui valore è molto più grande rispetto ai valori tipici di $V_{CE,sat} \approx 0.2V$;
- iii) La velocità di spegnimento della coppia Darlington è degradata dal fatto che TR_2 non è accessibile dall'esterno (inoltre tale BJT è, tipicamente, il più grande della coppia). Per velocizzare lo spegnimento è possibile inserire un resistore tra B_2 e E_2 così da fornire un percorso ai minoritari per ricombinarsi. In alternativa, inserendo un diodo tra B_2 (anodo) e B_1 (catodo), è possibile sfruttare il terminale di base per estrarre i minoritari, e.g. imponendo una tensione negativa $-V_B$.

8.5 Dissipazione di potenza

In generale tutti i dispositivi elettronici dissipano una certa frazione di potenza sottoforma di calore. Se non si pone particolare attenzione al sistema di smaltimento della potenza dissipata, si incorre inevitabilmente ad un incremento della temperatura operativa del dispositivo. Come abbiamo già anticipato, la rottura dei dispositivi di potenza è spesso causata da un aumento di temperatura incontrollato. Tale aumento può indurre effetti negativi reversibili e/o

irreversibili. In alcuni casi, se la temperatura viene riportata entro limiti accettabili dal dispositivo si ripristina il normale funzionamento, mentre in altri casi è possibile l'innesto di fenomeni distruttivi, *e.g.*, *thermal runaway* (fuga termica).

Di seguito vengono riportati alcuni dei fenomeni causati dall'incremento di temperatura:

- i) Metallizzazioni: elettromigrazione, *contact spiking*, fusione locale;
- ii) Chip: frattura;
- iii) Ossidi: *charge trapping*, perdita di isolamento;
- iv) Dispositivo: *second breakdown*;
- v) Interfaccia Si-Ox: *hot electrons*

8.5.1 Metallizzazioni

L'**elettromigrazione** è un particolare trasporto di materia, rappresentato dal moto graduale di ioni all'interno di un conduttore a causa del trasferimento di quantità di moto tra elettroni di conduzione e atomi di metallo diffusi. L'elettromigrazione diminuisce l'affidabilità dei circuiti integrati. Nel peggio dei casi, essa porta alla perdita di una o più connessioni e a guasti intermittenti dell'intero circuito. In Fig.8.9 è riportata un'immagine SEM che mostra i danni causati dall'elettromigrazione.

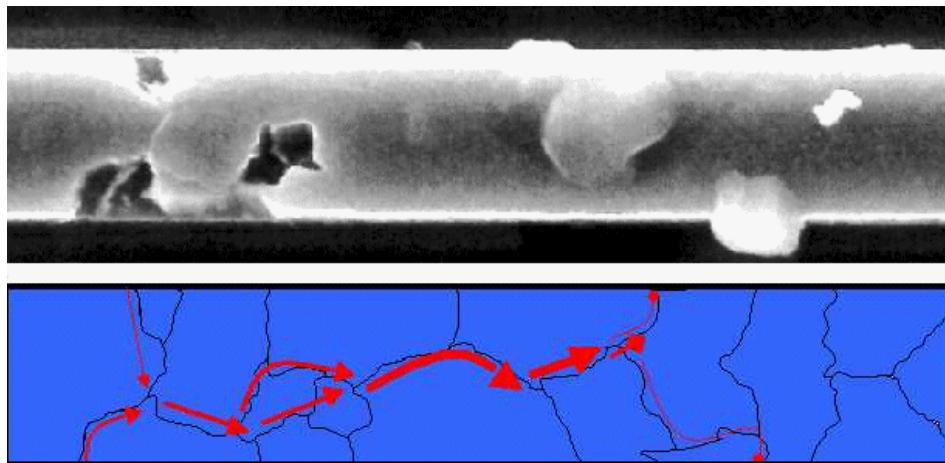


Figura 8.9: Immagine SEM di un'interconnessione affetta da elettromigrazione

Il ***contact spiking*** è un fenomeno per il quale si verifica la diffusione di una metallizzazione verso una zona di materiale semiconduttore. Consideriamo una giunzione PN realizzata in silicio, contattata mediante elettrodi in alluminio. Ci chiediamo cosa accade se l'interfaccia metallo semiconduttore viene riscaldata. Ciò che si verifica è un processo di diffusione (aiutato dall'aumento di temperatura) tale per cui degli atomi di silicio si spostano verso la metallizzazione in alluminio e viceversa. È possibile che gli atomi di silicio mancanti vengano

rimpiazzati da atomi di alluminio diffusi; si crea così uno *spike* attraverso la giunzione PN che ne impedisce il corretto funzionamento (lo spike si comporta come un corto lungo la giunzione PN). Quanto appena esposto è esemplificato nella Fig.8.10.

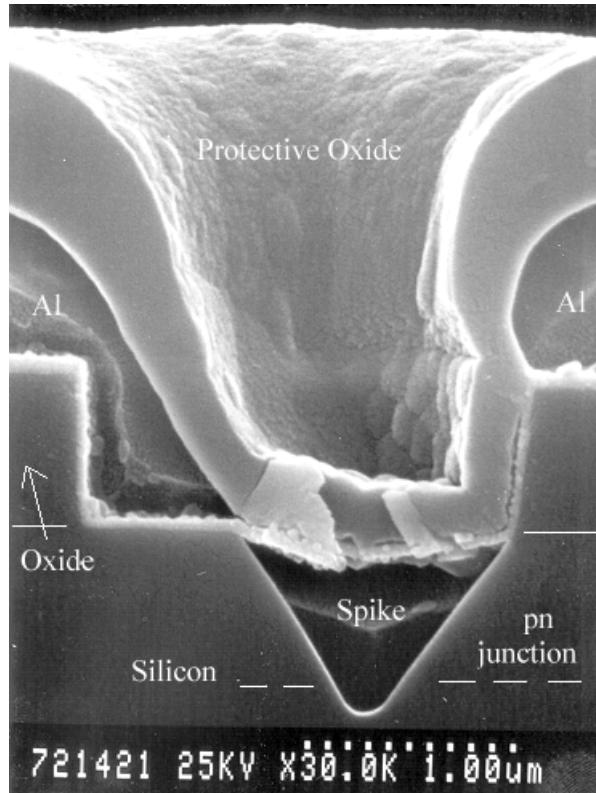


Figura 8.10: Immagine SEM di una sezione trasversale di una giunzione PN affetta da *contact spiking*

Il ***charge trapping*** insieme al fenomeno degli elettroni caldi, tende a verificarsi sovente nei dispositivi MOS. Entrambi i fenomeni sono esacerbati dall'aumento di temperatura del dispositivo, la quale causa un aumento dell'energia cinetica dei portatori che in tali condizioni possono penetrare sia nel layer di ossido di interfaccia o addirittura nella metallizzazione di gate. Nel tempo questi fenomeni tendono a ridurre la vita e l'affidabilità dei dispositivi. Ad esempio, l'inezione di elettroni caldi all'interno dell'ossido di interfaccia può causare l'aumento della tensione di soglia V_{th} e, in alcuni casi, anche il breakdown dell'ossido.

Le **fratture** sono dovute principalmente al fatto che i diversi strati di materiali utilizzati nei package di un dispositivo presentano diversi coefficienti di espansione termica. Dunque, tale problema di natura meccanica può portare alla frattura sia del chip che dei diversi layer che compongono il dispositivo.

Notiamo che un incremento della temperatura diminuisce il ***MTTF - Mean Time To Failure*** e tale fenomeno è descritto dalla seguente relazione empirica

$$\text{MTTF}(T) = \text{MTTF}(T_0) \exp\left(\frac{E_a}{kT}\right) \quad (8.8)$$

dove E_a prende il nome di energia di attivazione e dipende dal tipo di processo, materiale, geometrie ecc., mentre $T_0 = 300\text{K}$ è la temperatura di riferimento.

8.5.2 Esempio: *Thermal Runaway*

Supponiamo di avere un certo carico resistivo R_L e di volergli far attraversare una corrente $I_L = 15\text{A}$. Si hanno a disposizione dei BJT NPN di potenza con una $I_{C,max} = 7.5\text{A}$, per cui la soluzione più ovvia per risolvere il problema è quella di collegare in parallelo due BJT, in modo da dividere equamente la corrente del carico in due rami. A tal proposito, consideriamo il circuito di Fig.8.11

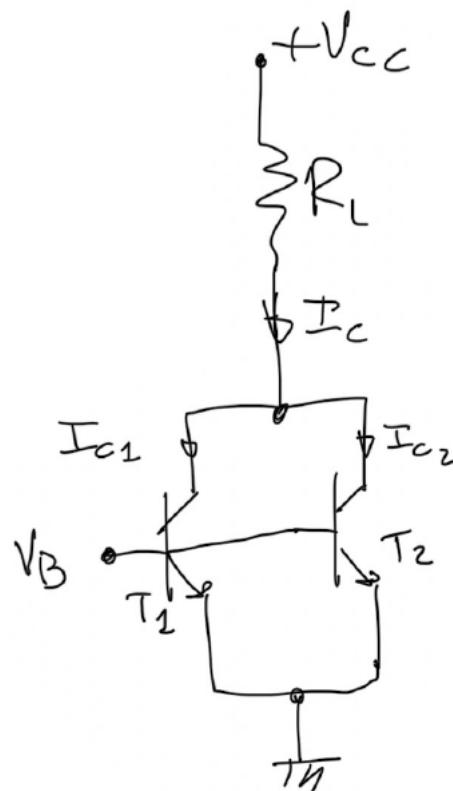


Figura 8.11: Parallelo di due BJT NPN di potenza

E' facile vedere che risulta

$$I_C = \frac{V_{CC} - V_{CE,sat}}{R_L} \approx \frac{V_{CC}}{R_L} = I_{C1} + I_{C2} \quad (8.9)$$

dove

$$I_{C1} = I_{s1}(T_1) \exp\left(\frac{V_{BE}}{V_{T1}}\right) \quad (8.10)$$

$$I_{C2} = I_{s2}(T_2) \exp\left(\frac{V_{BE}}{V_{T2}}\right) \quad (8.11)$$

Ricordiamo che la dipendenza dalla temperatura della corrente di saturazione inversa, può essere descritta mediante

$$I_s(T) = I_s(T_0) \cdot 2^{\Delta T / 10} \quad (8.12)$$

dove $T_0 = 300\text{K}$ è la temperatura di riferimento e $\Delta T = T - T_0$. Quindi appare chiaro che se per un qualsiasi motivo dovesse risultare $T_1 > T_2$ ciò implicherebbe $I_{s1} > I_{s2}$ e dunque $I_{C1} > I_{C2}$. Questo processo porta ad un aumento di temperatura di T_1 dato che la potenza dissipata da quest'ultimo è data da

$$P_{D1} = I_{C1} V_{CE,sat1} \quad (8.13)$$

L'aumento di temperatura porta ad un aumento della corrente di saturazione inversa che causa un ulteriore aumento della corrente di collettore I_{C1} . Questo processo continua finché $I_{C1} > I_{C,max}$, i.e. il dispositivo si rompe e tutta la corrente tenta di scorrere in T_2 causandone la distruzione. In generale questo fenomeno si verifica per un numero arbitrario N di BJT in parallelo con temperature di funzionamento diverse (è sufficiente anche una differenza di 1°C).

8.5.3 Gestione della temperatura

Nei dispositivi bipolari, e.g., giunzioni PN e BJT, la generazione di calore avviene prevalentemente nei dintorni delle giunzioni metallurgiche. Ciò è dovuto al fatto che, in tali regioni avvengono fenomeni di ricombinazione dei portatori. Quando una coppia elettrone libero - lacuna si ricombinano, rilasciano energia sottoforma di vibrazioni reticolari (emissione di fononi) e/o sottoforma di radiazione elettromagnetica (emissione di fotoni). Per questo motivo, la temperatura operativa massima di un dispositivo è sempre riferita alla massima temperatura di giunzione $T_{J,max}$.

Per dimensionare il sistema di raffreddamento è necessario conoscere la resistenza termica del materiale con cui è realizzato il dispositivo e la resistenza termica del materiale usato come sistema di raffreddamento. Nel nostro caso, analizziamo una situazione semplificata, in cui si assume che il materiale del dispositivo elettronico sia silicio, mentre quello del sistema di raffreddamento sia alluminio. A patto di conoscere la geometria e la conducibilità termica dei materiali è possibile determinare le resistenze termiche. Con riferimento alla sezione trasversale di Fig.8.12 risulta

$$R_{Si} = k_{Si}^{-1} \frac{d}{A_{disp}} \quad (8.14)$$

$$R_{Al} = k_{Al}^{-1} \frac{t}{A_{cont}} \quad (8.15)$$

dove si sono considerate i seguenti valori di conducibilità termica per il silicio e l'alluminio

$$\begin{cases} k_{Si} & \approx 170[\text{W/mK}] \\ k_{Al} & \approx 240[\text{W/mK}] \end{cases}$$

A regime tutto il calore generato dalla giunzione deve essere smaltito dal sistema di raffreddamento, con l'obiettivo di mantenere costante T_C (temperatura del case del componente). L'equazione di bilancio della potenza dissipata, porta a

$$\frac{T_J - T_C}{R_{Si} + R_{Al}} = h_C(T_C - T_A)A \quad (8.16)$$

dove il primo membro è il calore generato dalla giunzione verso il case, mentre il secondo membro rappresenta il calore estratto per convezione dal case. Il termine $h_C[\text{W/m}^2\text{K}]$ è il coefficiente di scambio convettivo e dipende dal tipo di sistema di raffreddamento adottato ed A rappresenta l'area di scambio termico.

Dato che T_C e $T_{J,max}$ sono fornite dal produttore e Q è la potenza termica dissipata dal dispositivo, i.e., $R_{on}I^2$, è possibile calcolare il valore di h_C tale da ottenere il bilancio di potenza mostrato nell'eq.(8.16).

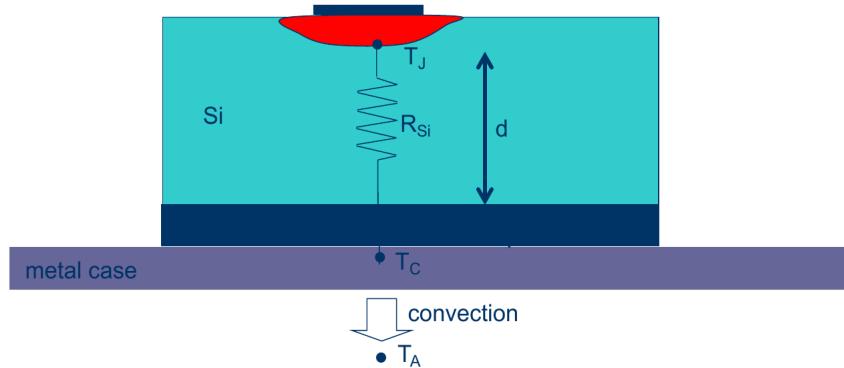


Figura 8.12: Sezione trasversale di una giunzione PN in cui si evidenziano: i) R_{Si} resistenza termica del silicio; ii) Spessore del diodo; iii) Flusso del calore dalla giunzione verso l'ambiente esterno

8.6 Second breakdown nel BJT

Oltre ai fenomeni di breakdown visti nel §8.3, esistono altri fenomeni che limitano il funzionamento di un BJT noti come *second breakdown*. Il second breakdown è causato dalla formazione di *hotspot* all'interno del dispositivo che, a loro volta, possono causare fenomeni di fuga termica, fino a portare alla distruzione del BJT.

L'aumento della densità di corrente di collettore può verificarsi nei seguenti casi

- i) EBJ polarizzata direttamente, come nel caso di transitorio di accensione;

ii) EBJ polarizzata inversamente, come nel caso di transtorio di spegnimento.

Queste limitazioni sono discusse nel paragrafo successivo.

8.6.1 FBSBD - Forward Biased Second Breakdown

Il transistor bipolare di potenza può subire un guasto distruttivo a causa di una fuga termica quando la EBJ è polarizzata direttamente. La corrente di emettitore tende ad addensarsi a causa di una retroazione termica positiva, generando un hotspot. L'elevata dissipazione di potenza nell'hotspot genera un ulteriore aumento localizzato della temperatura, il quale favorisce un aumento della corrente nell'area interessata. Questo ciclo di eventi perdura finché la temperatura raggiunta nei dintorni dell'hotspot è tale da fondere la metallizzazione della regione di emettitore. Il metallo, penetrando attraverso la giunzione, forma un corto circuito che risulta fatale per il BJT.

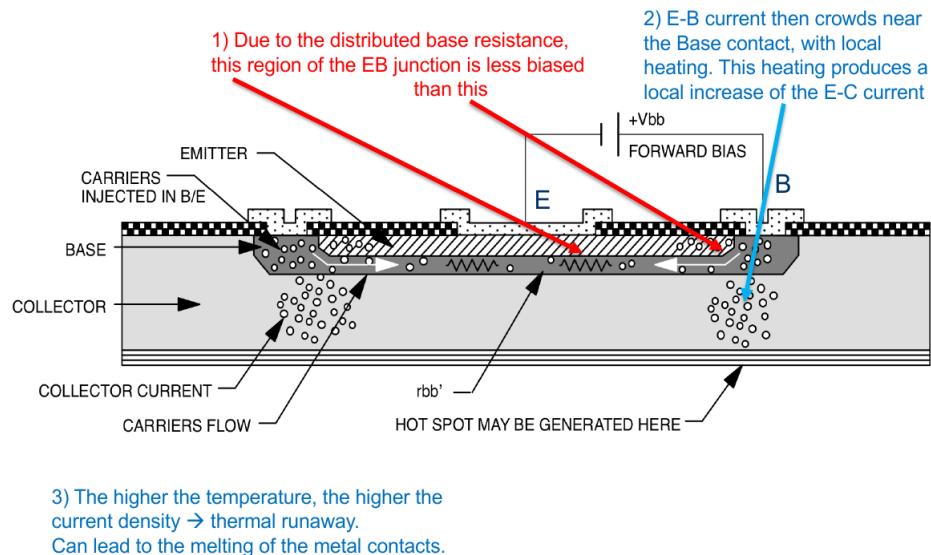


Figura 8.13: Sezione trasversale di un BJT NPN di potenza in cui sono evidenziate le fasi del *FBSBD*

Esistono diverse contromisure per limitare eventi di FBSBD, noi ne analizzeremo due.

La prima consiste nel pilotare la base del BJT tramite un generatore di corrente, così come visibile in Fig.8.14. Tale tecnica consente di limitare la corrente di base ad un valore noto, grazie alla presenza del generatore di tensione e dalla resistenza serie

$$I_B = \frac{V_{BS1} - V_\gamma}{R_{B1}} \approx \frac{V_{BS1}}{R_{B1}} \quad (8.17)$$

Limitando la corrente di base si limita anche quella di collettore, dato che il loro rapporto è dato da

$$\beta_F = \frac{I_C}{I_B} = \frac{D_{nB}}{D_{pE}} \frac{\overbrace{n_{Bo}}^{n_i^2/N_B} W_E}{\underbrace{p_{Eo}}_{n_i^2/N_E} W_B} \Leftrightarrow \beta_F = \frac{D_{nB}}{D_{pE}} \frac{N_E}{N_B} \frac{W_E}{W_B} \quad (8.18)$$

dove il rapporto n_{Bo}/p_{Eo} è pressoché costante con la temperatura. Per cui fissare I_B implica bloccare I_C ad un valore noto, limitando così eventuali incrementi incontrollati dovuti a fughe termiche.

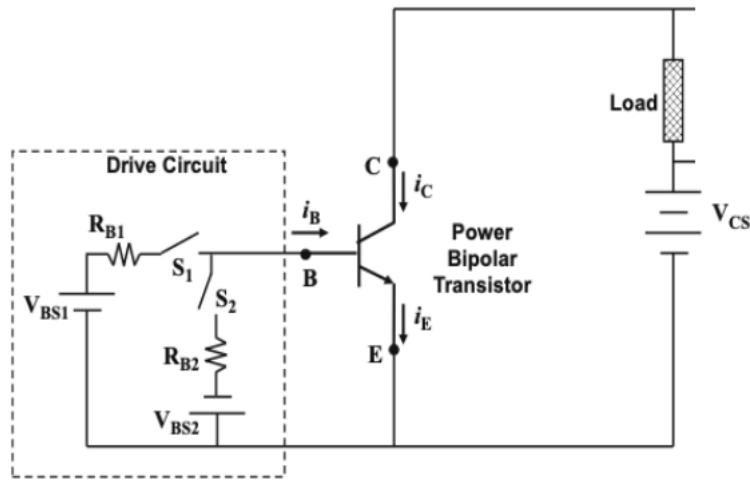


Figura 8.14: Circuito di driving tramite generatore di corrente per evitare fenomeni di FBSBD

Gli svantaggi di questo approccio sono dovuti all'utilizzo di due generatori di tensione di valore relativamente "alto" e la presenza di due resistori di valore sufficientemente "elevato".

Il secondo metodo è quello di utilizzare un *ballasting resistor*, i.e., letteralmente resistenza di zavorra, come mostrato in Fig.8.15. Questo resistore distribuito viene realizzato internamente al bipolare, in modo tale da diminuire la V_{BE} e limitare gli effetti del FBSBD. In particolare, R_{EB} sarà più grande nelle vicinanze del contatto di emettitore e diminuirà man mano che ci si allontana da quest'ultimo, così come mostrato schematicamente in Fig.8.16. La resistenza di ballasting è distribuita lungo tutto il finger di emettitore ed introduce un feedback negativo in temperatura.

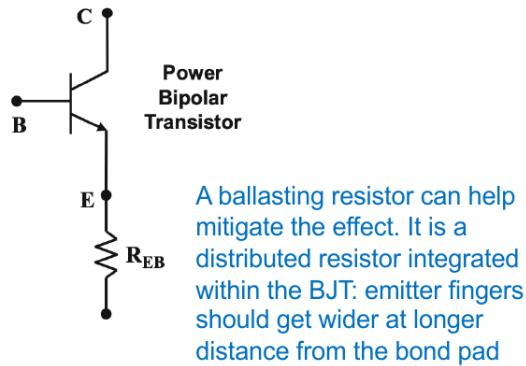


Figura 8.15: BJT NPN di potenza dotato di un ballasting resistor

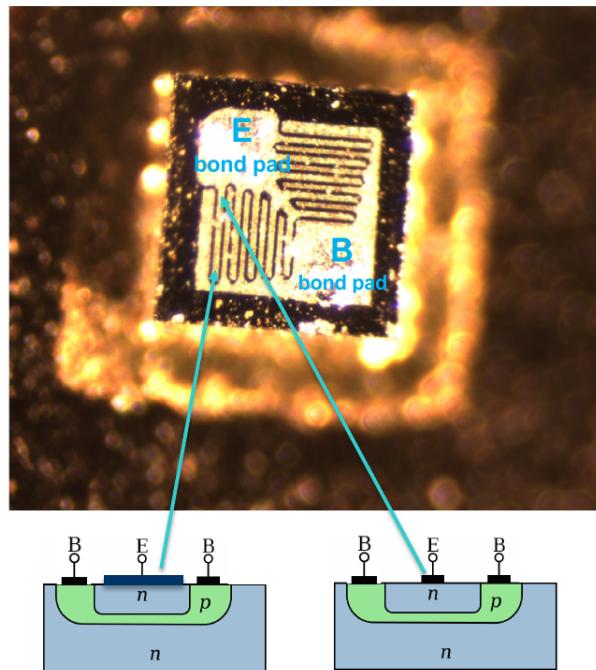


Figura 8.16: Sezione trasversale di un BJT NPN 2N2222 in cui si evidenzia la resistenza di ballasting lungo il finger di emettitore

8.6.2 RBSBD - Reverse Biased Second Breakdown

Come già visto nel §8.2.2, durante le fasi di spegnimento di un BJT di potenza, la corrente di collettore rimane costante per un certo intervallo di tempo (specialmente nel caso in cui si stiano pilotando carichi fortemente induttivi). Durante queste fasi la corrente di collettore tende ad addensarsi al centro del finger di emettitore, producendo un aumento della densità di corrente in tale zona. E' noto che durante la fase di spegnimento il potenziale del collettore

aumenta, pertanto all'interno delle regioni N⁻-N⁺ si instaura un elevato campo elettrico locale che fa saturare la velocità dei portatori in tale regione.

La concentrazione di elettroni nella regione di drift al centro del finger di emettitore è data da

$$n_D = \frac{J_C}{qv_{sat,n}} \quad (8.19)$$

dove J_C è la densità di corrente di collettore locale. All'aumentare di J_C la concentrazione di elettroni n_D aumenta fino ad eguagliare la concentrazione di drogante ionizzato nella regione di drift. Di fatto, nella regione N⁻ il gradiente del campo elettrico è governato da

$$\frac{dE}{dx} = -\frac{q}{\epsilon_{si}} [N_D - n_D(x)] \quad (8.20)$$

Quando $n_D > N_D$ si ha un inversione della pendenza del campo elettrico e si verifica un picco alla giunzione metallurgica delle regioni N⁻ - N⁺, come mostrato in Fig.8.17.

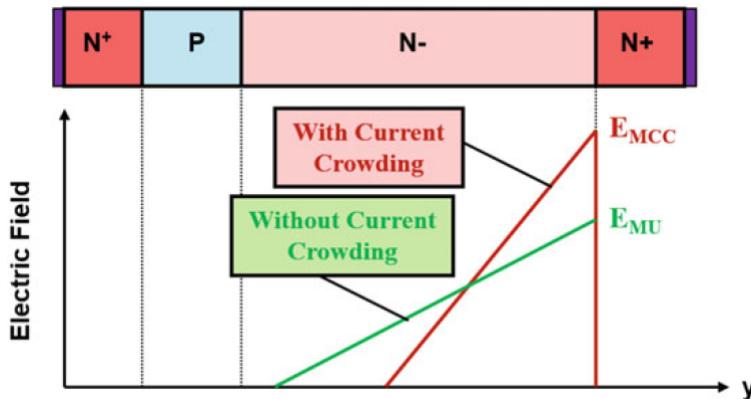


Figura 8.17: Andamenti del campo elettrico all'interno di un BJT di potenza durante la fase di spegnimento con e senza il fenomeno del current crowding

Quanto appena visto esaspera la moltiplicazione a valanga per tensioni minori rispetto a quanto previsto, sia dalla concentrazione di drogante N_D sia con una distribuzione uniforme di corrente all'interno della struttura.

8.7 SOA - Safe Operating Area

Per i dispositivi di potenza la *Safe Operating Area* è definita dalla coppia (tensione - corrente) operativa, tale da far operare il dispositivo in condizioni di sicurezza, i.e., evitare danneggiamenti del componente. La SOA è riportata in forma grafica all'interno dei datasheet del componente. Per un BJT di potenza il grafico presenta sull'asse delle ascisse la V_{CE} e sull'asse delle ordinate la I_C . L'area operativa sicura è semplicemente fa riferimento all'area sottesa dalla curva rappresentata in Fig.8.18. Le specifiche che portano alla definizione della

SOA sono direttamente influenzate dai diversi limiti del dispositivo - $V_{CE,max}$, $I_{C,max}$, $T_{J,max}$, second breakdown. La combinazione di tali limiti fornisce la curva della SOA.

I limiti che determinano la SOA del dispositivo sono:

- i) Limite sulla I_C (a basse V_{CE}), dettato dalle dimensioni dei *wire bond*;
- ii) Limite termico, dovuto alla massima potenza dissipabile dal dispositivo tale da non eccedere $T_{J,max}$;
- iii) Limite RBSOA, dovuto al meccanismo del reverse biased second breakdown.

Infine, notiamo che la SOA viene spesso fornita per regimi operativi di tipo impulsivo. Evidentemente, il dispositivo è in grado di tollerare una potenza dissipata anche maggiore della massima ammessa, purchè tale evento abbia durata transitoria; tale concetto è esemplificato dalla Fig.8.19, in cui si nota che per eventi con durata minore o uguale a 10 μ s, la potenza tollerabile dal dispositivo sia maggiore rispetto a quella definita per operazioni in DC.

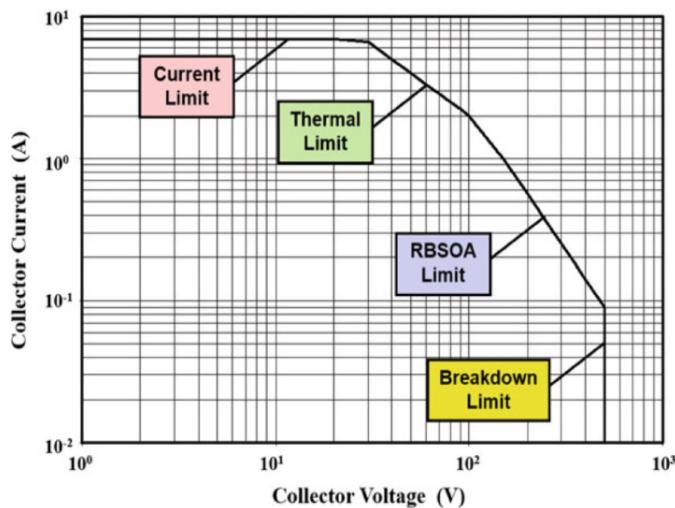


Figura 8.18: SOA di un BJT NPN di potenza, in cui sono evidenziati i diversi limiti del dispositivo

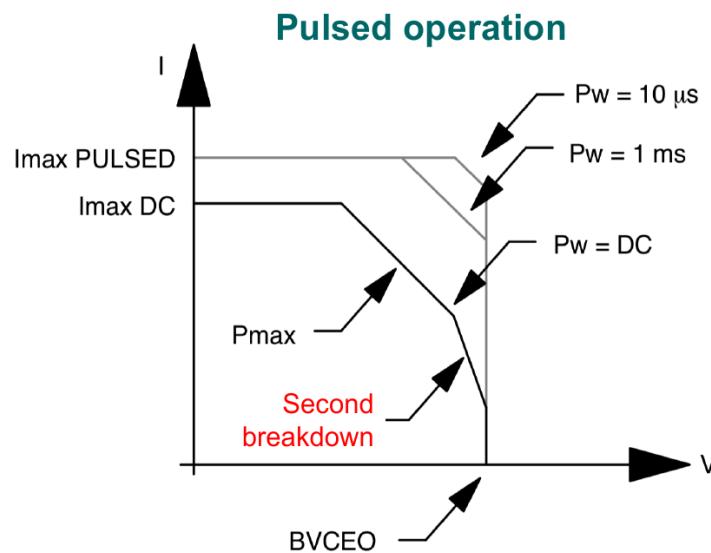


Figura 8.19: SOA per eventi impulsivi

Capitolo 9

MOSFET di potenza

9.1 Tecnologia di fabbricazione

Prima di iniziare lo studio dei MOS di potenza, vogliamo soffermarci su tre diverse sezioni trasversali

- i) *Lateral MOSFET*;
- ii) *Double diffusion MOSFET - DMOS*;
- iii) *V-groove (trench) MOSFET*

9.1.1 *Lateral MOSFET*

La sezione trasversale è riportata di seguito nella Fig.9.1, in cui sono evidenziati:i) il layer di inversione (in verde), ii) le metallizzazioni di gate, iii) drain e source (in azzurro), iv) la struttura MOS del dispositivo (in giallo), v) la regione di drift (in rosso).

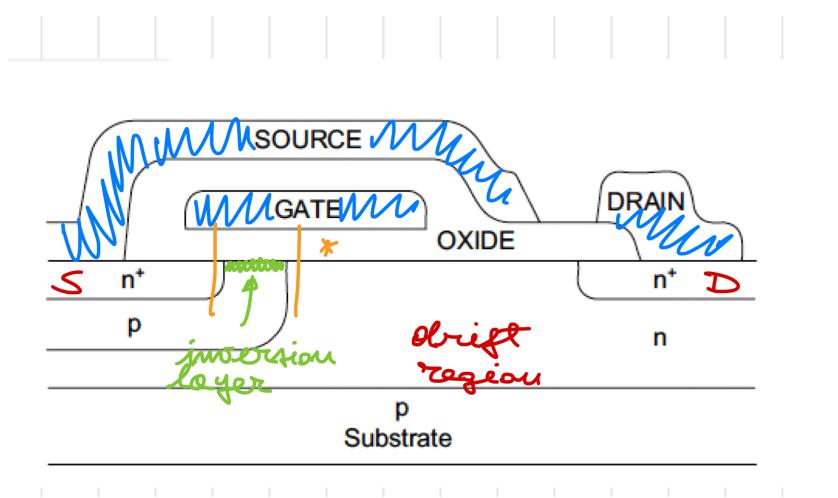


Figura 9.1: Sezione trasversale di un *Lateral MOSFET*

Una volta che il canale viene formato, la corrente di elettroni attraversa la regione di drift per poi giungere al terminale di drain. Osserviamo che la regione di drift ha lo scopo di aumentare la tensione di blocco tra drain e source quando il MOS è in interdizione (cfr struttura diodo PIN). Tuttavia, tale regione presenta una resistività $\rho \neq 0$, aumentando quindi le perdite in conduzione del dispositivo.

9.1.2 Double diffusion MOSFET - DMOS

Questa struttura è quella tipicamente più adottata nella pratica. In Fig.9.2 è visibile la sezione trasversale, in cui si evidenziano: i) il layer di inversione (in verde), ii) il percorso della corrente di elettroni (tratteggio in azzurro), iii) struttura MOS (in giallo).

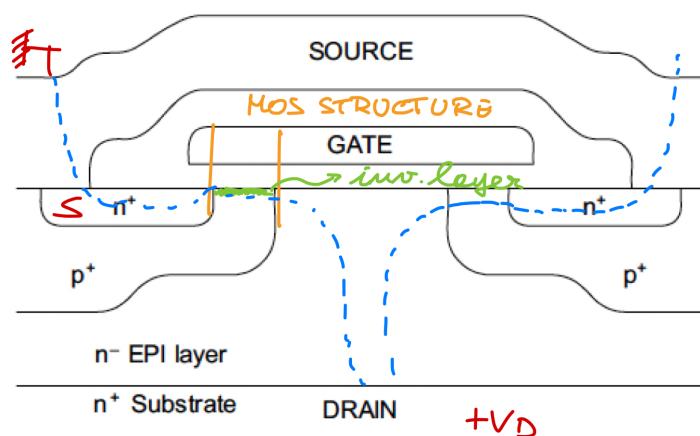


Figura 9.2: Sezione trasversale di un *Double diffusion MOSFET - DMOS*

A differenza del MOS laterale, che presenta una struttura planare, quella del DMOS è invece verticale, con il terminale di drain posto sul fondo del dispositivo. Infatti, il flusso di corrente avviene verticalmente: dal terminale di source, attraversando il layer di inversione, per poi giungere al terminale di drain tramite la regione di drift.

9.1.3 V-groove (trench) MOSFET

Il MOS V-trench nasce per mitigare i problemi indotti dalla resistività $\rho \neq 0$ della regione di drift. In questo dispositivo si cerca di minimizzare il percorso della corrente attraverso la regione di drift, agendo sulla geometria del dispositivo. Infatti, come si evidenzia in Fig.9.3, il layer di inversione è obliquo ed il percorso degli elettroni all'interno della regione di drift è minimizzato.

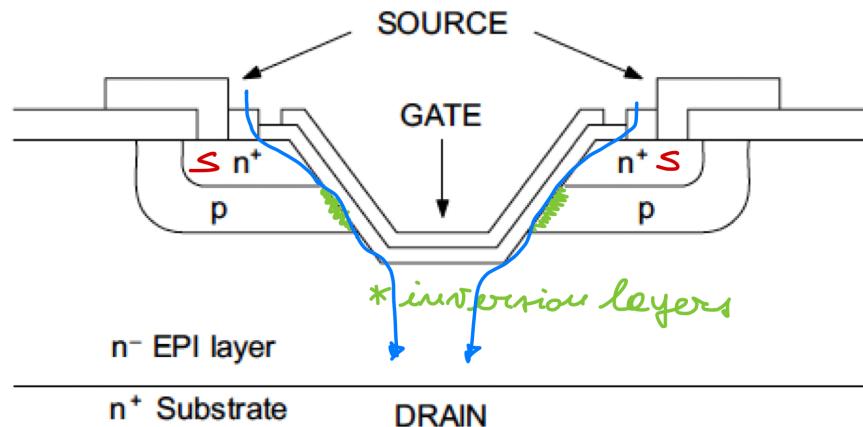


Figura 9.3: Sezione trasversale di un *V-groove (trench)* MOSFET

Nel prosieguo faremo sempre riferimento alla struttura di un DMOS.

9.2 Double diffusion MOSFET

In questo dispositivo, come abbiamo già visto, la conduzione avviene in verticale. Il circuito a cui ci riferiamo quando analizziamo il comportamento da interruttore del MOS è quello riportato in Fig.9.4.

9.2.1 Comportamento in interdizione

Studiamo più nel dettaglio la sezione trasversale del MOS. Con riferimento alla Fig.9.5, è possibile notare come la regione di *P-base* si trovi allo stesso potenziale di quella *N⁺* (source). Quando il potenziale di gate $V_G = 0V$ i diodi $N^+ - P^+$ e $P^+ - N^-$ (evidenziati in rosso in Fig.9.6) bloccano il flusso di corrente tra drain e source. In realtà, la vera struttura che è in grado di sostenere elevate tensioni di blocco è il diodo PIN (P^+, N^-, N^+) evidenziato, in verde, nella Fig.9.6.

Da tali considerazioni si comprende che avere una regione *N⁻* molto estesa consente di poter sostenere elevate tensioni di blocco. Dato che $I_D = 0$, ciò implica che tutta la tensione del carico è applicata sul drain ed è sostenuta internamente dalla struttura PIN.

Quando si applica una $V_{GS} > V_{th}$ il dispositivo si accende ed i diodi intrinseci (in rosso di Fig.9.6) vengono *bypassati* dal canale conduttivo, che si comporta a tutti gli effetti come un resistore. Per quanto detto si comprende che un MOS è un dispositivo potenzialmente veloce, dato che

- i) La conduzione è supportata da un solo portatore (dispositivo unipolare); non ci sono fenomeni di iniezione;

- ii) Nella fase di spegnimento non bisogna attendere la ricombinazione dei portatori (no iniezione); non vi è una capacità di diffusione associata;
- iii) La velocità operativa dipende da quanto velocemente si è in grado di rimuovere i portatori dal layer di inversione, i.e. quanto velocemente si è in grado di scaricare la capacità distribuita Gate-SiO₂-Si.

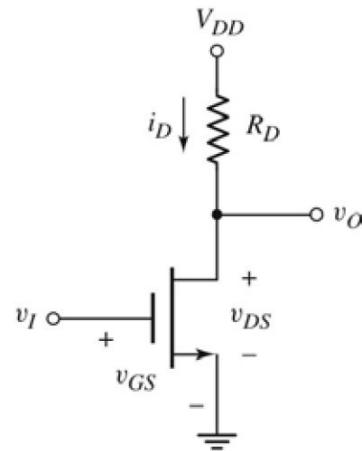


Figura 9.4: NMOS utilizzato come interruttore, con carico R_D collegato al terminale di drain

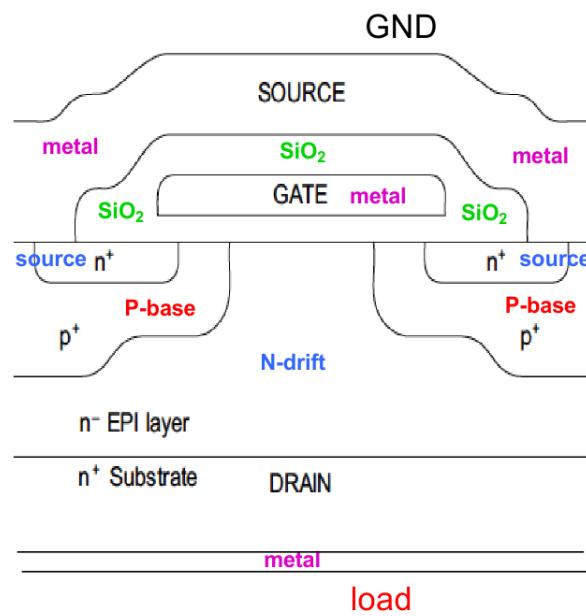


Figura 9.5: Sezione trasversale di un DMOS con carico collegato al drain e source collegato a massa

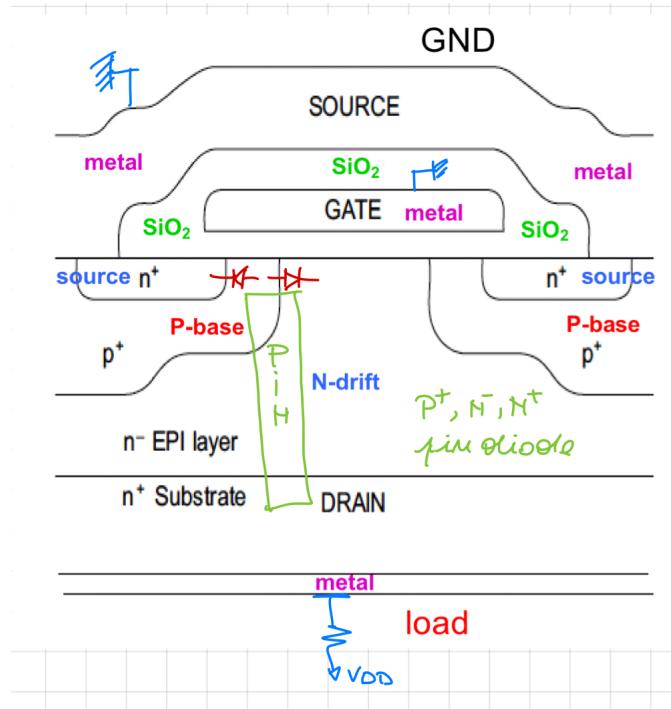


Figura 9.6: Sezione trasversale di un DMOS in condizioni di blocco. Sono evidenziati i due diodi (in rosso) montati dorso a dorso e il diodo PIN (in verde)

Vogliamo studiare l'andamento di $\rho(x)$ lungo il percorso attraversato dagli elettroni, quando il dispositivo è in interdizione. Quando il MOS è spento, la maggior parte della V_{DS} cade ai capi della SCR all'interno della regione N⁻ di drift. In Fig.9.7 è rappresentato in modo illustrativo quanto appena detto. Appare chiaro come la SCR si estenda maggiormente nella regione N⁻ visto che questa è meno drogata rispetto alla regione P⁺ di base. Ancora una volta si evidenzia l'importanza dello spessore della regione N⁻ in regione di interdizione.

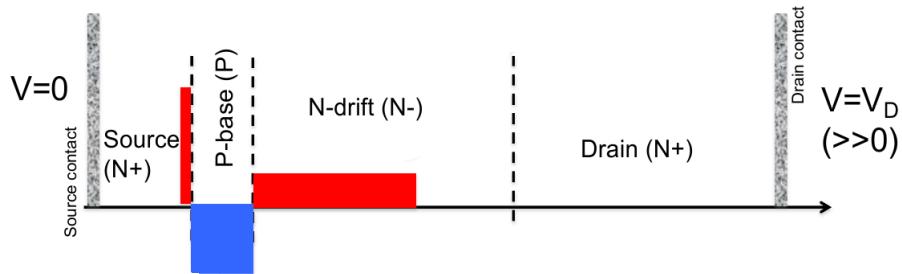


Figura 9.7: Andamento di $\rho(x)$ lungo il percorso attraversato dagli elettroni quando il MOS è spento

9.2.2 BJT parassita

Se si osserva attentamente la sezione trasversale di un DMOS, è possibile identificare la presenza di un BJT NPN intrinseco alla struttura, formato dalle regioni N^+ - P^+ - N^- - N^+ (emettitore - base - collettore - sub-collettore). L'accensione del BJT comporta problemi nel normale funzionamento del MOS dato che:

- i) Il percorso della corrente non è più quello nominale ma avviene attraverso un cammino che, in linea di principio, non dovrebbe esistere;
- ii) Il tempo di spegnimento aumenta dato che ora, per spegnere il MOS bisogna anche spegnere il BJT (ricombinazione/estrazione dei portatori iniettati).

Nella pratica, per evitare l'accensione del BJT parassita si ricorre al seguente stratagemma: la regione di base viene cortocircuitata alla regione di source tramite la stessa metallizzazione (vedi Fig.9.8). Così facendo le regioni di emettitore e di base sono allo stesso potenziale, diminuendo così la probabilità di accensione.

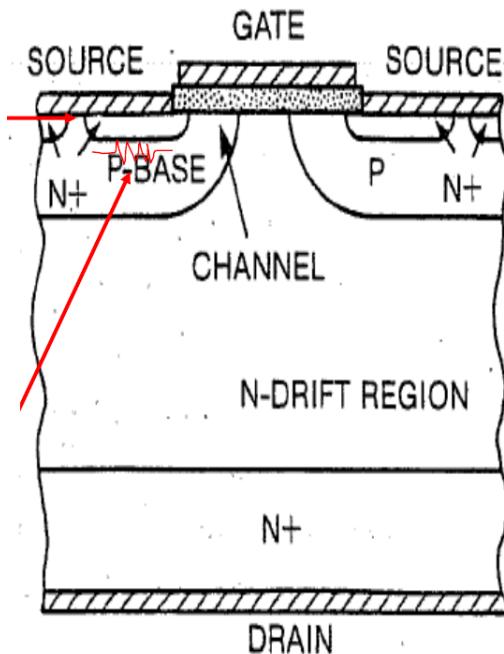


Figura 9.8: Sezione trasversale di un DMOS in cui si evidenzia la presenza del BJT NPN parassita e la relativa contromisura. E' altresì evidenziata la resistenza distribuita della regione di base (in rosso)

Tuttavia, il bipolare può comunque accendersi per diversi motivi, dato che:

- i) Quando il MOS è spento se la V_{DS} è tale da superare la BV_{CB0} allora si verifica il breakdown a valanga della CBJ e il bipolare entra in conduzione;

- ii) Quando il MOS è acceso la corrente di drain passa sia per la (sottile) regione di source sia all'interno della regione di base. Il passaggio di corrente causa una caduta di tensione ai capi della resistenza distribuita nella regione di base. Se tale caduta di tensione è maggiore della tensione di soglia della EBJ del BJT allora questo può entrare in conduzione.

9.2.3 R_{on} - resistenza di conduzione

La resistenza di un MOS di potenza è definita come il rapporto tra la variazione della V_{DS} rispetto alla I_D , all'interno della regione lineare

$$\frac{\Delta V_{DS}}{\Delta I_D} \quad (9.1)$$

cioè R_{on} è la retta tangente alla caratteristica I-V all'interno della regione lineare, come visibile in Fig.9.9. Per tale motivo i produttori di MOS di potenza forniscono il valore di $R_{on} = f(V_{GS})$.

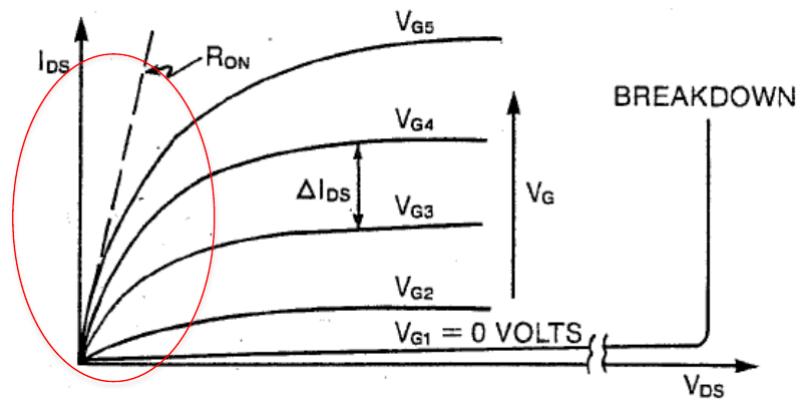


Figura 9.9: Caratteristica I-V di un MOS di potenza in cui si evidenzia la resistenza di conduzione R_{on}

Il valore della R_{on} impone il limite di potenza che il MOS è in grado di dissipare quando è in conduzione.

Ad esempio, un MOS con $R_{on} = 5\text{m}\Omega$ che sta conducendo una $I_D = 50\text{A}$, esibirà una $V_{DS, on} = R_{on}I_D = 250\text{mV}$. In questa situazione il dispositivo si troverà a dissipare una potenza pari a

$$P_D = (50\text{A})^2 \times 5\text{m}\Omega = 12.5\text{W}$$

L'incremento di temperatura dovuto alla dissipazione di potenza è critico nei confronti del BJT parassita (vedi effetti di *second breakdown*).

Con riferimento alla Fig.9.10, si vede che R_{on} è composta dai seguenti contributi

- i) R_{N+} , R_s (generalmente trascurabili);
- ii) R_{ch} , R_A dipendono dalla V_{GS} ;

- iii) R_J è modulata tramite il potenziale di drain V_D ; tale resistenza è influenzata dallo spessore della SCR delle regioni di base e drift (maggior spessore è maggiore è la resistenza associata);
- iv) R_D dipende dallo spessore della regione di drift (il quale determina la massima V_{DS} tollerabile in condizioni di blocco);

Infine, osserviamo che a bassi valori di V_{DS} (regione lineare), il contributo dominante è dovuto a R_{ch} .

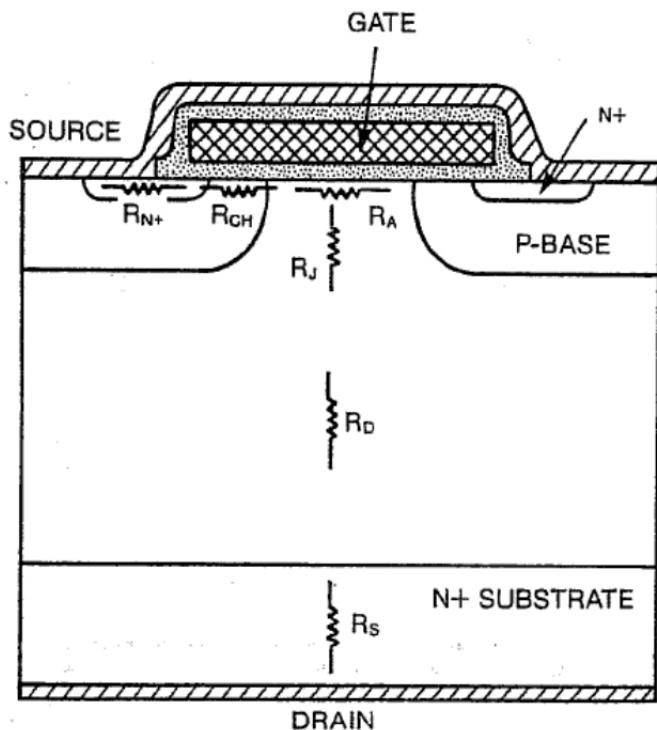


Figura 9.10: Sezione trasversale di un DMOS in cui sono evidenziati i diversi contributi che concorrono alla formazione di iR_{on}

9.2.4 Accensione non intenzionale a causa di un dV/dt sul terminale di drain

Riferiamoci al circuito di Fig.9.11 e supponiamo che il dispositivo sia spento, i.e. $V_{GS} = 0V$. A causa di un'applicazione di una tensione a rampa sul terminale di drain, il MOS potrebbe entrare in conduzione anche se il terminale di gate non è pilotato da alcuna tensione. Come abbiamo già visto, all'interno del DMOS è presente un BJT parassita (vedi Fig.9.12). E' presente anche una capacità di giunzione C_{DB} , associata alla regione di svuotamento della giunzione base-drift.

Quando si applica un segnale di potenza a rampa sul drain, la capacità di giunzione inizia a caricarsi e la corrente che la attraversa è data da

$$i_{C_{DB}} = C_{DB} \frac{d(v_D(t) - V_\gamma)}{dt} \approx C_{DB} \frac{dv_D(t)}{dt} \quad (9.2)$$

dato che $v_D \approx 10^2 - 10^3$ V per cui V_γ si può trascurare. La corrente che scorre nella capacità di giunzione scorrerà anche attraverso R_B , producendo una caduta di tensione che è proprio pari alla V_{BE}

$$V_{BE} = R_B \cdot i_{C_{DB}} = R_B C_{DB} \frac{dv_D(t)}{dt} \quad (9.3)$$

se questa ddp diventa maggiore di V_γ allora il BJT entra in conduzione, bypassando completamente il MOS.

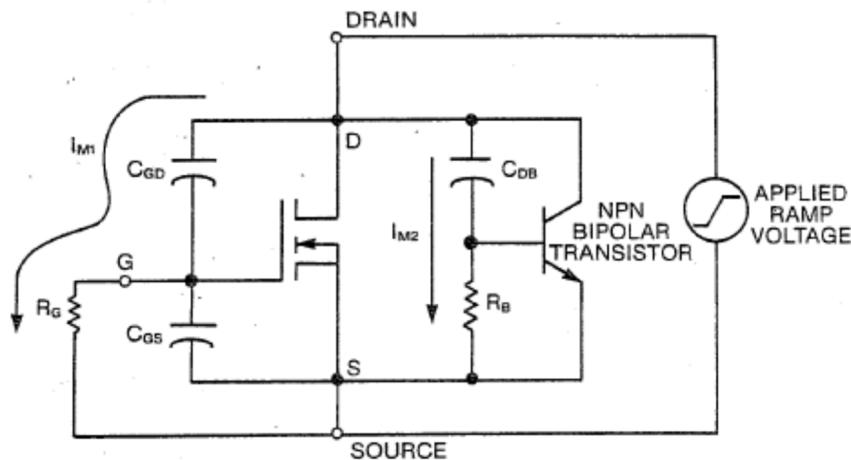


Figura 9.11: Circuito di driving di un DMOS in cui sono evidenziati i componenti parassiti intrinseci

Tuttavia, nei moderni MOS di potenza difficilmente si assiste a tale fenomeno. Ciò è dovuto al fatto che nei moderni processi di fabbricazione/progettazione si fa in modo che R_B presenti un valore molto piccolo, così da raggiungere difficilmente la condizione $V_{BE} > V_\gamma$, i.e. l'innesto del BJT parassita.

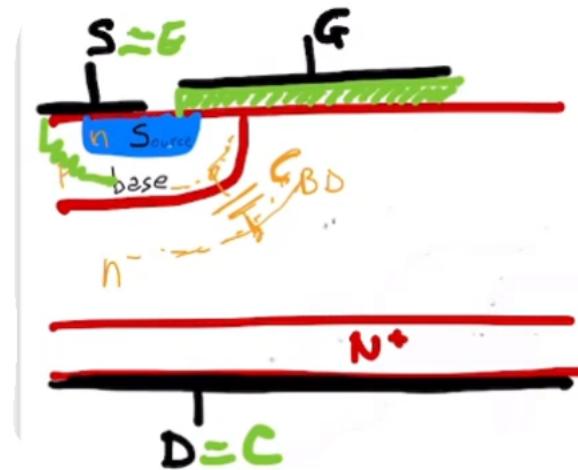


Figura 9.12: Sezione trasversale di un DMOS in cui sono evidenziati i contributi parassiti

9.2.5 SOA di un MOSFET di potenza

La SOA (teorica) di un MOS di potenza è limitata principalmente da

- i) $I_{DS_{max}}$ il cui valore è dettato tipicamente dai bonding wire del chip;
- ii) $V_{DS_{max}}$ massima tensione che il dispositivo è in grado di sopportare;

Il limite ultimo è dato da $P_{max} = V_{DS_{max}} \times I_{DS_{max}}$; tale valore è raffigurato tramite la retta obliqua in Fig.9.13.

Tuttavia quando il MOS è acceso vi è la possibilità che il BJT parassita vada in conduzione a causa del fenomeno del second breakdown (forward biased). Dunque la SOA di un MOS presenta un ulteriore limite rispetto a quella teorica, i.e. second breakdown del bipolare parassita (visibile in Fig.9.14).

Per aumentare la SOA di un power MOS si cerca di ridurre R_B (vedi Fig.9.11). Osserviamo che R_B è funzione crescente della temperatura, a causa della riduzione della mobilità dei portatori. Questo implica che il second breakdown può avvenire con maggiore probabilità a temperature elevate.

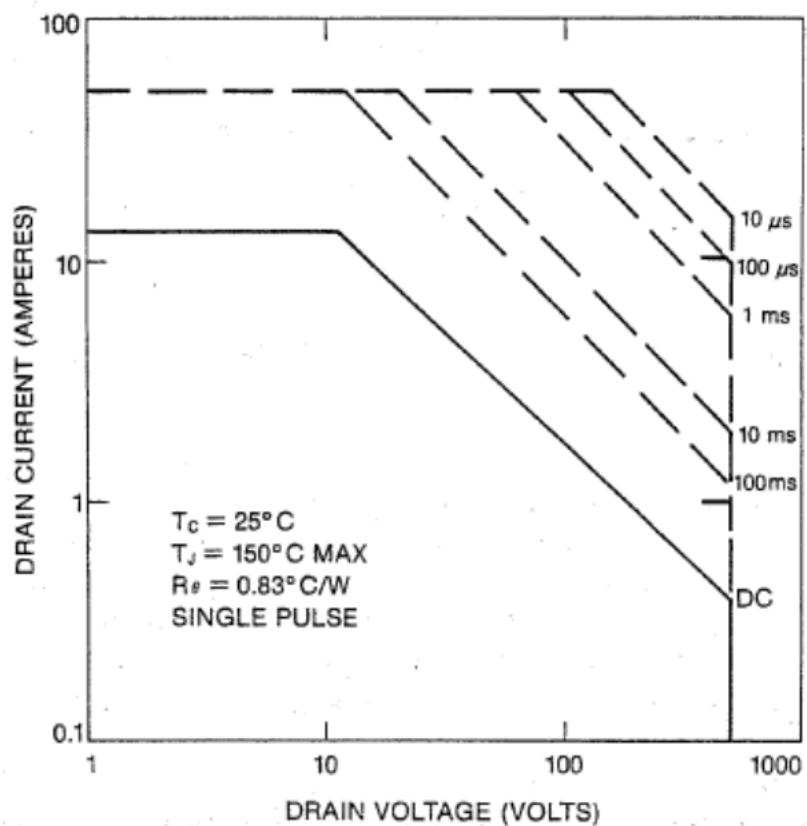


Figura 9.13: SOA di un MOS di potenza

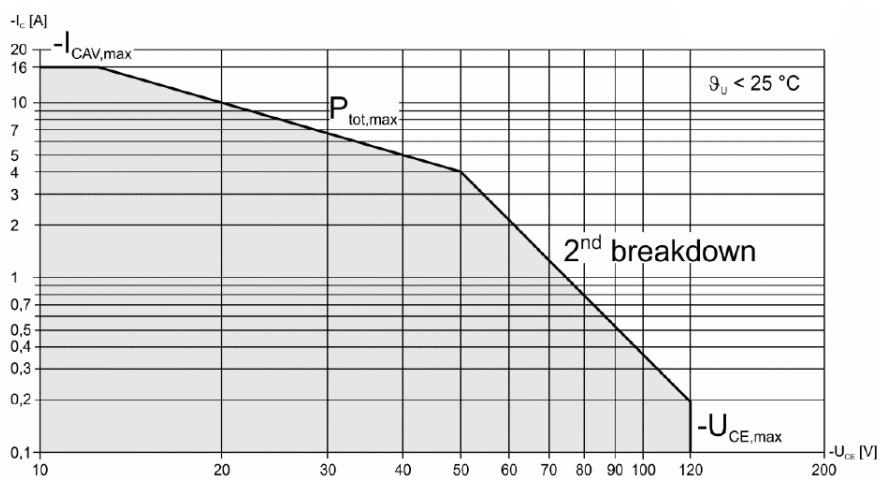


Figura 9.14: SOA di un MOS di potenza con limitazione dovuta al second breakdown del BJT parassita

9.2.6 Parametri parassiti che influenzano il comportamento in transitorio

In linea di principio un MOSFET dovrebbe essere in grado di accendersi e spegnersi in pochi ps. Nella pratica, tuttavia, i tempi di switching sono nell'ordine delle decine di ns. I ritardi nelle fasi di accensione e spegnimento sono dovuti principalmente ai tempi di carica/scarica delle capacità parassite, e dunque dipendono anche sui resistori esterni inevitabilmente presenti nei circuiti di driving.

I produttori di MOS di potenza raramente forniscono i valori delle capacità interne, i.e., C_{GD}, C_{GS}, C_{DS} , mentre è più facile trovare le seguenti capacità

$$\begin{cases} C_{iss} = C_{GS} + C_{GD}, & \text{C}_{DS} \text{ cortocircuitata} \\ C_{rss} = C_{GD} \\ C_{oss} = C_{DS} + C_{GD} \end{cases}$$

dove C_{iss} rappresenta la capacità di ingresso, C_{rss} la capacità di reverse e C_{oss} la capacità di uscita; il pedice s si riferisce al fatto che tali valori sono forniti in configurazione a source comune, come evidenziato in Fig.9.15. Osserviamo che $C_{GD}, C_{DS} = f(V_{DS})$ dato che queste sono delle capacità di giunzione ed il potenziale di drain allarga o restringe le SCR associate a tali capacità.

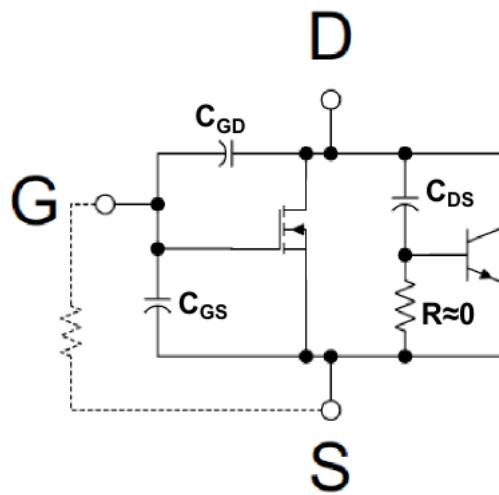


Figura 9.15: Circuito che evidenzia le capacità parassite interne ad un MOSFET di potenza

Riportiamo un ulteriore grafico in cui si evidenzia la posizione delle capacità parassite all'interno della sezione trasversale, oltre che a livello circuitale.

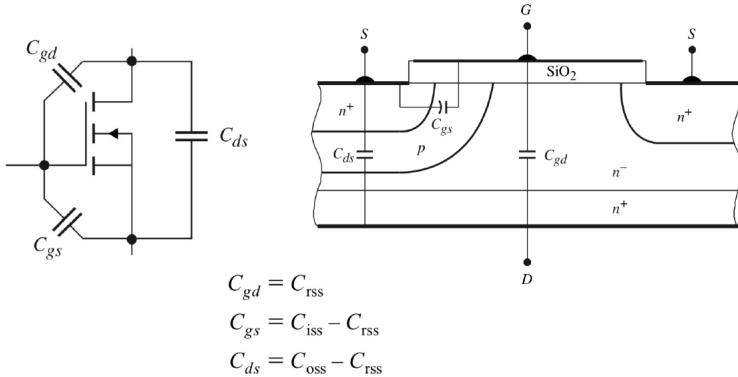


Figura 9.16: Posizione delle capacità parassite all'interno della sezione trasversale di un power MOS

Notiamo che la capacità C_{GD} è soggetta all'effetto Miller, per cui

$$C_{GD_{eq}} = (1 + A)C_{GD} = (1 + g_m R_L)C_{GD} \quad (9.4)$$

dove

$$g_m = \frac{dI_D}{dV_{GS}} \quad (9.5)$$

è per definizione la transconduttanza del MOS. Se ci si trova in regione lineare allora risulta

$$g_m = \frac{I_D}{V_{GS} - V_{th}}$$

Un altro parametro importante è la carica di gate Q_g , definita come la carica che bisogna trasferire sul terminale di gate al fine di innescare il layer di inversione

$$Q_g = \int_0^t i_G(t) dt \quad (9.6)$$

Per cui se si vuole aumentare Q_g è necessario aumentare la corrente di gate i_G e/o l'intervallo di tempo durante il quale $i_G \neq 0$. Ciò detto, un valore di Q_g più elevato implica tempi di switching maggiori (discorso valido sia in accensione che in spegnimento).

Altri parametri che influiscono negativamente sul comportamento in switching sono le induttanze parassite sui terminali di drain e source. Tali induttanze sono dovute prevalentemente ai bonding wire che collegano il chip al package. Vedremo che queste induttanze limitano la velocità di variazione della corrente di drain e, in alcuni casi, possono anche portare alla distruzione del componente (elevati voltage spike).

9.2.7 Switch on

Per lo studio del comportamento in transitorio faremo riferimento al circuito di un boost converter, riportato in Fig.9.17.

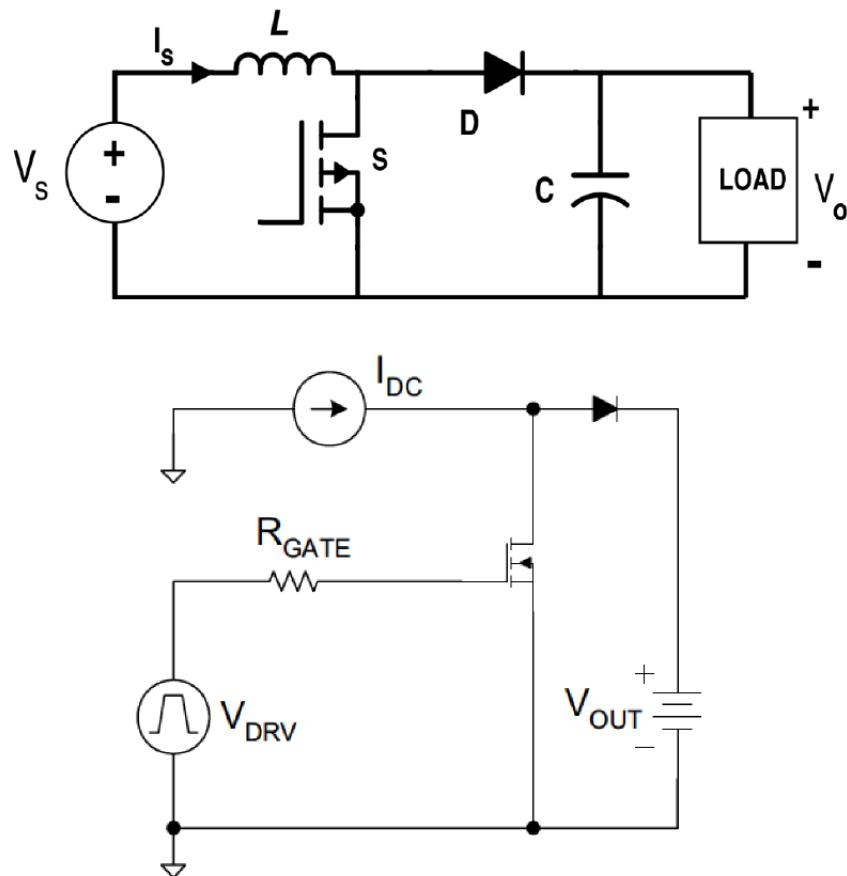


Figura 9.17: Boost converter (in alto), modello semplificato del boost converter durante lo switch-on (*clamped inductive switching model*)

Studiamo la fase di accensione di un MOS di potenza riferendoci al circuito di driving di Fig.9.18. L'andamento delle forme d'onda di interesse durante l'accensione è riportato nei grafici di Fig.9.19.

Vediamo cosa accade in ogni intervallo:

- Per $t \in (1)$ la capacità C_{GS} si carica fino a raggiungere la tensione di soglia V_{th} . La corrente di gate è limitata dalle resistenze (parassite e non) al valore

$$I_{G,max} = \frac{V_{DRV}}{R_{HI} + R_G + R_{G,I}} \quad (9.7)$$

- Per $t \in (2)$ il MOS inizia ad accendersi, per cui I_D inizia ad aumentare nel tempo mentre la V_{DS} rimane costante. Questo accade a causa del fatto che la corrente proveniente dall'induttore preferisce fluire attraverso il diodo piuttosto che attraverso il MOS, dato che quest'ultimo non è ancora acceso del tutto. Quando il MOS è completamente acceso, la corrente fluisce interamente attraverso il MOS bypassando del tutto il diodo.

- iii) Per $t \in (3)$ si raggiunge il plateau di Miller ed il MOS lavora in regione lineare. C_{GD} aumenta dato che la SCR si riduce a causa della diminuzione di V_{DS} , mentre la carica di gate Q_g aumenta. Dato che l'aumento di C_{GD} e Q_g avvengono con la stessa velocità risulta $V_{GS} \approx Q_g/C_{GD} = \text{costante}$;
- iv) Per $t \in (4)$ quando la $V_{DS} \approx 0V$ il valore della C_{GD} non aumenta più (la SCR raggiunge il suo valore minimo). Dato che si sta continuando a fornire una $I_G \neq 0A$, la Q_g aumenta nel tempo decretando un aumento della V_{GS} . In queste condizioni il MOS è completamente acceso.

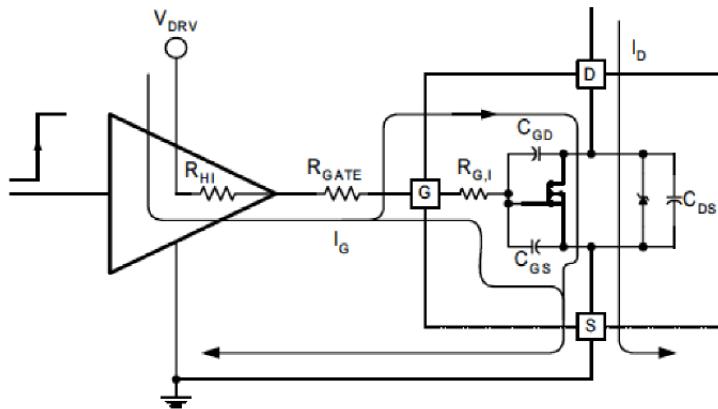


Figura 9.18: Circuito di driving per l'accensione di un power MOS

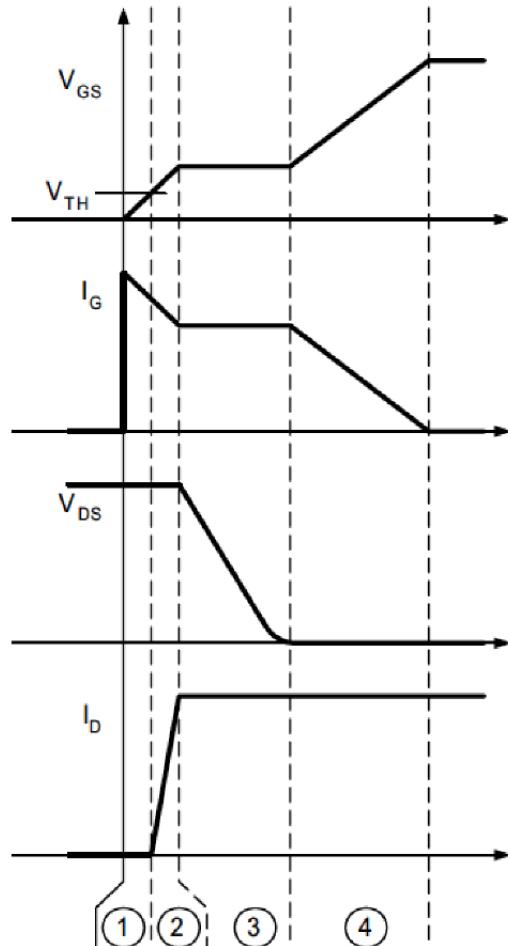


Figura 9.19: Andamento delle forme d'onda di interesse durante la fase di accensione

9.2.8 *Switch off*

La fase di spegnimento segue le stesse fasi di quella di accensione, ma in ordine invertito. La durata delle fasi di accensione e spegnimento dipendono dalle capacità parassite, le escursioni di tensione richiesta ai terminali del MOS, i.e. V_{GS} , V_{DS} e specialmente dalla corrente di gate I_G che il driver è in grado di impostare/drenare durante le fasi on-off. Per tali motivi, il circuito di driving assume un ruolo fondamentale nel pilotaggio veloce di un MOS di potenza. Per completezza si riportano in Fig.9.20 e Fig.9.21 rispettivamente il circuito di driving durante lo switch-off e le relative forme d'onda.

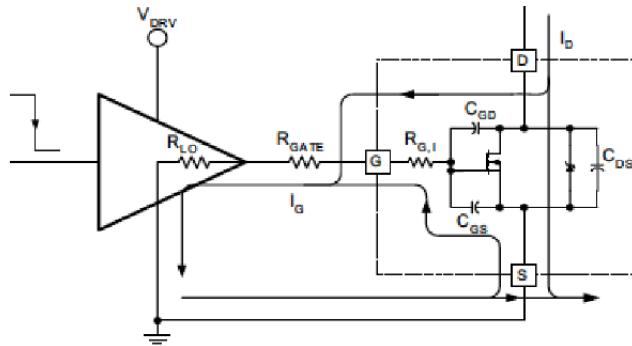


Figura 9.20: Circuito di driving per lo spegnimento di un power MOS

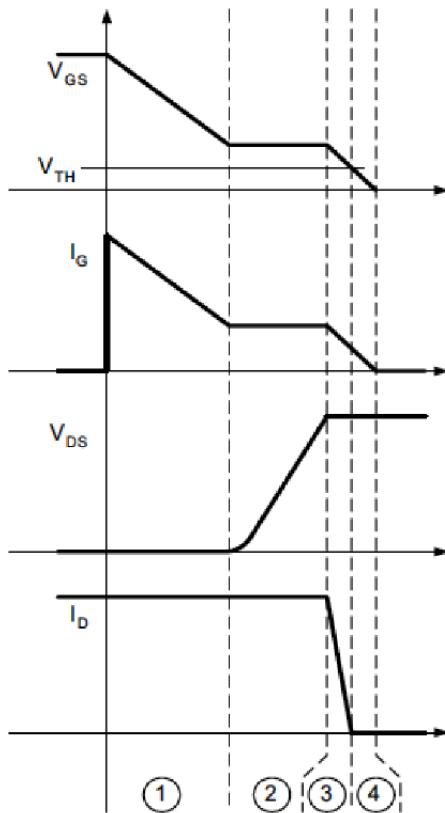


Figura 9.21: Andamento delle forme d'onda di interesse durante la fase di spegnimento

9.2.9 *Switching power losses*

Durante le fasi di switching di un power MOS, la potenza viene dissipata prevalentemente attraverso due effetti

- i) Perdite nel circuito di gate driving;

ii) Perdite $V_{DS} \times I_{DS}$ (interne al MOSFET).

La carica/scarica di C_{iss} implica il trasferimento di energia attraverso i resistori che formano il circuito di driving (vedi Fig.9.18). La carica Q_g da trasferire dipende dal valore della V_{GS} che si intende impostare dall'esterno (maggiore la V_{GS} minore la R_{on}). Queste considerazioni portano alla seguente espressione

$$P_G = V_{DRV} Q_g f \quad (9.8)$$

dove $Q_g f$ rappresenta la corrente media in un periodo di switching. Una frazione di questa potenza è dissipata sulla resistenza di uscita del driver (questa considerazione è importante ai fini del giusto dimensionamento del circuito di driving) per cui

$$P_{G,on} = \frac{1}{2} \left(\frac{R_{HI}}{R_{HI} + R_{Gate} + R_{G,I}} \right) V_{DRV} Q_g f \quad (9.9)$$

$$P_{G,off} = \frac{1}{2} \left(\frac{R_{LO}}{R_{LO} + R_{Gate} + R_{G,I}} \right) V_{DRV} Q_g f \quad (9.10)$$

Con riferimento ai grafici di Fig.9.19 e Fig.9.21, le perdite $V_{DS} \times I_{DS}$ sono dovute al fatto che per $t \in (2) - (3)$ il termine $V_{DS} \times I_{DS} \neq 0$; ciò produce dissipazione di potenza all'interno del MOSFET. Per limitare la potenza dissipata queste due fasi dovrebbero essere ridotte al minimo possibile. Un driver in grado di fornire una maggiore corrente I_G sarà in grado di caricare o scaricare più velocemente la capacità di ingresso del MOSFET, riducendo così la durata temporale delle fasi (2) - (3).

Per comprendere l'andamento di questa aliquota di potenza dissipata, calcoliamo la I_G negli intervalli (2) - (3) (con riferimento alla Fig.9.19). Risulta

$$I_{G2} \approx \frac{V_{DRV} - \frac{V_{Miller} + V_{th}}{2}}{R_{HI} + R_{Gate} + R_{G,I}} \quad (9.11)$$

$$I_{G3} \approx \frac{V_{DRV} - V_{Miller}}{R_{HI} + R_{Gate} + R_{G,I}} \quad (9.12)$$

Note le correnti di gate negli intervalli (2) - (3), è possibile calcolare gli intervalli di tempo t_2, t_3 . Tenendo presente che risulta

$$Q = idt = Cdv$$

allora

$$t_2 \approx C_{iss} \frac{V_{Miller} - V_{th}}{I_{G2}} \quad (9.13)$$

$$t_3 \approx C_{rss} \frac{\Delta V_{DS}}{I_{G3}} = C_{GD} \frac{\Delta V_{DS}}{I_{G3}} \quad (9.14)$$

dove notiamo che in t_3 (tempo necessario alla carica della capacità di uscita) la corrente di gate è costante e dunque C_{GS} non si carica/scarica (C_{DS} si scarica ma non tramite I_G), mentre in t_2 (tempo necessario alla carica della capacità

di ingresso) si è considerato che la V_{DS} è costante e dunque C_{DS} non si carica/scarica.

Infine, la potenza dissipata negli intervalli $t \in (2)-(3)$ sarà data dalla somma delle potenze dissipate nei singoli intervalli, cioè

$$P_2 \approx \frac{t_2}{T} V_{DS} \frac{I_{DS}}{2}, \text{ approssimazione lineare di } I_{DS}(t) \quad (9.15)$$

$$P_3 \approx \frac{t_3}{T} \frac{V_{DS}}{2} I_{DS}, \text{ approssimazione lineare di } V_{GS}(t) \quad (9.16)$$

dove T rappresenta il periodo di switching (P_2, P_3 rappresentano le potenze medie dissipate in tale periodo).

9.2.10 Snubber

Consideriamo la Fig.9.22 in cui sono riportate come cambiano le caratteristiche IV di un MOSFET, rispetto a quella ideale, al variare del carico posto sul drain. E' facile notare che specialmente durante lo switching di carichi fortemente induttivi, e.g. motori, c'è il rischio che il dispositivo si trovi ad operare fuori dalla SOA. Per evitare che ciò si verifichi si può agire in diversi modi; uno dei più comuni è fare affidamento a dei circuiti esterni noti come *snubber*.

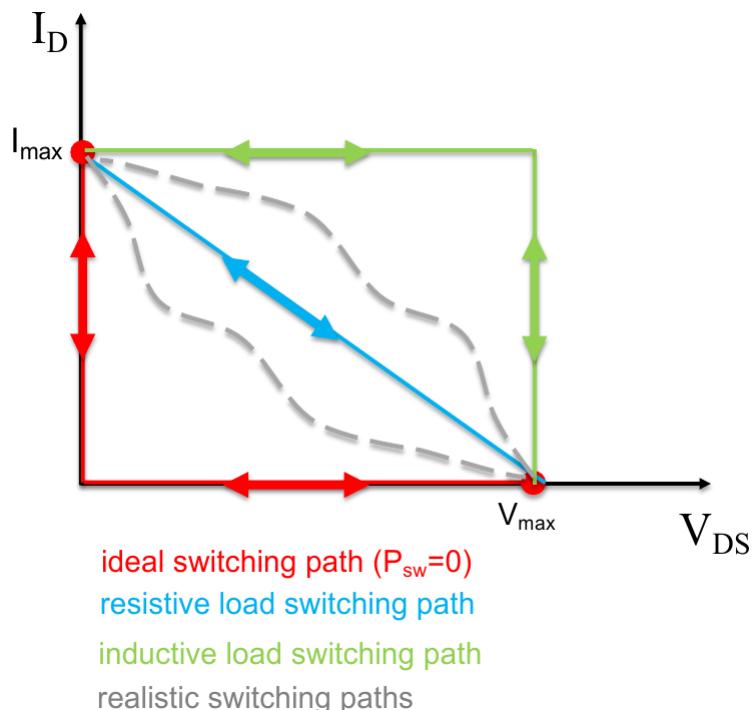
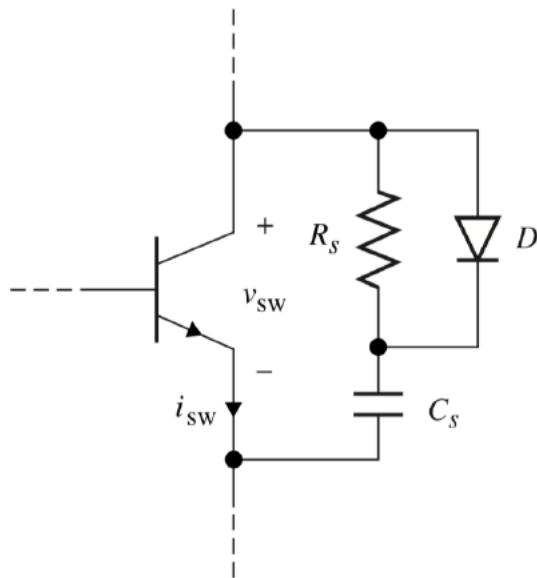


Figura 9.22: Caratteristica IV di un MOSFET di potenza con diversi carichi applicati al drain

In Fig.9.23 è riportato un tipico *turn-off snubber*. Quando il BJT viene spento, ai capi dell'induttore (non riportato in figura ma presente sul terminale di collettore) si sviluppa un'extra tensione di apertura dovuta all'elevato $|di_L/dt|$, che può facilmente eccedere BV_{CE0} e mandare in breakdown il BJT. Grazie allo snubber, la corrente ha un percorso alternativo per circolare; quando $v_L > V\gamma$ il diodo entra in conduzione e tramite C_s bypassa il bipolare. Tutta l'energia dell'induttore viene dissipata tramite lo snubber (nel caso ideale), evitando la rottura del BJT. L'energia immagazzinata da C_s durante questa fase, viene dissipata tramite R_s e il BJT, quando questo passa dall'off state all'on state.



Turn-off snubber

Assume the BJT is fully on (a *short*), driving a current $I_C \rightarrow V_{Diode} = V_{Cs} = 0$. At the switch-off, the current (inductive) will be initially deviated on D and C_s , while the switch opens.

When the switch turns on, C_s will discharge on $R_s \rightarrow$ no power is dissipated on the transistor.

Figura 9.23: Circuito che realizza un turn-off snubber

Per quanto riguarda il dimensionamento dei componenti dello snubber, facciamo le seguenti considerazioni:

- i) C_s deve essere grande a sufficienza (non si approfondisce il metodo per il dimensionamento);
- ii) R_s deve essere dimensionato in modo tale da poter dissipare l'energia accumulata dall'induttore L_s

Per quanto concerne R_s , è possibile scrivere la seguente equazione di bilancio dell'energia

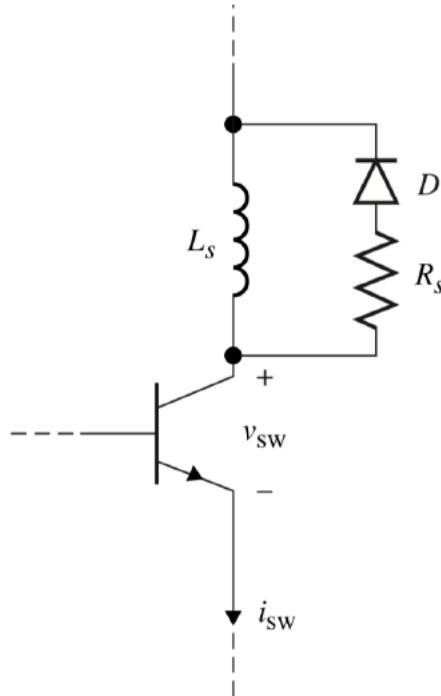
$$\frac{1}{2}L_s I_{L,max}^2 = R_s I_{Rs}^2 t_{off} \quad (9.17)$$

dove si è posto $I_{Rs} \approx I_{L,max}/2$ e t_{off} è il tempo di scarica. Da queste considerazioni si ricava il valore di R_s , cioè

$$R_s \approx 2 \frac{L_s}{t_{off}}$$

In alternativa può essere posto un diodo in antiparallelo all'induttore, il quale consente all'induttore di scaricarsi (su se stesso).

In Fig.9.24 è riportato un tipico ***turn-on snubber***. La presenza dello snubber, ed in particolare dell'induttore L_s , ha lo scopo di "spianare" la I_c , i.e. l'andamento di I_c sarà più lento. In questo modo si evita di disspare un'elevata potenza impulsiva sul bipolare. Allo spegnimento, tutta l'energia accumulata dall'induttore viene dissipata tramite il diodo (diodo volano o anche detto di ricircolo) e il resistore R_s .



Turn-on snubber

Assume the BJT is off. At the turn-on, I_C will rise slowly due to L_S .

At the turn-off, L_S will discharge on R_S and D .

Figura 9.24: Circuito che realizza un turn-on snubber

In entrambi i casi, lo switch è protetto da eccessive dissipazioni di potenza ma l'efficienza complessiva del circuito, in molti casi, diminuisce.

9.2.11 *Body diode* in un DMOS

Con riferimento alla Fig.9.25 è possibile notare un diodo intrinseco con l'anodo collegato al terminale di source ed il catodo a quello di drain. La presenza di questo diodo non consente il blocco di V_{DS} negativa (non può essere usato in circuiti rettificatori). In alcuni casi questo diodo intrinseco torna utile come diodo volano.

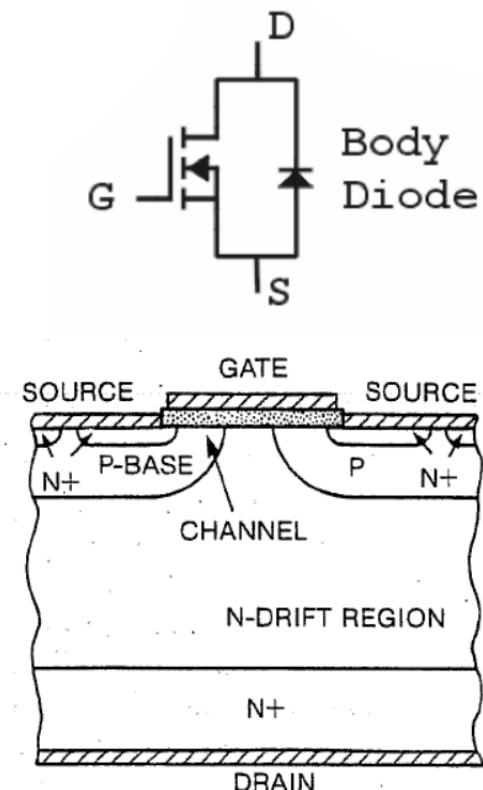


Figura 9.25: Sezione trasversale di un DMOS dove si evidenzia la presenza di un diodo PIN (base, n drift, n drain) (in basso); posizione del diodo intrinseco a livello circuitale (in alto)

Consideriamo il convertitore dc-dc isolato di Fig.9.26. I condensatori in ingresso disaccopiano il convertitore dal circuito a monte; entrambi sono carichi a $V_{dc,link} = U_E/2$. Ogni volta che gli interruttori S1 e S2 (realizzati tramite MOSFET) vanno in interdizione, l'induttanza associata al primario tende ad opporsi a variazioni di corrente, generando delle sovratensioni. Grazie alla presenza dei diodi intrinseci, l'energia immagazzinata nel primario si scarica attraverso questi ultimi, evitando la distruzione del MOSFET.

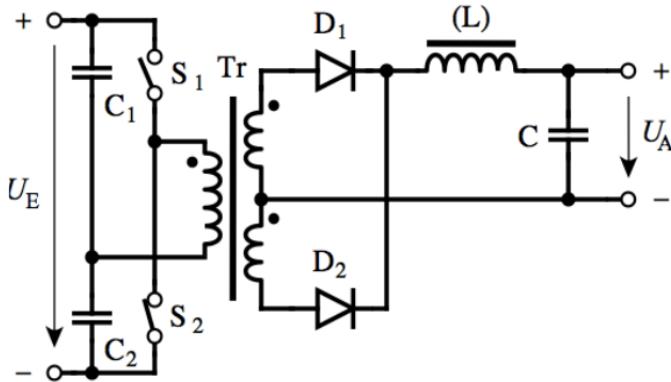


Figura 9.26: Convertitore dc-dc isolato mediante trasformatore a presa centrale

9.3 Superjunction MOSFET

Per quanto concerne i MOSFET a supergiunzione, si fa riferimento al documento allegato in A.

9.4 MOSFET in SiC - Silicon Carbide

Il carburo di silicio è un materiale ad elevato E_g che sta velocemente soppian-
tando il silicio, grazie ad una serie di proprietà che lo rendono superiore.

Con riferimento alla Fig.9.27 osserviamo che il SiC è migliore in ogni aspetto
rispetto al Si; l'unico problema storico era l'ottenimento di ossidi performanti
almeno quanto il biossido di silicio, ma di recente il settore della ricerca è riuscito
a trovare un modo per poterlo depositare (ad un costo maggiore rispetto al Si).

Avere un E_g e un E_{crit} migliori rispetto al Si, si traduce nell'avere dispositivi
con una tensione di breakdown maggiore. In sostanza, a parità di tensione
di breakdown, l'utilizzo di SiC consente di ottenere dispositivi più compatti
rispetto a quelli realizzati in Si.

Una velocità di saturazione più elevata si traduce in dispositivi con frequenze
di commutazione più elevate. Infine, gli elevati valori di conducibilità termica e
punto di fusione, facilitano l'impiego di tale materiale in applicazioni ad elevate
temperature.

Dalla Fig.9.27 emerge che il GaN presenta un campo critico maggiore rispet-
to al SiC. Pertanto, in applicazioni in cui sono richiesti elevati campi critici, il
GaN è da preferirsi al SiC. Tuttavia, a parità di R_{on} , il SiC presenta un'area
minore e dunque, minori capacità parassite.

Consideriamo il seguente scenario: sono disponibili due MOSFET, uno rea-
lizzato in SiC e l'altro in Si, con le stesse caratteristiche elettriche. Per tale
motivo,

- i) L'integrale del campo elettrico in entrambi i dispositivi sarà uguale (vedi Fig.9.28), dunque entrambi avranno la stessa BV_{DS} ;

- ii) La regione di drift nel SiC è caratterizzata da un droggaggio più elevato rispetto alla controparte in Si; ciò si traduce in una conducibilità maggiore;
- iii) Per una fissata BV_{DS} , il MOSFET in SiC ha una regione di drift più corta rispetto al MOSFET in Si;
- iv) Infine, un MOSFET in SiC può lavorare a temperature più elevate; sistemi di raffreddamento più piccoli (risparmio economico).

Le considerazione dei punti (ii) e (iii) comportano una minore R_{on} rispetto ai MOSFET in Si. Una minore R_{on} implica che un MOSFET in Sic presenta un'area minore, che implica

- i) Capacità parassite ridotte;
- ii) Velocità maggiore;
- iii) Minore carica di gate Q_g .

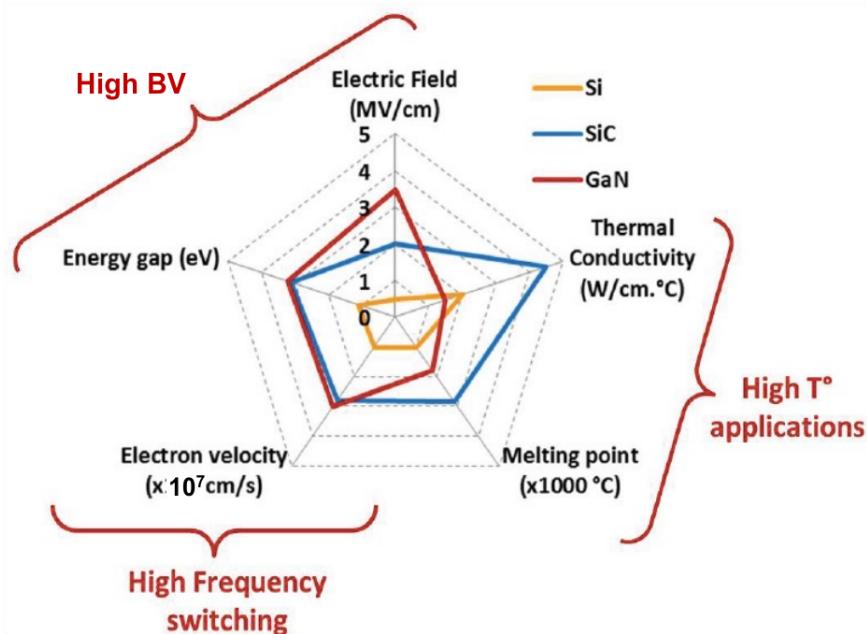


Figura 9.27: Grafico *RADAR* che mette a confronto diverse proprietà di interesse dei semiconduttori. Il confronto verde tra SiC, Si e GaN

Tuttavia, avere un'area del chip minore implica avere una maggiore densità di potenza dissipata; a parità di potenza dissipata si avrà una temperatura maggiore nel SiC rispetto al Si. In particolar modo è critico il materiale di interfacciamento termico (vedi Fig.9.29), poiché i diversi coefficienti di espansione termici sono tra loro diversi; problema dal punto di vista dei materiali, sia del package che del dissipatore. Infine, un altro punto a sfavore del SiC è che per spegnere un MOS basato su questo materiale, sono necessarie tensioni $V_{GS} < 0$.

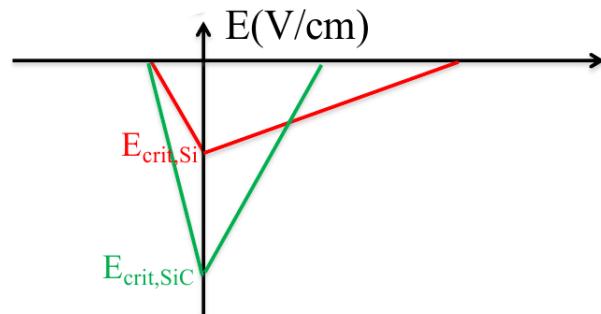


Figura 9.28: Andamento del campo elettrico nel caso di MOSFET realizzato in Si e in SiC

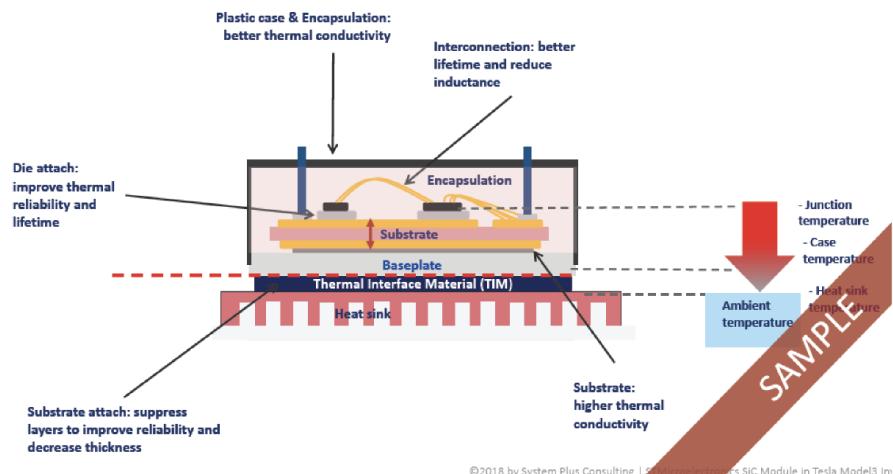


Figura 9.29: Sezione trasversale di un MOS in SiC, in cui sono evidenziati i vari layer e il materiale di interfaccia termico

9.5 *MOSFET bootstrapping*

Con riferimento al circuito di Fig.9.30, analizziamo la configurazione a mezzo ponte. Notiamo che mentre Q_2 ha il source riferito al potenziale di massa, il source di Q_1 è in comune col nodo di uscita V_{out} , i.e. è soggetto ad un potenziale variabile. Per accendere Q_1 è necessario che risulti

$$V_{G1} > V_{th} + V_{S1}$$

Quando Q_1 è acceso la tensione sul nodo di uscita può facilmente raggiungere valori nell'ordine di $10^2 V$, per cui è necessario un circuito di driving del MOS Q_1 che sia in grado di fornire una tensione al terminale di gate tale da rispettare la condizione precedentemente enunciata.

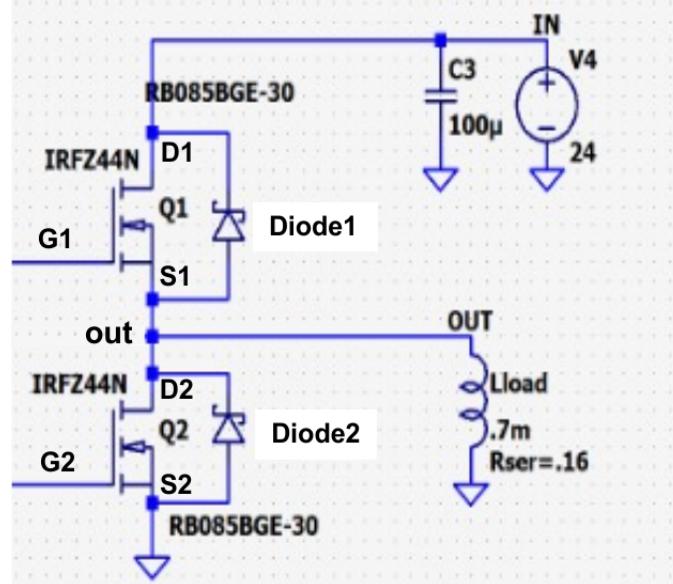


Figura 9.30: Circuito con due MOS montati in configurazione a mezzo ponte

Per questo motivo è necessario utilizzare un circuito di **bootstrap** per pilotare i due MOS. A titolo di esempio si riporta una pagina di un application note di un IC di bootstrap: TI SLUA887

1 Introduction

When using half-bridge configurations, it is necessary to generate high-side bias to drive the gate of the high-side FET referenced to the switch node. One of the most popular and cost effective way for designers to do so is the use of a bootstrap circuit which consists of a capacitor, a diode, a resistor and a bypass capacitor.

This application report will explain how this circuit works, the key components of the bootstrap circuits and their impact in the gate drive. This app note will put emphasis on half-bridge gate drives using drivers with no built-in bootstrap diode, which gives designers flexibility and reduces power dissipation in the gate driver IC. Additionally, it will discuss the layout considerations for the different components of this circuit.

2 Basic Operation of Bootstrap Circuit

A bootstrap circuit is used in half-bridge configurations to supply bias to the high-side FET. [Figure 2-1](#) shows the charging path of a bootstrap circuit in a simplified half-bridge configuration using UCC27710, TI's 620V half-bridge driver with interlock. When the low-side FET is on (high-side FET is off), the HS pin and the switch node are pulled to ground; the VDD bias supply, through the bypass capacitor, charges the bootstrap capacitor through the bootstrap diode and resistor.

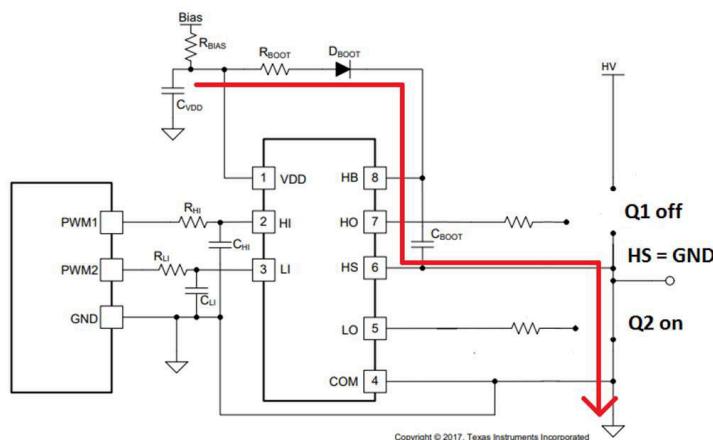


Figure 2-1. Bootstrap Charging Path

When the low-side FET is turned off and the high-side is on, the HS pin of the gate driver and the switch node are pulled to the high voltage bus HV; the bootstrap capacitor discharges some of the stored voltage (accumulated during the charging sequence) to the high-side FET through the HO and HS pins of the gate driver as shown in [Figure 2-2](#).

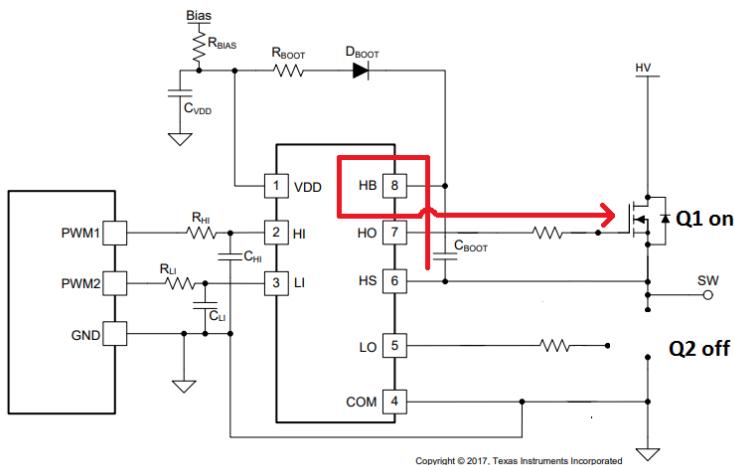


Figure 2-2. Bootstrap Capacitor Discharging Path

9.6 Effetto della temperatura sulle caratteristiche di un MOSFET

Consideriamo la dipendenza dalla temperatura della mobilità (degli elettroni) e della tensione di soglia. Entrambe le grandezze presentano un coefficiente di temperatura negativo, cioè

$$\frac{d\mu_n}{dT} < 0 \quad \text{e} \quad \frac{dV_{th}}{dT} < 0$$

Per cui all'aumentare della temperatura si osserva una diminuzione della corrente di drain; questo effetto torna molto utile nel caso in cui si voglia realizzare un parallelo di N MOS di potenza. Consideriamo la Fig.9.31 e analizziamo il comportamento in temperatura del parallelo.

Supponiamo che il MOS sull'estrema destra, detto M3, presenti una temperatura $T_3 > T_2, T_1$. In tal caso, $I_D(M3) < I_D(M2), I_D(M1)$ a causa della diminuzione sia di μ_n e V_{th} . Circolando meno corrente il dispositivo tenderà a dissipare meno potenza e quindi inizierà a diminuire la sua temperatura operativa. Per le considerazioni appena fatte, appare chiaro che un parallelo di MOS presenta una sorta di sistema di retroazione termico che evita il problema del thermal runaway (cosa che invece accadeva con un parallelo di BJT).

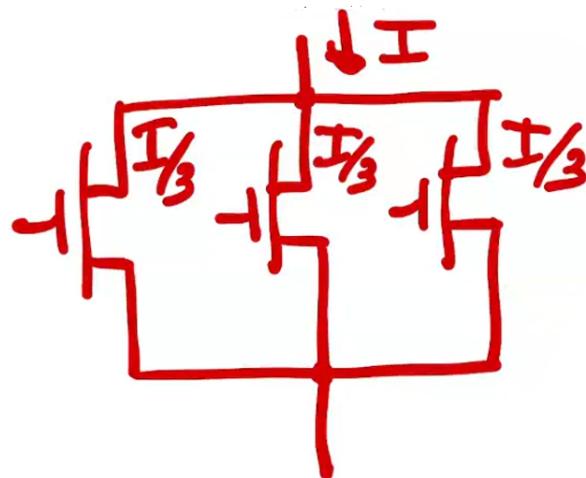


Figura 9.31: Parallelo di tre MOSFET di potenza; in ognuno scorre $1/3$ della corrente complessiva I

9.7 Confronto tra MOSFET e BJT di potenza

Vantaggi/svantaggi del BJT:

- i) La sezione trasversale attiva del bipolare, i.e. quella attraversata dalla corrente, coincide con l'area di emettitore, mentre in un MOSFET è limi-

tata allo spessore della sottile regione di inversione (collo di bottiglia in un MOS di potenza);

- ii) Il controllo della corrente di collettore tramite la EBJ fornisce una sensibilità più alta della i_C al variare di v_{BE} . Per tale motivo $g_m(BJT) \gg g_m(MOS)$. Di contro, in un MOS è spesso richiesta una tensione in ingresso "alta" per ottenere correnti di drain elevate.
- iii) Thermal runaway e difficoltà nel parallelare più BJT; un incremento di T_j riduce la R_{on} con conseguente sbilanciamento nella I_C dei BJT;
- iv) Problema del second breakdown in presenza di elevate V_{CE}, I_C .

Vantaggi/svantaggi del MOS:

- i) Non è richiesta dissipazione di potenza per mantenere acceso il componente. In un BJT per ottenere una $I_C = 10A$ con $\beta = 10$ è necessario iniettare una corrente di base di 1A;
- ii) Generalmente non ci sono limitazioni sulla corrente di gate e per tale motivo il circuito di driving risulta, spesso, più semplice che nel caso del BJT;
- iii) È generalmente più veloce dato che non vi è iniezione di portatori (assenza di storage time).
- iv) Coefficiente di temperatura negativo per mobilità e tensione di soglia; parallelo reso più agevole grazie ad un meccanismo di autobilanciamento della corrente di drain;
- v) Elevata immunità ad effetti di second breakdown.

In conclusione, i BJT sono preferiti in applicazioni di potenza analogiche e/o se il carico da pilotare è fortemente capacitivo, mentre i MOSFET sono preferiti in applicazioni switching.

Capitolo 10

IGBT - *Insulated Gate Bipolar Transistor*

Prima di vedere nel dettaglio la struttura ed il funzionamento dell'IGBT, riportiamo una tabella comparativa tra BJT, MOSFET e IGBT.

Device Characteristic	Power Bipolar	Power MOSFET	IGBT
Voltage Rating	High <1kV	High <1kV	Very High >1kV
Current Rating	High <500A	Low <200A	High >500A
Input Drive	Current, h_{FE} 20-200	Voltage, V_{GS} 3-10V	Voltage, V_{GE} 4-8V
Input Impedance	Low	High	High
Output Impedance	Low	Medium	Low
Switching Speed	Slow (uS)	Fast (nS)	Medium
Cost	Low	Medium	High

Figura 10.1: Tabella comparativa tra BJT, MOSFET e IGBT

L'IGBT è basato su un'integrazione ibrida tra un BJT (output) e un MOSFET (input). Dunque, combina la capacità di reggere elevati correnti, tipico del BJT, con l'elevata impedenza di ingresso di un MOSFET. In Fig.10.2 sono riportati i trend crescenti di tensioni e correnti operative negli IGBT, dagli anni 80' al primo decennio degli anni 2000.

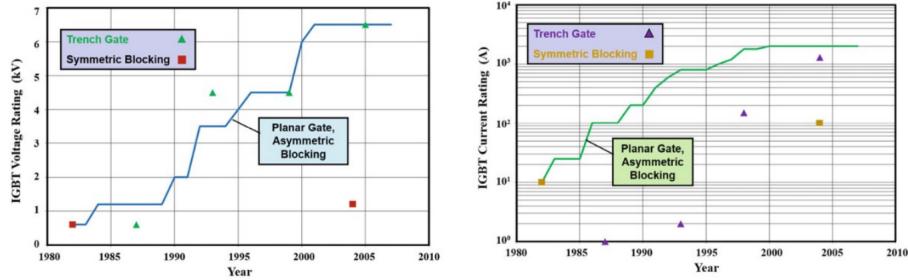


Figura 10.2: Andamento della massima tensione operativa (a sinistra); andamento della massima corrente operativa (a destra)

10.1 Struttura e caratteristiche operative

Faremo riferimento ad IGBT con caratteristiche di blocco simmetriche, i.e., dispositivi in grado di bloccare tensione di ambo le polarità. In Fig.10.3 è riportato il simbolo elettrico dell'IGBT, mentre in Fig.10.4 è riportata la sezione trasversale.

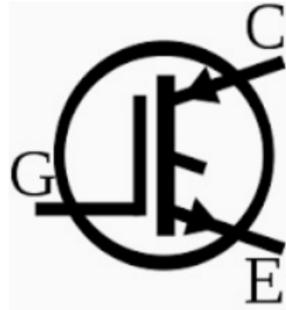


Figura 10.3: Simbolo elettrico di un IGBT

Un IGBT è molto simile ad un DMOS, ad eccezione del fatto che il drain N^+ è rimpiazzato da una regione P^+ di collettore. Il dispositivo riportato in Fig.10.4 è detto *non-punch-through*, i.e., la SCR relativa alle regioni P^+ -N(drift) non raggiunge mai la regione P^+ di collettore, per cui tale dispositivo è in grado di bloccare V_{CE} positive e negative. Inoltre, la massima V_{CE} applicabile in off-state è determinata dalla capacità di blocco del BJT PNP, in particolare a BV_{CE0} . Osserviamo che le regioni di collettore ed emettitore hanno ruoli invertiti rispetto ad un BJT PNP standard, i.e., il collettore inietta lacune che vengono poi raccolte dall'emettitore.

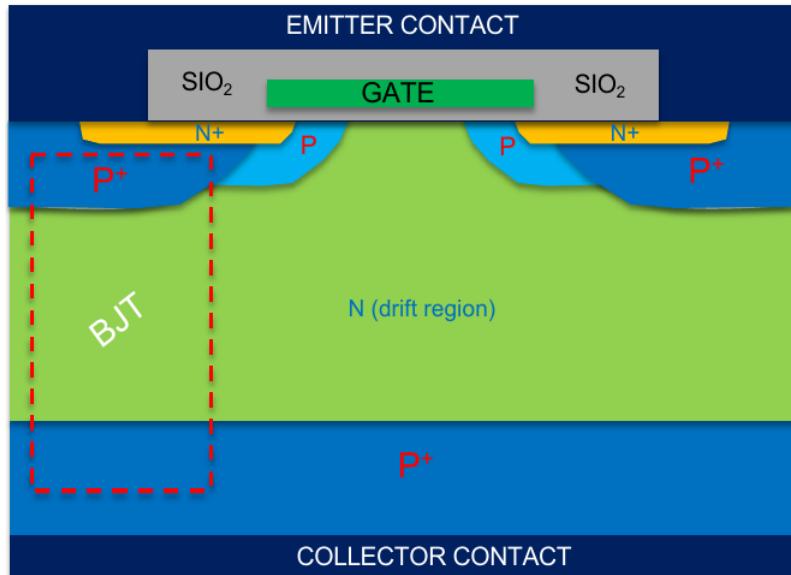


Figura 10.4: Sezione trasversale di un IGBT

10.1.1 Regioni di funzionamento

Vogliamo studiare le regioni di funzionamento di un IGBT quando viene polarizzato. In particolare, assumiamo che

- i) $V_E = 0$;
- ii) $V_C = V_{CC}$

Applicando una $V_{GE} > V_{GE,th}$ si induce la formazione di un canale conduttivo al di sotto dell'elettrodo di gate. Quest'ultimo consente l'iniezione di elettroni dalla regione N^+ di emettitore alla regione N di drift (base del BJT PNP). L'iniezione di elettroni nella base del PNP fa sì che questo si accenda (EBJ polarizzata direttamente) ed inizi a condurre; il collettore del BJT inietta lacune nella regione N di drift e dopo un certo transitorio, tale regione si trova a lavorare agli alti livelli di iniezione (si manifesta la *conductivity modulation* nella regione N di drift). E' facile rendersi conto che il MOSFET pilotato dalla V_{GE} agisce da switch per l'accensione/spegnimento del PNP, e quindi influenza direttamente il punto operativo sulla caratteristica I-V dell'IGBT.

Se $V_{GE} \gg V_{GE,th}$ il MOSFET si trova ad operare in regione di triodo e la regione N di drift (base del PNP) lavora agli alti livelli di iniezione; la resistenza di base diminuisce a causa della *conductivity modulation*, e di conseguenza un'elevata corrente inizia a scorrere dalla regione di collettore verso quella di emettitore. Si ha una caratteristica di funzionamento simile a quella di un diodo P-I-N agli alti livelli di iniezione (vedi tratto in blu di Fig.10.5).

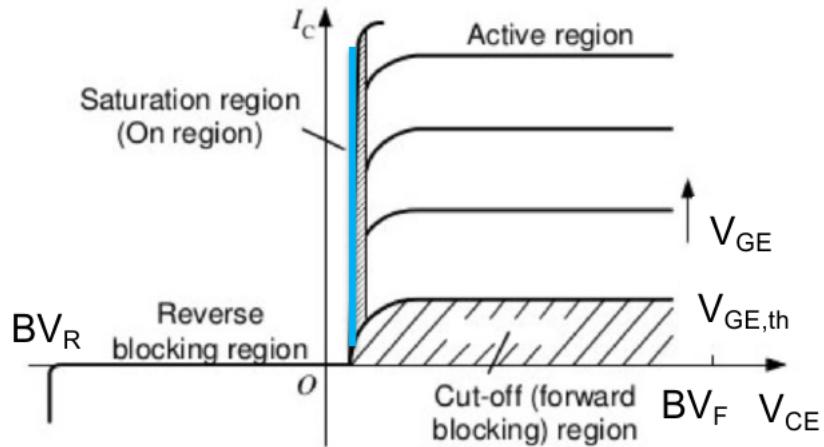


Figura 10.5: Caratteristica I-V di un IGBT in saturazione

Se V_{GE} è di poco più grande di $V_{GE,th}$, il MOSFET si trova ad operare in regione di saturazione, i.e., $I_D = f(V_{GE}) = \text{costante}$, per cui la corrente di base del PNP è limitata ad un valore costante. Dato che sussiste il legame $\beta = I_C/I_B$ allora anche la corrente di collettore sarà costante e limitata ad un certo valore (vedi tratto rosso di Fig.10.6)

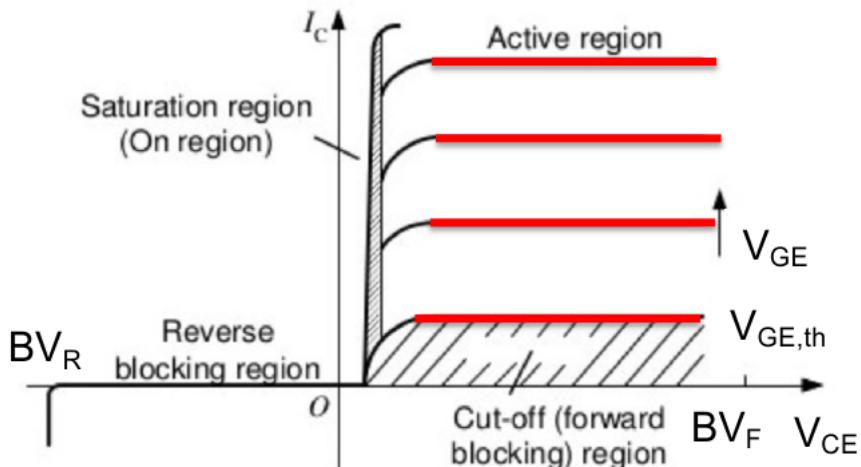


Figura 10.6: Caratteristica I-V di un IGBT in regione attiva

Alcune osservazioni sui tempi di accensione e spegnimento dell'IGBT. Il tempo di **accensione** è determinato dalla velocità di variazione della tensione di gate ed il relativo innesco degli alti livelli di iniezione nella regione N di drift (base del PNP). Il tempo di **spegnimento** è solitamente più critico, in quanto bisogna attendere un certo tempo affinché tutti i portatori minoritari (lacune),

presenti nella base, siano rimossi. E' possibile diminuire il tempo di vita medio andando ad introdurre dei difetti ad-hoc nella base (*lifetime killers*), ma questo aumenta la $V_{CE,on}$ (si ha una degradazione della R_{on} dell'IGBT).

10.1.2 NPN parassita - problema del *latch-up*

Prima di procedere vogliamo porre l'attenzione sulla presenza di un BJT parassita, questa volta NPN, intrinsecamente presente nella struttura dell'IGBT. Facciamo riferimento alla sezione trasversale di Fig.10.7 e allo schema elettrico equivalente di Fig.10.8.

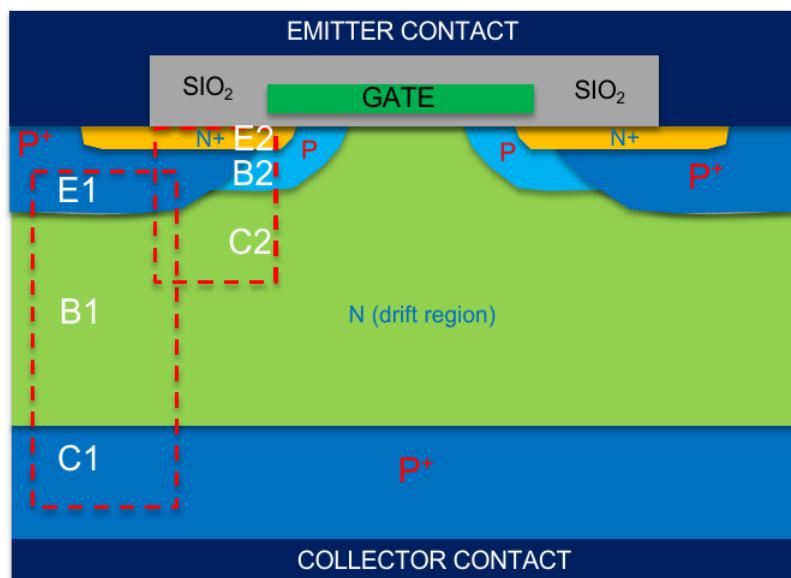


Figura 10.7: Sezione trasversale di un IGBT in cui sono evidenziati i BJT PNP ed NPN tramite i rettangoli in rosso

Con riferimento alla Fig.10.7 osserviamo la presenza di un resistore parassita R_S che modella il fatto che la corrente, prima di raggiungere il contatto di emettitore, deve attraversare la regione di emettitore E_1 . Quando l'IGBT conduce una corrente tra i terminali di emettitore-collettore, vi è la possibilità che la caduta di tensione sulla resistenza parassita R_S , mandi in conduzione il BJT NPN parassita. In questo caso, la corrente di base I_{B1} verrebbe fornita dal percorso C_2-E_2 , rendendo inutile la presenza del MOSFET, i.e., non è possibile spegnere l'IGBT ponendo $V_{GE} = 0$.

In tali condizioni si verifica quello che prende il nome di *latch-up*, i.e., i due BJT si trovano in una sorta di loop chiuso: l'NPN parassita è in conduzione fintanto che l'IGBT conduce ma allo stesso tempo, finché l'IGBT conduce la caduta su R_S è non nulla e ciò porta all'accensione dell'NPN. In definitiva, per evitare questo fenomeno bisogna agire sulla resistenza parassita, facendo sì che risulti $R_S \approx 0$.

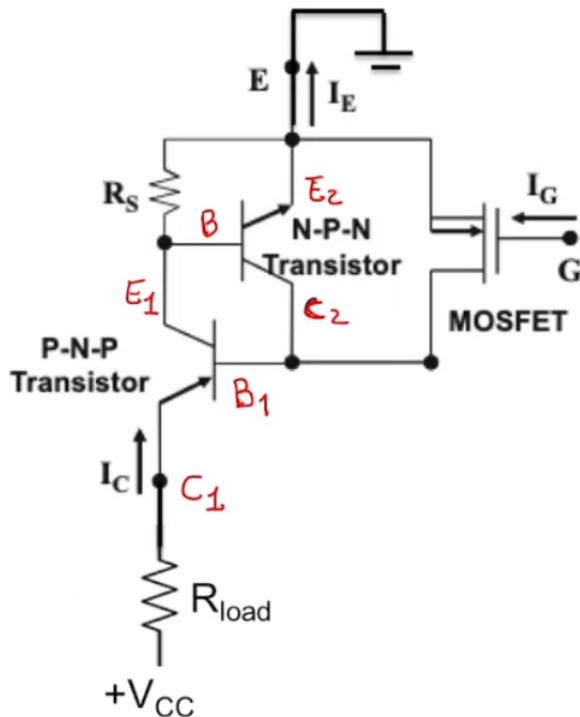


Figura 10.8: Equivalente circuitale in cui si mostrano i collegamenti tra i vari dispositivi presenti all'interno dell'IGBT

10.1.3 Capacità di blocco dell'IGBT

Facciamo riferimento alla Fig.10.9 per le nostre analisi. In condizioni di blocco, la giunzione che si oppone al flusso di corrente è la EBJ (J2 in figura). Tale giunzione è inversamente polarizzata e lo spessore della SCR dipende dalla tensione di blocco che il dispositivo deve sostenere.

Ci chiediamo come mai non ci sia flusso di corrente nonostante $V_C = V_{CC}$. Non si ha flusso di corrente a causa della barriera di potenziale presente alla giunzione J1. Per poter condurre, è necessario che il collettore inietti lacune nella regione N di drift (base del PNP). In queste condizioni tutta la tensione applicata al terminale di collettore, ricade ai capi della SCR di J2.

Se si continua ad aumentare la tensione applicata al collettore, la SCR relativa alla giunzione J2 inizierà ad estendersi sempre più nella regione di base, fino a raggiungere la SCR della giunzione J1 (condizione chiamata *reach-through*). In Fig.10.10 è possibile notare come il campo $E_1(x)$ sia stato cancellato da $E_2(x)$, i.e., il campo $E_2(x) < 0$ mentre $E_1(x) > 0$, la somma algebrica in J1 è nulla. In questa condizione il verso di $E_2(x)$ accelera le lacune, che vengono così iniettate dal collettore verso la base, accendendo il BJT PNP.

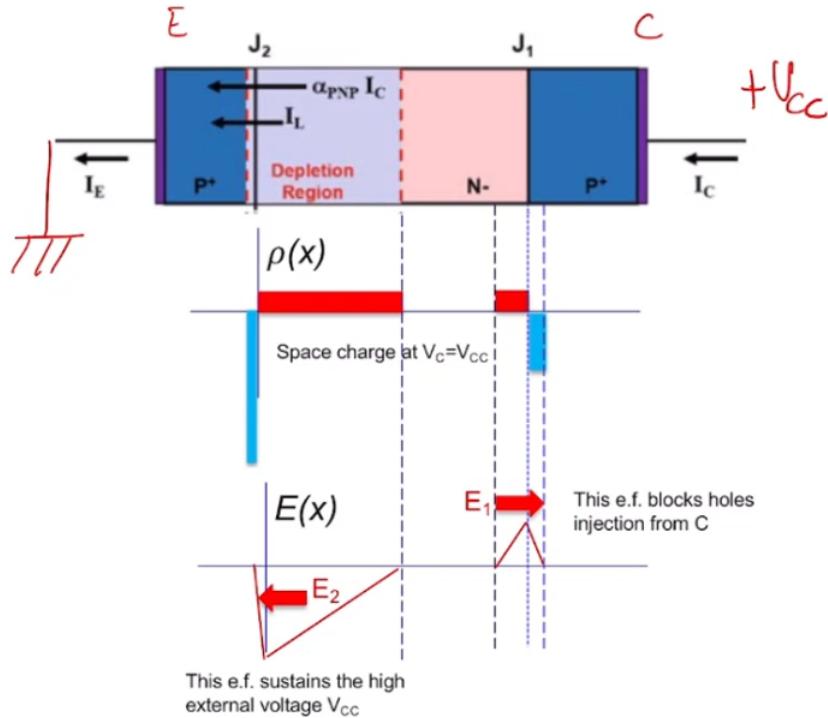


Figura 10.9: Sezione trasversale del PNP interno all'IGBT in condizioni di blocco (in alto); andamento di $\rho(x)$ in polarizzazione inversa (al centro); andamento del campo elettrico $E(x)$ in polarizzazione inversa (in basso)

Osserviamo infine, che è stato dimostrato che la tensione di breakdown è data da (in condizioni di non *reach-through*)

$$BV = 4.45 \times 10^{13} N_D^{-4/3} \quad (10.1)$$

mentre nel caso in cui si verifichi il (*reach-through*) si ha che

$$BV_{RT} = \frac{qN_D}{2\epsilon_{si}} W_N^2 \quad (10.2)$$

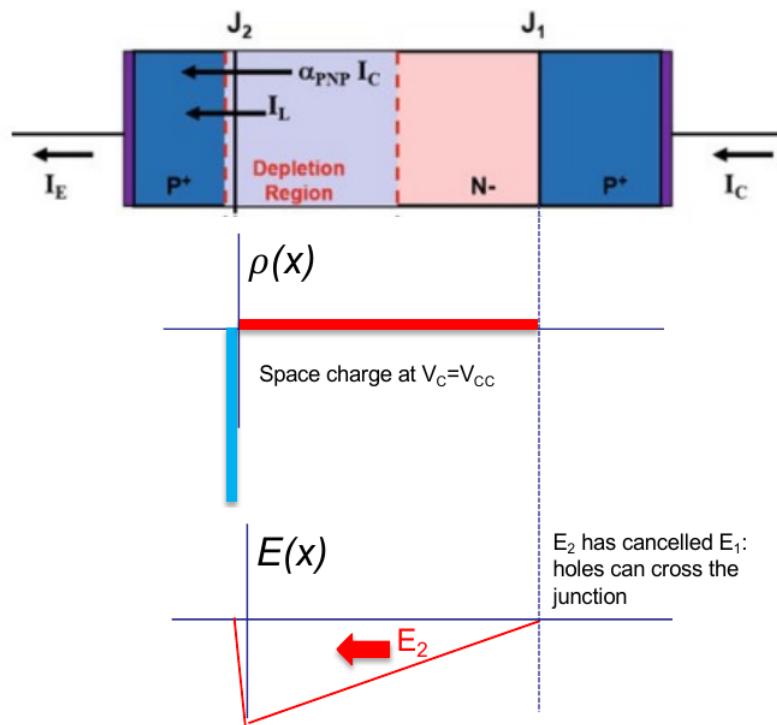


Figura 10.10: Caso limite in cui la SCR della giunzione J2 raggiunge quella della giunzione J1 (*reach-through*)

Capitolo 11

HEMT - *High Electron Mobility transistor*

11.1 MESFET - *Metal Semiconductor Field Effect Transistor*

Prima di parlare degli HEMT illustriamo brevemente come funziona un MESFET. E' un dispositivo a tre terminali, di cui uno è di controllo (la gate) mentre gli altri due sono di conduzione (drain e source). In Fig.11.1 è riportata la sezione trasversale di un MESFET. Agendo sul potenziale di gate è possibile regolare lo spessore della SCR, modulando di conseguenza la corrente tra i terminali di drain e source. Se la SCR invade completamente la zona N allora il dispositivo è interdetto, viceversa si ha conduzione di corrente. Osserviamo che è il tipo di FET preferito se si utilizzano come materiali GaAs o InP dato che:

- i) Processo di fabbricazione più semplice;
- ii) GaAs e InP non dispongono di un ossido affidabile (difficoltà di realizzare strutture MOS).

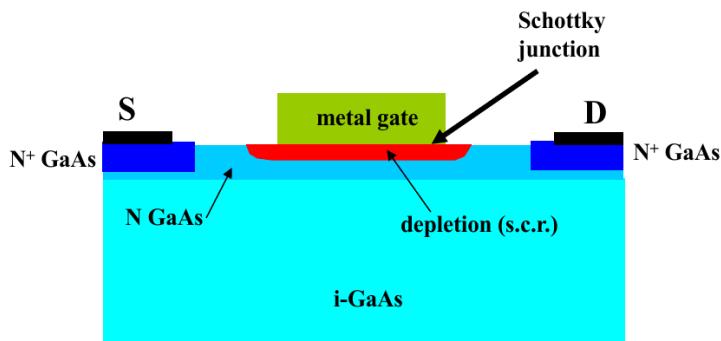


Figura 11.1: Sezione trasversale di un MESFET in GaAs

11.2 HEMT

Questo dispositivo può essere considerato come un'evoluzione del MESFET, data la presenza di una giunzione metallo semiconduttore e di due terminali di conduzione. La peculiarità di questo dispositivo è che la conduzione di corrente avviene tramite l'impiego di un gas bidimensionale di elettroni (*2DEG - 2 Dimensional Electron Gass*). La conduzione tramite il 2DEG consente di avere:

- i) Minor scattering dei portatori;
- ii) Incremento della mobilità μ_n ;
- iii) Minor rumore dovuto alle proprietà i) e ii)

Grazie a queste proprietà gli HEMT possono lavorare ad elevate frequenze, e.g., $f > 10\text{GHz}$, il che li rende di ampio interesse per applicazioni switching.

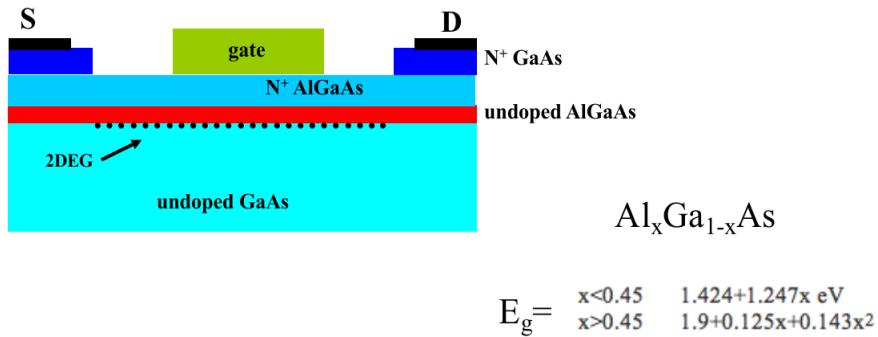


Figura 11.2: Sezione trasversale di un HEMT

11.2.1 Creazione del 2DEG

Consideriamo un primo semiconduttore ad elevato bandgap - *WBG* con bandgap E_{g1} ed un altro semiconduttore con un bandgap E_{g2} tale che $E_{g1} > E_{g2}$; entrambi i semiconduttori sono intrinseci, per cui il livello di Fermi intrinseco è approssimativamente collocato a centro banda per entrambi i materiali. Assumiamo inoltre che i *band-offset*, i.e., $E_{c1} - E_{c2} = \Delta E_c$ e $E_{v2} - E_{v1} = \Delta E_v$, siano tra loro uguali, cioè $\Delta E_v = \Delta E_c$. La Fig.11.3 è rappresentativa di quanto appena detto. Se unissimo i due materiali non si avrebbe nessun fenomeno di *band bending* dato che i due livelli di Fermi sono allineati per entrambi i materiali.

Consideriamo il caso in cui il primo semiconduttore sia drogato di tipo N. In tal caso, il livello di Fermi deve traslare verso la banda di conduzione. In questo caso, quando i due materiali vengono uniti deve essere garantita l'unicità del livello di Fermi, per cui le bande devono necessariamente incurvarsi, mantenendo però inalterati i band-offset $\Delta E_v, \Delta E_c$. Si ottiene un andamento simile a quanto riportato in Fig.11.4. L'incurvatura nei pressi di E_{c1} prende il nome di *potential well* (buca di potenziale); se un elettrone è presente nella buca, è difficile che riesca ad uscirne. Osserviamo che in questa situazione è

difficile trovare elettroni nella buca, dato che quest'ultima si trova ad un livello energetico superiore rispetto a quello di Fermi (bisognerebbe fornire energia alla struttura o introdurre del drogaggio). Tuttavia, esistono delle situazioni in cui la buca di potenziale attraversa il livello di Fermi come mostrato in Fig.11.5.

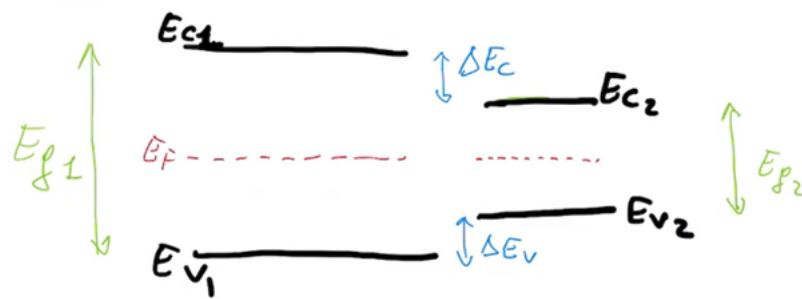


Figura 11.3: Andamento delle bande nei due semiconduttori separati

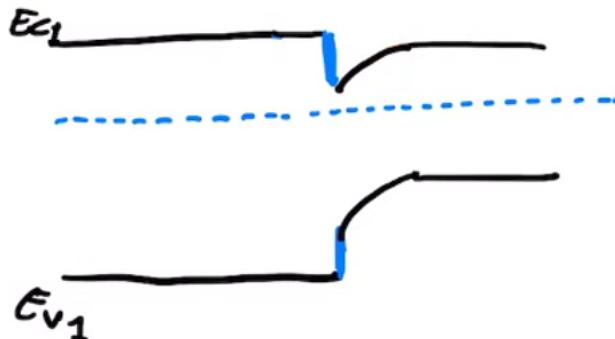


Figura 11.4: Andamento delle bande nei due semiconduttori, atti a formare un'eterogiunzione.

In questo caso la porzione di buca che si trova ad energia inferiore a E_F , sarà denotata da un'elevata probabilità di occupazione da parte di elettroni. Osserviamo che lo spessore della buca può essere regolato tramite il drogaggio; maggiore è il drogaggio più si assottiglia la buca di potenziale. Per cui si arguisce che al ridursi dello spessore della buca si riducono di pari passo la concentrazione di stati quantici allocabili. Quando si scende ad uno spessore $t < 20\text{nm}$ il numero di stati all'interno diventa quantizzato, i.e., si passa da una banda (continua) di stati a dei livelli discreti. In queste condizioni si parla di *quantum well*.

Questo fenomeno si verifica soprattutto nei circuiti VLSI; t_{ox} è nell'ordine delle decine di nm per cui sotto l'ossido si verifica che il numero di stati occupabili si riduce a tre/quattro livelli energetici.

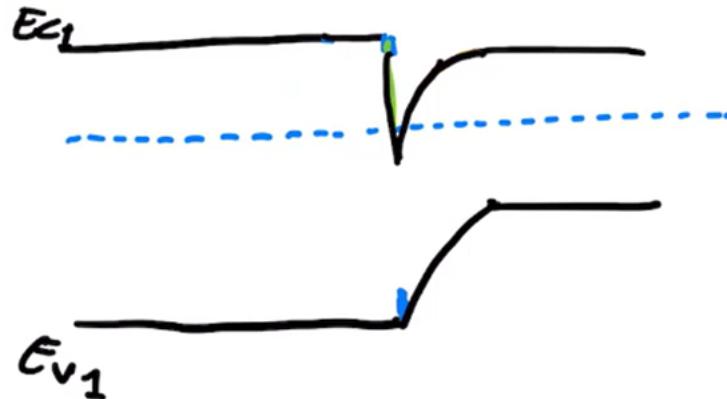


Figura 11.5: Buca di potenziale che attraversa il livello di Fermi

Tornando alla sezione trasversale di Fig.11.2, osserviamo che il semiconduttore ad elevato bandgap è AlGaAs mentre quello con bandgap minore è i-GaAs; questi formano un'eterogiuinzione e danno luogo alla buca di potenziale che verrà popolata da elettroni. Gli elettroni nella buca saranno confinati a muoversi lungo il 2DEG, i.e., orizzontalmente o verticalmente, per cui si avrà un ridotto scattering e, di conseguenza, una mobilità più elevata. La formazione della buca di potenziale è mostrata in Fig.11.6.

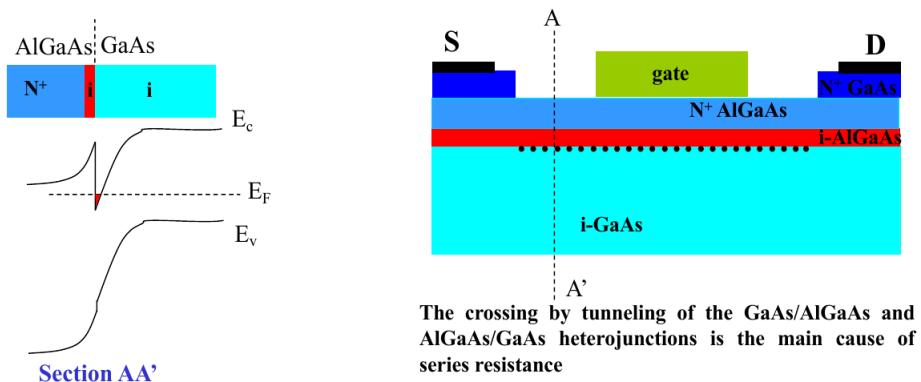


Figura 11.6: Andamento delle bande lungo la sezione AA'(a sinistra), sezione trasversale del dispositivo (a destra)

Facciamo un'osservazione sulla costante reticolare dei materiali utilizzati per realizzare l'eterogiuinzione. E' necessario selezionare materiali compatibili tra loro, cioè con costanti reticolari pressochè uguali. Nel caso in cui ciò non venisse osservato, verrebbero a crearsi dei difetti all'interfaccia dell'eterogiuinzione (trappole a livello energetico), aumentando la possibilità di scattering e diminuendo la mobilità. Per tale motivo è chiaro che l'eterogiuinzione sia quanto più perfetta possibile, proprio per evitare i problemi appena menzionati.

11.2.2 HEMT basati su AlGaN/GaN

Questi HEMT sono fabbricati con diversi strati di materiali, come visibile in Fig.11.7, ma si vede che il dispositivo di base è uguale a quello visto nel paragrafo precedente. In questi HEMT il 2DEG si ottiene tramite l'eterostruttura AlGaN e GaN. Questi dispositivi stanno guadagnando rapidamente terreno nel campo dell'elettronica di potenza, soprattutto in applicazioni switching dove è possibile operare a frequenza nell'ordine delle decine di MHz.

AlGaN/GaN-based HEMT device

- Low R_{on} due to high 2DEG density with $N_s \sim 9 \times 10^{12} \text{ cm}^{-2}$
- High breakdown because of high band gap (3.4eV)
- Low capacitances: no junction to deplete
- "Natural" normally-ON

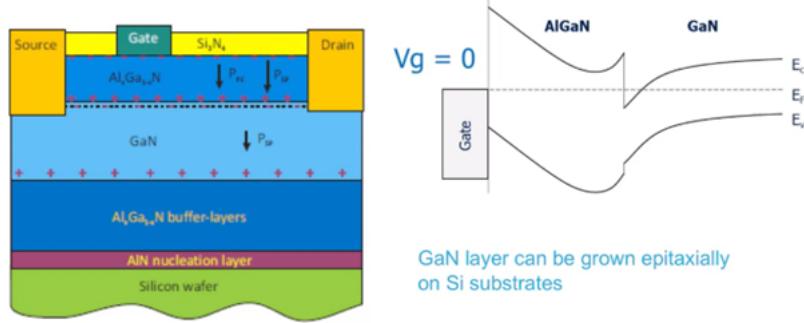


Figura 11.7: Sezione trasversale di un HEMT realizzato in GaN (sinistra); formazione della buca di potenziale all'interfaccia AlGaN-GaN (a destra)

Di seguito si riporta la sezione trasversale e la vista dal basso di un HEMT in GaN prodotto dall'azienda EPC. E' possibile notare come il package sia molto compatto e presenti quindi dei contributi parassiti molto ridotti. Osserviamo inoltre che i dispositivi in GaN presentano, a parità di prestazioni, un area quattro volte inferiore rispetto a MOSFET SJ in silicio. Aree minori implicano riduzione del package del componente e dei costi di integrazione in PCB.

Lavorare ad alte frequenze in applicazioni switching comporta diversi vantaggi tra cui la riduzione dei componenti reattivi LC e la diminuzione del ripple. Tuttavia, a frequenze elevate le induttanze parassite sia interne al package che esterne (PCB) iniziano a giocare un ruolo importante. Se non si pone particolare attenzione a questo problema i dispositivi in GaN possono andare in controllo facilmente a rottura (*voltage overshoot* sulla gate). Per far fronte a questo problema, molti produttori forniscono un ulteriore contatto, detto *Kelvin Source*. Questo terminale è collegato internamente al source del dispositivo tramite un percorso a bassa resistenza ed induttanza. Il contatto di Kelvin Source viene utilizzato per pilotare il dispositivo, bypassando l'induttanza parassita interna, così come evidenziato dalla Fig.11.9.

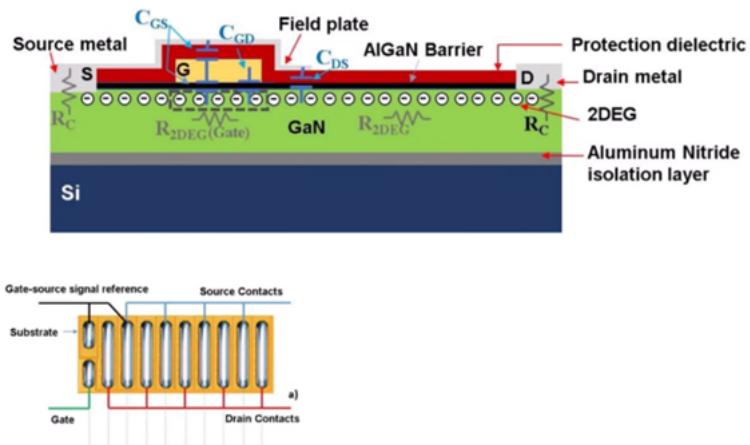


Figura 11.8: Sezione trasversale del dispositivo, in cui si evidenziano i contributi resistivi della struttura (in alto); vista dal basso della struttura interdigitata del dispositivo (in basso)

GS61008P (100V/90A, 7.5mΩ)

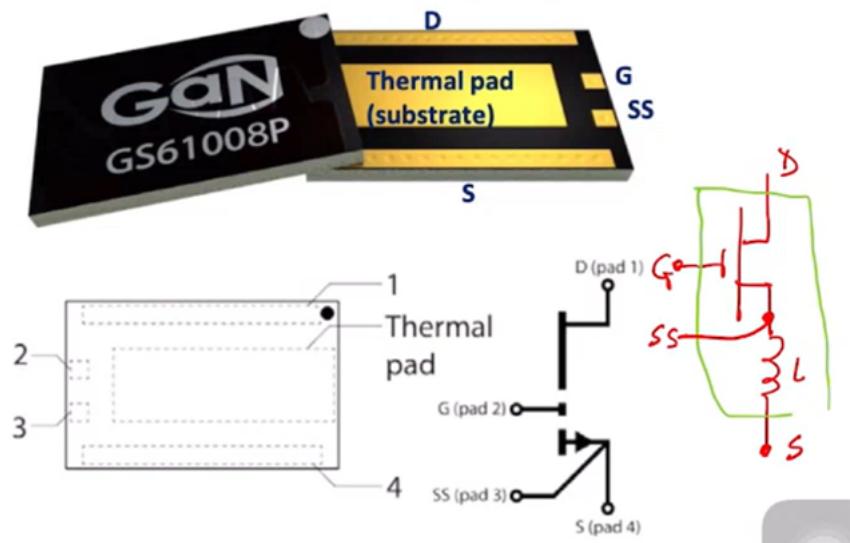


Figura 11.9: Dispositivo commerciale in cui è evidenziata la presenza del terminale SS (Kelvin source)

Appendice A

Superjunction MOSFET

Power MOSFET Basics

Understanding Superjunction Technology

by Sanjay Havanur and Philip Zuk

Power MOSFETs based on superjunction technology have become the industry norm in high-voltage switching converters. They offer lower $R_{DS(on)}$ simultaneously with reduced gate and output charges, which allows for more efficient switching at any given frequency. Prior to the availability of superjunction MOSFETs the dominant design platform for high-voltage devices was based on planar technology. However, fast switching at high voltages poses its own challenges in AC/DC power supplies and inverters. Designers making the transition from planar to superjunction MOSFETs often have to accommodate EMI, voltage spikes, and noise-related concerns by compromising switching speed. This application note will compare the characteristics of the two platforms so that the benefits of superjunction technology are fully understood and utilized.

In order to understand the differences between the two technologies, we need to start with the basics. Fig. 1a shows the simple structure of a conventional planar high-voltage MOSFET. Planar MOSFETs typically have a high drain-to-source resistance per unit of silicon area, and come with relatively higher drain source resistances. Lower $R_{DS(on)}$ values could be achieved with high cell density and large die sizes. However, large cell densities and die sizes also come with high gate and output charges, which increase the switching losses as well as costs. There is also a limit to how low the total silicon resistance can go. The total $R_{DS(on)}$ for the device can be expressed as the sum of three components: the channel, epi, and the substrate.

$$R_{DS(on)} = R_{ch} + R_{epi} + R_{sub}$$

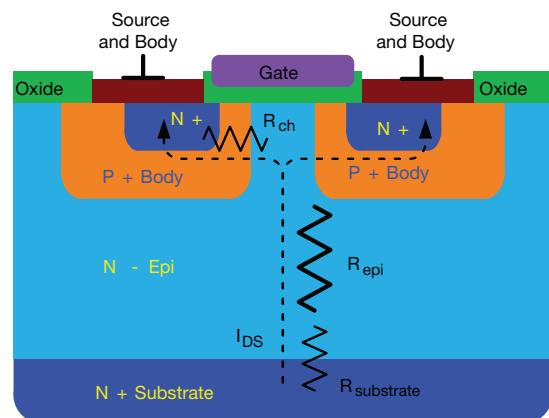


Fig. 1a - Conventional Planar MOSFET Structure

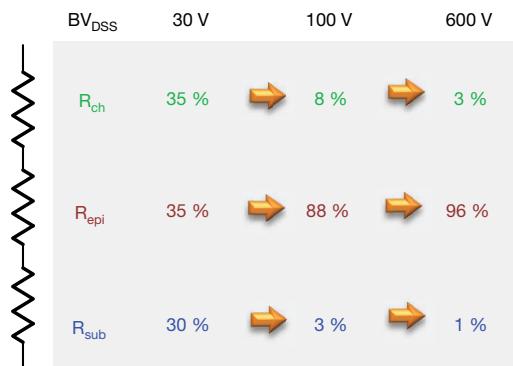


Fig. 1b - Resistive Components of a Planar MOSFET

Fig. 1b shows a breakdown of different components that make up the $R_{DS(on)}$ in a planar MOSFET. For low-voltage MOSFETs the three components are comparable. However, as the voltage rating is increased, the epitaxial layer needs to be thicker and more lightly doped to block high voltages. For every doubling of the voltage rating, the area required to maintain the same $R_{DS(on)}$ increases more than five-fold. For 600 V rated MOSFETs, more than 95 % of the resistance comes from the epitaxial layer. It is obvious that for any significant reduction in the $R_{DS(on)}$ value, it is necessary to find a way of heavily doping the drift region and drastically reducing the epi resistance.

Power MOSFET Basics Understanding Superjunction Technology

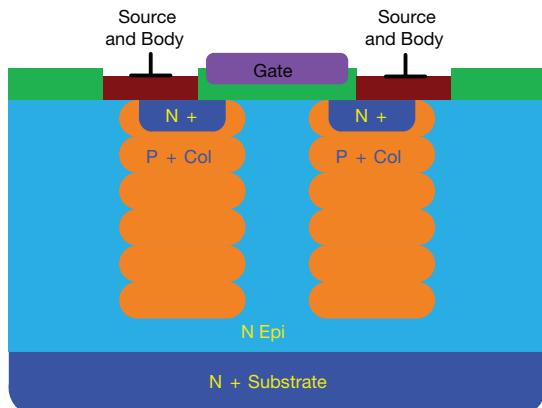


Fig. 2 - Superjunction MOSFET Structure

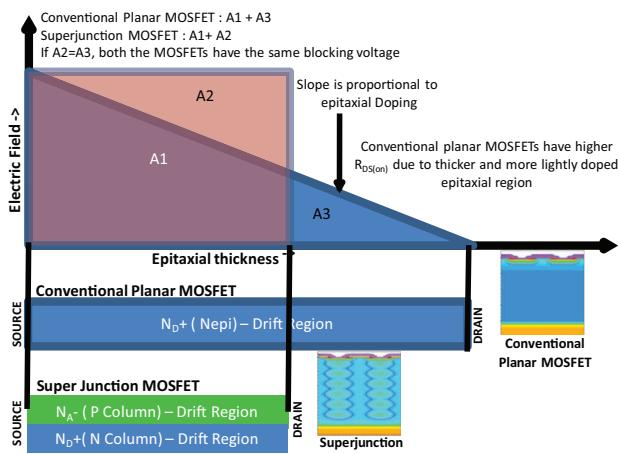


Fig. 3 - Blocking Voltage and On-resistance Comparison for Planar and Superjunction MOSFETs

Figure 2 shows the physical structure of superjunction MOSFETs based on the idea of charge balancing. The drift region now has multiple P columns, which cancel the charge in the surrounding N regions under reverse bias. As a result, the N_{epi} can now be thinner and heavily doped since the combined structure offers a much higher resistance to applied reverse voltage. As the N region becomes more heavily doped, its on-resistance per unit area decreases.

Figure 3 compares the electric field in the drift region vs. epi thickness for the two technologies. In conventional planar MOSFETs, the blocking voltage is defined both by the epi thickness and the doping (N_{D+}), or slope of the line. If additional blocking voltage is required, not only does the epi have to be made thicker, but the epi doping line also has to change. This results in a disproportionate increase in R_{DS(on)} for higher-voltage MOSFETs. For every doubling of voltage rating, keeping the same die size, the R_{DS(on)} can increase anywhere from three- to five-fold.

Superjunction MOSFETs can use a thinner epi (A1 + A2) for a given blocking voltage than conventional planar devices (A1 + A3). The doping of the N region (N_{D+}) is balanced out by the doping of the P column (N_{A-}), resulting in no slope. In other words, because of the charge balancing mechanism, only the thickness of the epi defines the blocking voltage. As a result, the superjunction structure has a linear relationship between on-resistance and breakdown voltage. The on-resistance increases linearly with an increase in breakdown voltage. For the same breakdown voltage and die size, the on-resistance of a superjunction MOSFET will be much less than a conventional planar device.

Superjunction devices from Vishay are available under the E series of high-voltage MOSFETs in ratings from 500 V to 650 V. They are offered in a variety of packages, from small SMT footprints like the PowerPAK® SO8 and PowerPAK 8 x 8 to the standard TO-xxx packages. Typical specific on-resistance varies from 20 mΩ ·cm², down to 10 mΩ·cm², depending on the breakdown voltage and technology generation. The on-resistance x area product of conventional planar MOSFETs can be three to five times higher, again depending on the voltage rating. For example, while the lowest R_{DS(on)} achievable for a 600 V device in the TO-220 package is 275 mΩ, superjunction devices from Vishay are available down to 50 mΩ in the same package. Of course with every new generation of design platforms, better devices with lower R_{DS(on)} will be available in the future.



Power MOSFET Basics Understanding Superjunction Technology

CAPACITANCES

The reduction in resistance for superjunction devices has obvious benefits, such as lower conduction losses or smaller dies for the same $R_{DS(on)}$. Additionally, the reduction in the chip area can lead to lower capacitances and gate and output charges, which reduces dynamic losses. In low-voltage trench or planar MOSFETs, there is usually a trade-off between lowering the $R_{DS(on)}$ at the cost of higher capacitances. In the case of superjunction technology the compromise is minimal. The charge balancing mechanism achieves simultaneous reduction in $R_{DS(on)}$ and device capacitances, making it a win-win solution. Table 1 compares the characteristics of two devices with close

$R_{DS(on)}$ values. The superjunction device has 15 % to 25 % improvement for every parameter, except for E_{as} and I_{as} . This is because the superjunction device, despite a 20 % reduction in $R_{DS(on)}$, has a die size that is only one third of the comparable planar. The smaller size affects current and power ratings. A large die size has lower current density and better heat sinking capabilities. As a result, for a given on-resistance, the conventional planar MOSFETs are inherently more rugged compared to superjunction devices. However, at currents and switching frequencies typically used in high-voltage power converters, the superjunction device will always offer lower loss and better efficiency.

TABLE 1: COMPARISON OF 600 V PLANAR VS. SUPERJUNCTION DEVICES

DEVICE	TECHNOLOGY	$R_{DS(on)}$	Q_{gs}	Q_{gd}	Q_g	Q_{rr}	E_{oss}	E_{as} / I_{as}
		mΩ	nC				μJ	mJ/A
		TYPICAL						
SiHP17N60D	Planar	275	14	22	45	7000	8.9	165 / 4.2
SiHP15N60E	Superjunction	230	11	17	38	5400	6.1	102 / 12

Table 2 shows another comparison, this time for 500 V devices. The SiHG32N50D is a planar MOSFET with a 125 mΩ typical $R_{DS(on)}$ rating. The die is large, in fact the largest die that can fit into a TO-247 package. This can be compared with the superjunction SiHA25N50E in the smaller, isolated thin lead TO-220F package, which offers

the same $R_{DS(on)}$ but better specifications on every parameter except UIS ruggedness. It should be noted that Vishay is quite conservative in derating the inductive switching specifications. A 100 % derating factor is applied on the measured failure current, which translates to a derating factor of four for UIS energy E_{as} .

TABLE 2: COMPARISON OF 500 V PLANAR VS. SUPERJUNCTION DEVICES

DEVICE	TECHNOLOGY	PACKAGE	$R_{DS(on)}$	Q_{gs}	Q_{gd}	Q_g	Q_{rr}	E_{oss}	E_{as} / I_{as}
			mΩ	nC				μJ	mJ/A
			TYPICAL						
SiHG32N50D	Planar	TO-247	125	18	29	64	7	23.8	225 / 14
SiHA25N50E	Superjunction	TO-220F	125	14	25	57	5.3	13.1	53 / 6.8

Power MOSFET Basics Understanding Superjunction Technology

Fig. 4 defines the capacitances for which the charge specifications are provided. For the two 600 V devices compared above, the capacitance curves are shown in Fig. 5. Note that the capacitance scale is logarithmic.

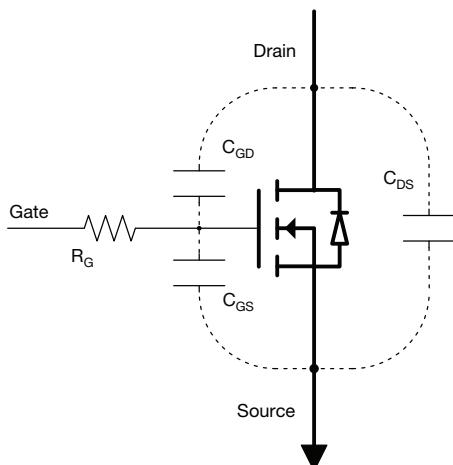
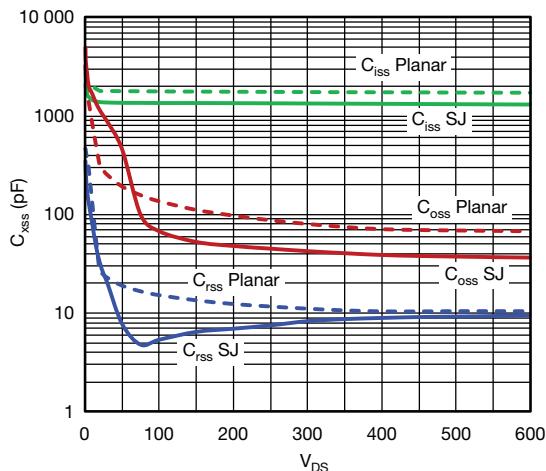


Fig. 4 - MOSFET Capacitance Definitions



**Fig. 5 - Capacitance Comparison for
Planar SiHP17N60D and Superjunction SiHP15N60E MOSFETs**

Gate Charge Considerations

In any switching circuit the gate drive design is a trade-off between switching speed and noise. Superjunction devices offer high switching speeds at high voltages, which also demand extra attention to drive design. Poor design may cause voltage spikes, erratic switching, and higher EMI. Another major concern with ultra-low capacitances is an increased sensitivity to coupling and noise, which shows up as gate source oscillation. Designers are then forced to slow down the switching speed by introducing high gate resistances or low drive currents, which ultimately reduce the system efficiency.

Vishay application note AN-608, "Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance," gives the detailed theory behind the switching behavior of conventional MOSFETs (www.vishay.com/docs/73217/73217.pdf).

Particular reference is made to the gate charge curve as shown in Fig. 4 and Fig. 5 of the application note, which depict the rise and fall of V_{DS} as the gate is discharged and charged. Typically the Q_{gd} of a MOSFET can be used for estimating the V_{DS} voltage rise and fall times during switching. Assuming a constant current source driving the gate,

$$t_{vfall} = Q_{gd} / I_{gon} \text{ and } t_{vrise} = Q_{gd} / I_{goff}.$$

This simple model cannot be used for superjunction devices, whose structure and switching behaviors are more complex. As an example, Fig. 6 shows the gate charge curve for the SiHP33N60E with a V_{DS} curve superposed on it. One feature of superjunction MOSFETs when compared to planar devices is the wide variations in their capacitances as a function of V_{DS} . In a superjunction MOSFET, because of the 100:1 drop in C_{rss} from 0 V to 600 V, the observed switching durations will appear to be much smaller than those estimated from the datasheet values of Q_{gd} . While there is no analytical method to predict the actual transition times, which in turn depend on application conditions, designers should be aware that good switching performance can be achieved with lower gate drive currents. This translates into smaller and lower-cost gate drivers compared to those used for planar MOSFETs.

Power MOSFET Basics Understanding Superjunction Technology

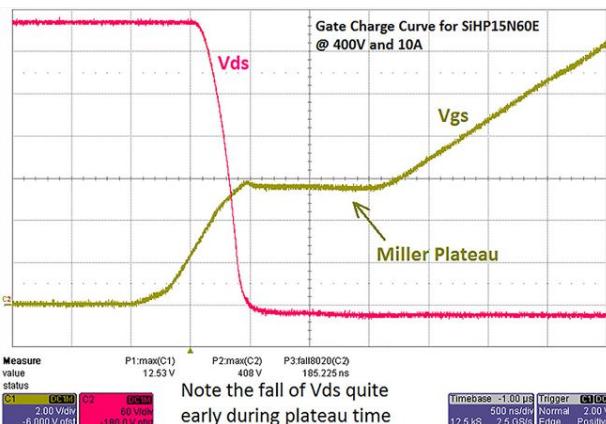


Fig. 6 - Gate Charge Curve vs. V_{DS} for SiHP15N60E

C_{oss} , $C_{o(tr)}$, $C_{o(er)}$, and E_{oss}

Fig. 5 also shows that C_{oss} for the superjunction device is nearly 40 % lower, leading to reduced stored energy and faster switching, while at the same time achieving lower loss. The output capacitance C_{oss} of all MOSFETs shows non-linear characteristics with respect to applied voltage V_{DS} . The non-linearity is even more pronounced in the case of superjunction MOSFETs, with a variation of 100:1 in value from 0 V to 600 V. This poses a challenge to designers who need effective values for stored charge and energy in the C_{oss} . The superjunction datasheets typically provide two effective values for C_{oss} , defined as follows:

$C_{o(tr)}$ - defines the value of a fixed capacitor, which has the same stored charge as the variable C_{oss} at 80 % of the rated voltage.

$C_{o(er)}$ - defines the value of a fixed capacitor, which has the same stored energy as the variable C_{oss} at 80 % of the rated voltage.

Several studies have emphasized the impact of stored energy E_{oss} on system efficiency under different operating conditions. Recognizing the importance, Vishay has started providing complete E_{oss} curves for all high-voltage MOSFETs, all the way up to rated voltage as shown in Fig. 7.

Body Diode Characteristics

Because of their combination of lower $R_{DS(on)}$ and low capacitances, superjunction MOSFETs are also the devices of choice for all high-frequency switching applications, including ZVS bridges. In a ZVS or synchronous application, the body diode of the MOSFET is not subject to hard commutation. The diode current is softly commutated to the MOSFET channel and the diode recovers voltage blocking capability when the MOSFET is turned off. However, this

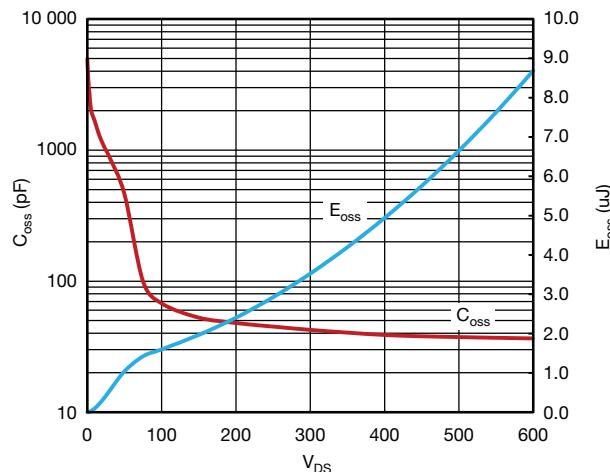


Fig. 7 - Capacitance and Stored Energy vs. V_{DS} for SiHP15N60E

does not mean that diode recovery can be taken for granted in ZVS bridges under all operating conditions, including transients. Lower Q_{rr} , short carrier lifetime, and soft recovery characteristics are still important requirements. Superjunction MOSFETs do have the advantage of lower Q_{rr} and t_{rr} over planar devices and therefore are better suited in ZVS applications. However, where the ability of the body diode to recover blocking voltage is considered critical, further improvements in the recovery characteristics are desirable. Recognizing the need, Vishay has introduced the EF series of superjunction MOSFETs in which, using additional processes during manufacturing, the Q_{rr} of the body diode is reduced by a factor of 5 to 7.

Conclusions

The superjunction structure is a major development in high-voltage MOSFET technology and offers significant benefits. $R_{DS(on)}$, gate capacitances, and output charge are all simultaneously reduced, along with die size. To make the best use of these fast and efficient devices, designers have to pay greater attention to their system design, particularly towards reducing PCB parasitics. Superjunction MOSFETs have much lower gate charges and can be driven with low-current gate drivers. Their output capacitances, while highly non-linear, offer lower stored energy E_{oss} and related output losses. Vishay superjunction devices are available in different packages, voltage ratings, and body diode characteristics to suit a wide variety of applications.