



西安电子科技大学
XIDIAN UNIVERSITY

计算机科学与技术学院
School of Computer Science and Technology

A series of decorative geometric shapes on the left side of the page, including a large blue rectangle, a smaller orange square above it, a red square to its left, and a vertical stack of five dark blue rectangles at the bottom left.

电子技术综合实验A

计算机专业实践中心



西安电子科技大学
XIDIAN UNIVERSITY

计算机科学与技术学院
School of Computer Science and Technology

数字电子技术基础实验

实验五 时序逻辑电路设计



实验目的

一、掌握组合逻辑电路和时序逻辑电路的区别

二、测试**RS**触发器、**D**触发器、**JK**触发器的逻辑功能

三、学习使用基本触发器设计简单时序电路



组合逻辑电路和时序逻辑电路区别

组合逻辑电路

由若干基本逻辑单元组合而成。

特点：输出信号仅取决于当时的输入信号，而与电路原来的状态无关。

时序逻辑电路

具有记忆功能，最基本单元是触发器。

特点：它的输出状态不仅和当时的输入状态有关，还和在此之前的电路状态有关。



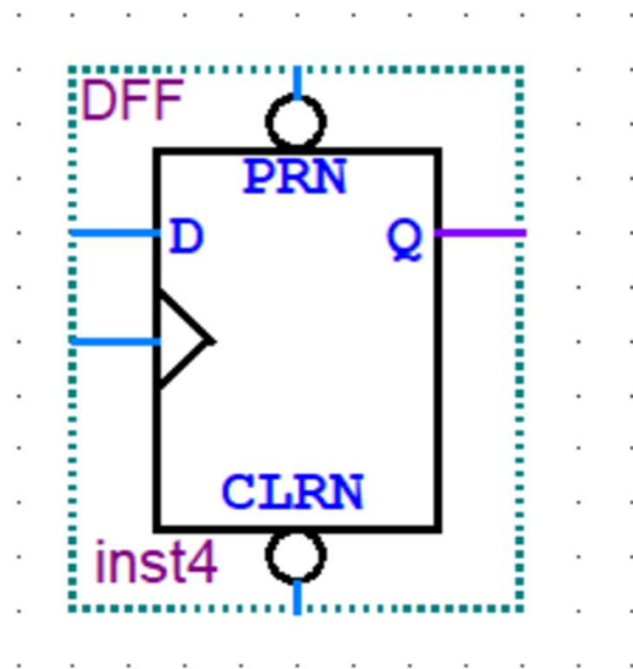
基本触发器介绍

1.D触发器DFF（或双D触发器74LS74中一个D触发器）

D触发器的输入端口CLR_N是复位或清零，PR_N是置位端，CLK_S是时钟。

给定D（数据）、CLK（时钟）波形序列，进行波形仿真，记录输入与输出Q波形。

说明D触发器是电平触发还是上升沿触发？





基本触发器介绍

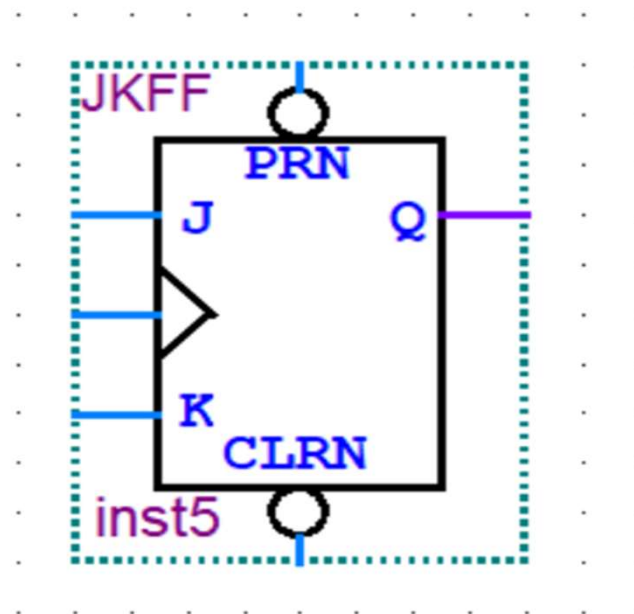
2.JK触发器JKFF

(或双JK触发器74LS73、74LS76中一个JK触发器)

JK触发器输入端口CLR_N是复位端，PR_N是置位端，CLK_S是时钟。

给出CK，J，K的波形，仿真JK触发器的功能。

说明JK触发器的CLK何时有效？





实验内容

题目（一）验证D、JK触发器的功能。

题目（二）用D触发器设计4位二进制同步计数器(分频器)。

题目（三）用D触发器设计4位二进制异步计数器(分频器)。

在 Quartus-II 环境下输入原理图(用基本逻辑门+触发器实现)，并进行波形仿真。



同步计数器与异步计数器

- **同步计数器**

- 输入时钟信号作用于所有触发器

- **异步计数器**

- 输入时钟信号只作用于计数单元中的最低位触发器
- 各触发器之间相互串行，由低一位触发器的输出逐个向高一位触发器传递
- 进位信号而使得触发器逐级翻转，所以前级状态的变化是下级变化的条件
- 只有低位触发器翻转后才能产生进位信号使高位触发器翻转。



西安电子科技大学
XIDIAN UNIVERSITY

计算机科学与技术学院
School of Computer Science and Technology

数字电子技术基础实验

思 考

功能仿真和时序仿真下，计数器的波形
是否有差异？

实验五 时序逻辑电路设计

Settings - test

Category:

- General
- Files
- Libraries
- Device
- + Operating Settings and Conditions
- + Compilation Process Settings
- EDA Tool Settings
 - Design Entry/Synthesis
 - Simulation
 - Timing Analysis
 - Formal Verification
 - Physical Synthesis
 - Board-Level
- Analysis & Synthesis Settings
 - VHDL Input
 - Verilog HDL Input
 - Default Parameters
- Fitter Settings
- Timing Analysis Settings
 - TimeQuest Timing Analyzer
 - Classic Timing Analyzer Settings
 - Classic Timing Analyzer Report
- Assembler
- Design Assistant
- SignalTap II Logic Analyzer
- Logic Analyzer Interface
- Simulator Settings
 - Simulation Verification
 - Simulation Output Files
- PowerPlay Power Analyzer Settings
- SSN Analyzer

Simulator Settings

Select simulation options.

Simulation mode: Functional

Simulation input: Functional
Timing
Timing using Fast Timing Model

Simulation period

☒ Run simulation until all vector stimuli are used

☐ End simulation at: ns

Glitch filtering options: Auto

More Settings...

Description:

Specifies the type of simulation to perform for the current Simulation focus.

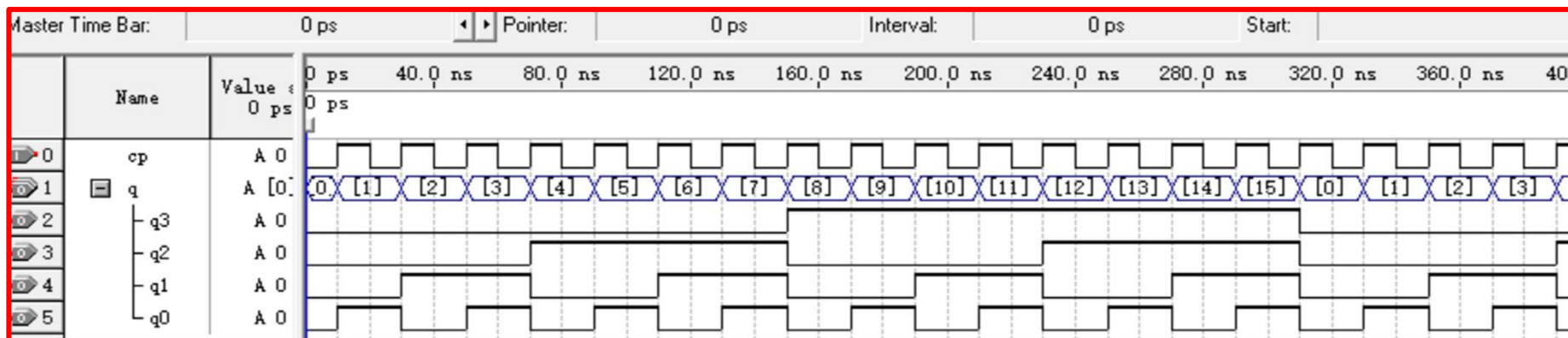
OK

Cancel

Functional表示功能仿真，即不包括时序信息；**Timing**表示时序仿真，加入线及寄存器的延时信息



异步4位二进制加计数器功能仿真波形：



异步4位二进制加计数器时序仿真波形：

