



西安电子科技大学
XIDIAN UNIVERSITY

计算机科学与技术学院
School of Computer Science and Technology

A series of decorative geometric shapes on the left side of the page, including a large blue rectangle, a smaller orange square above it, a red square to its left, and a vertical stack of five dark blue rectangles at the bottom left.

电子技术综合实验A

计算机专业实践中心



西安电子科技大学
XIDIAN UNIVERSITY

计算机科学与技术学院
School of Computer Science and Technology

数字电子技术基础实验

实验三 组合逻辑电路设计（1）



回顾软件使用

原理图输入法设计电路

1. 建立工程项目（工程路径、名称和选择合适器件）
2. 编辑设计原理图文件（放置元件、连线、设定输入输出管脚名称）
3. 编译设计原理图文件（检查电路是否有错误）
4. 仿真设计文件（得到仿真波形，验证设计结果）
5. 硬件编程下载相关



西安电子科技大学
XIDIAN UNIVERSITY

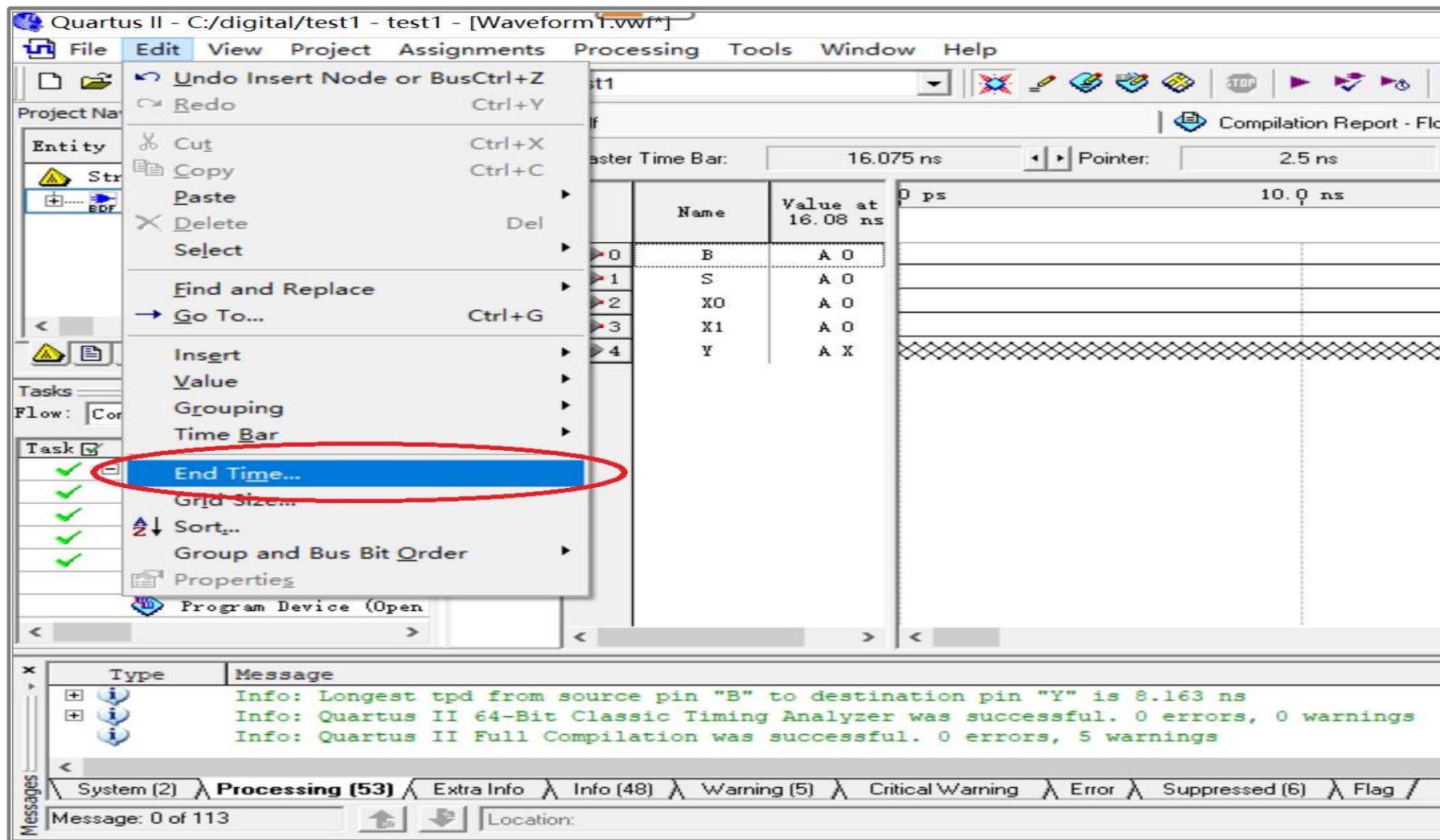
计算机科学与技术学院
School of Computer Science and Technology

数字电子技术基础实验

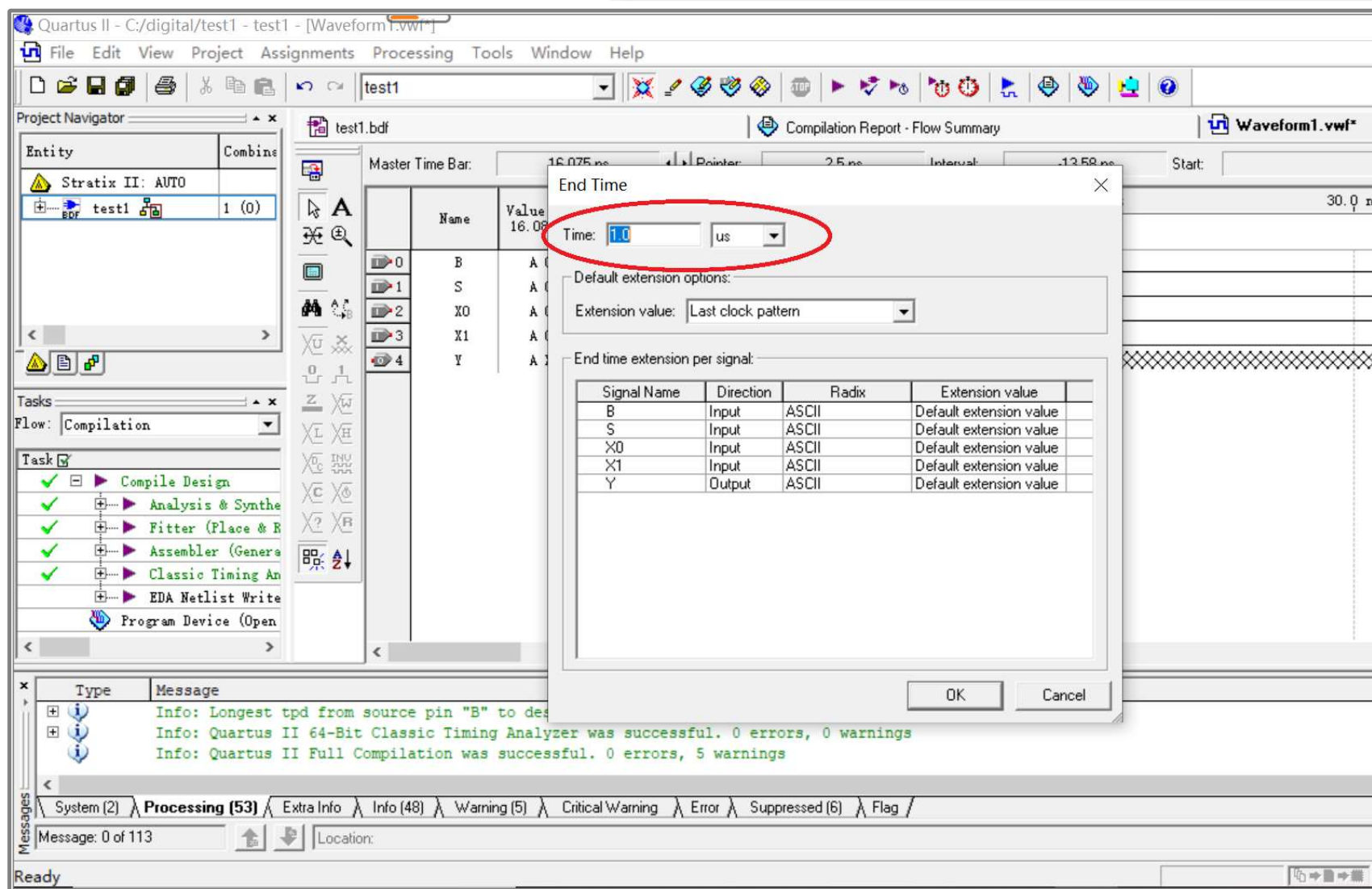
设置仿真时间

执行Edit-End Time命令，设置合适的时间

实验三 组合逻辑电路设计



实验三 组合逻辑电路设计

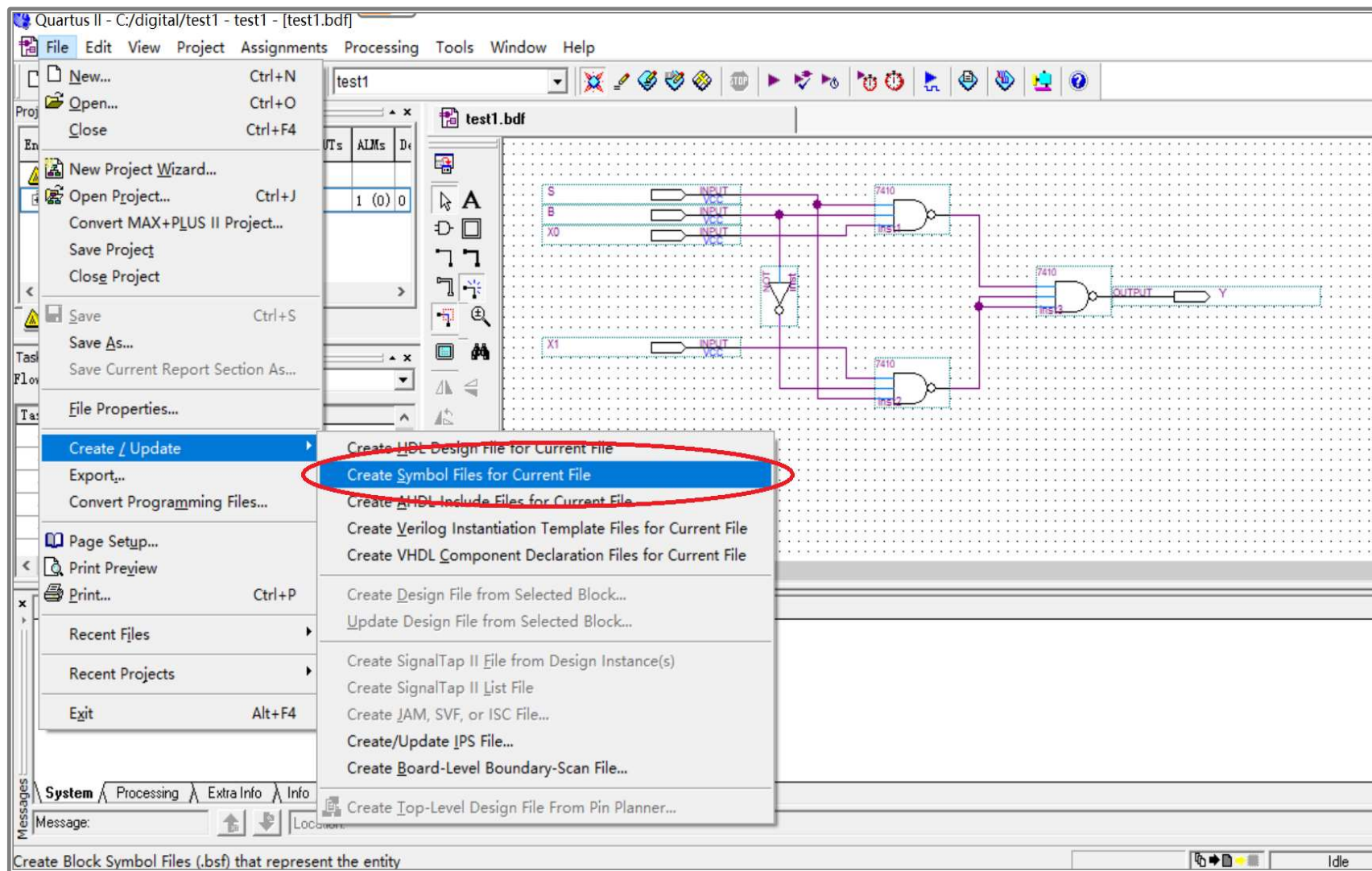


实验三 组合逻辑电路设计

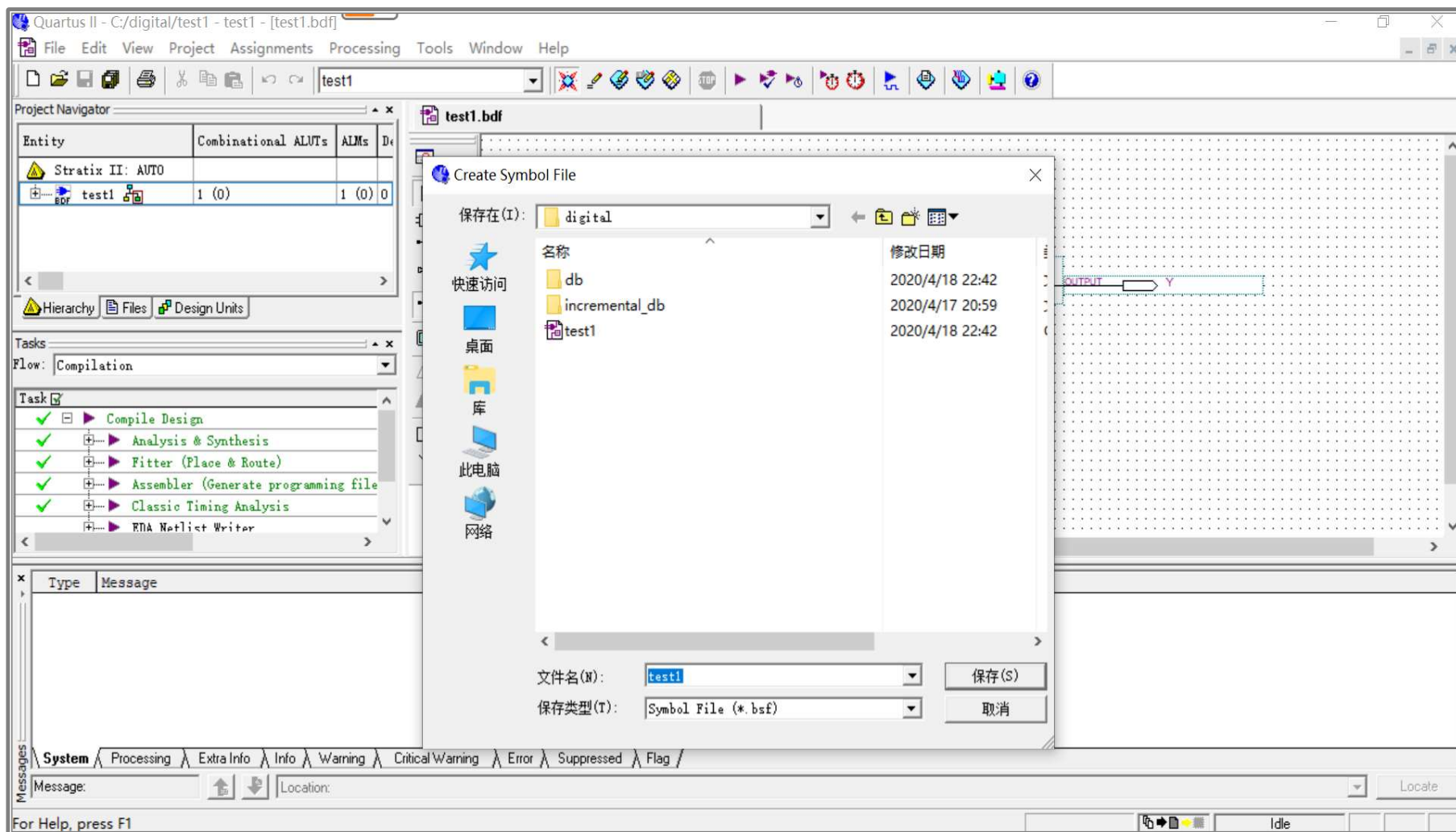


生成元件符号

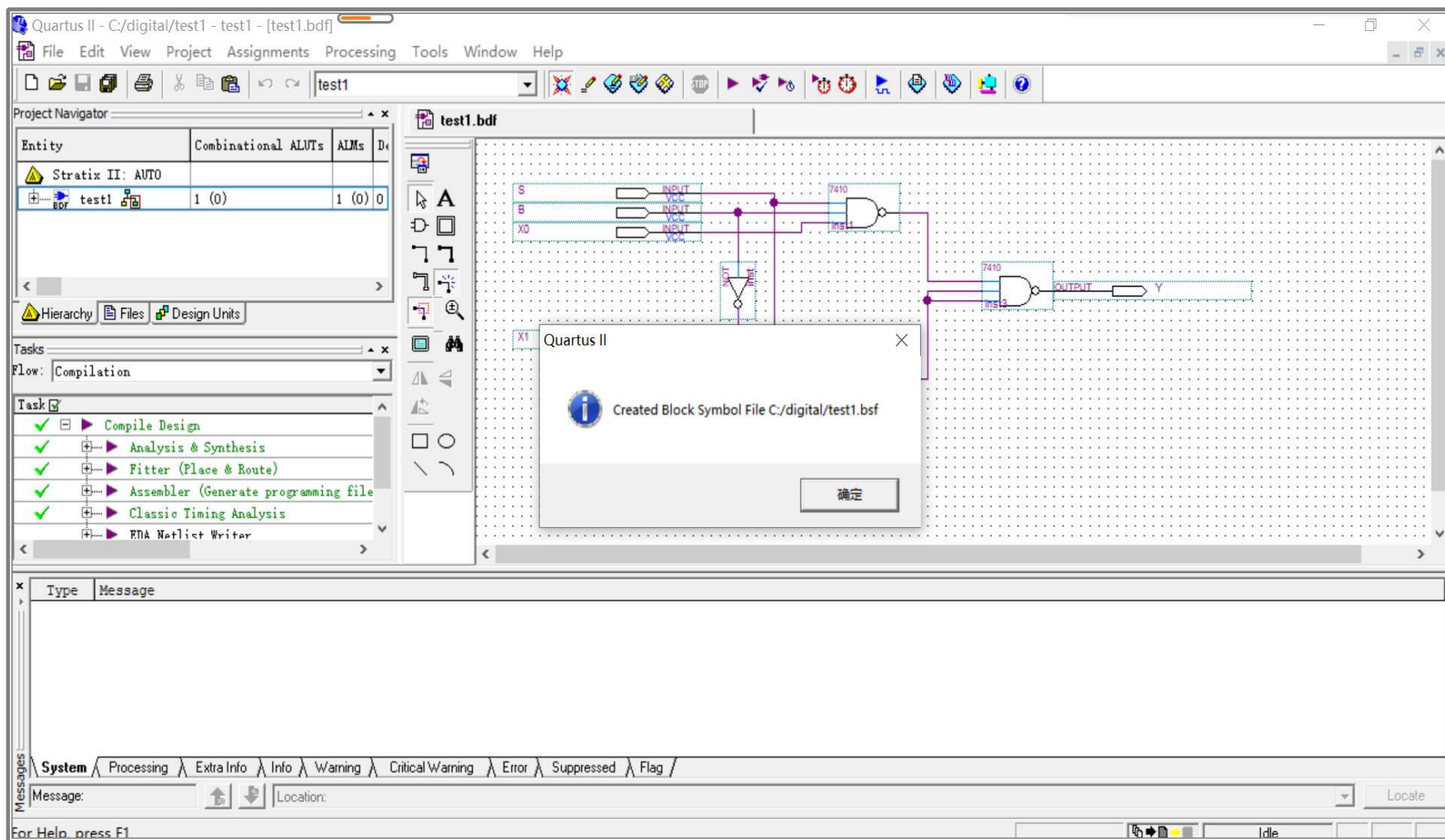
**执行File-Create/Update-Create Symbol
File for Current File命令将本设计电路封装成一
个元件符号，供以后在原理图编辑器下进行层
次设计时调用。**



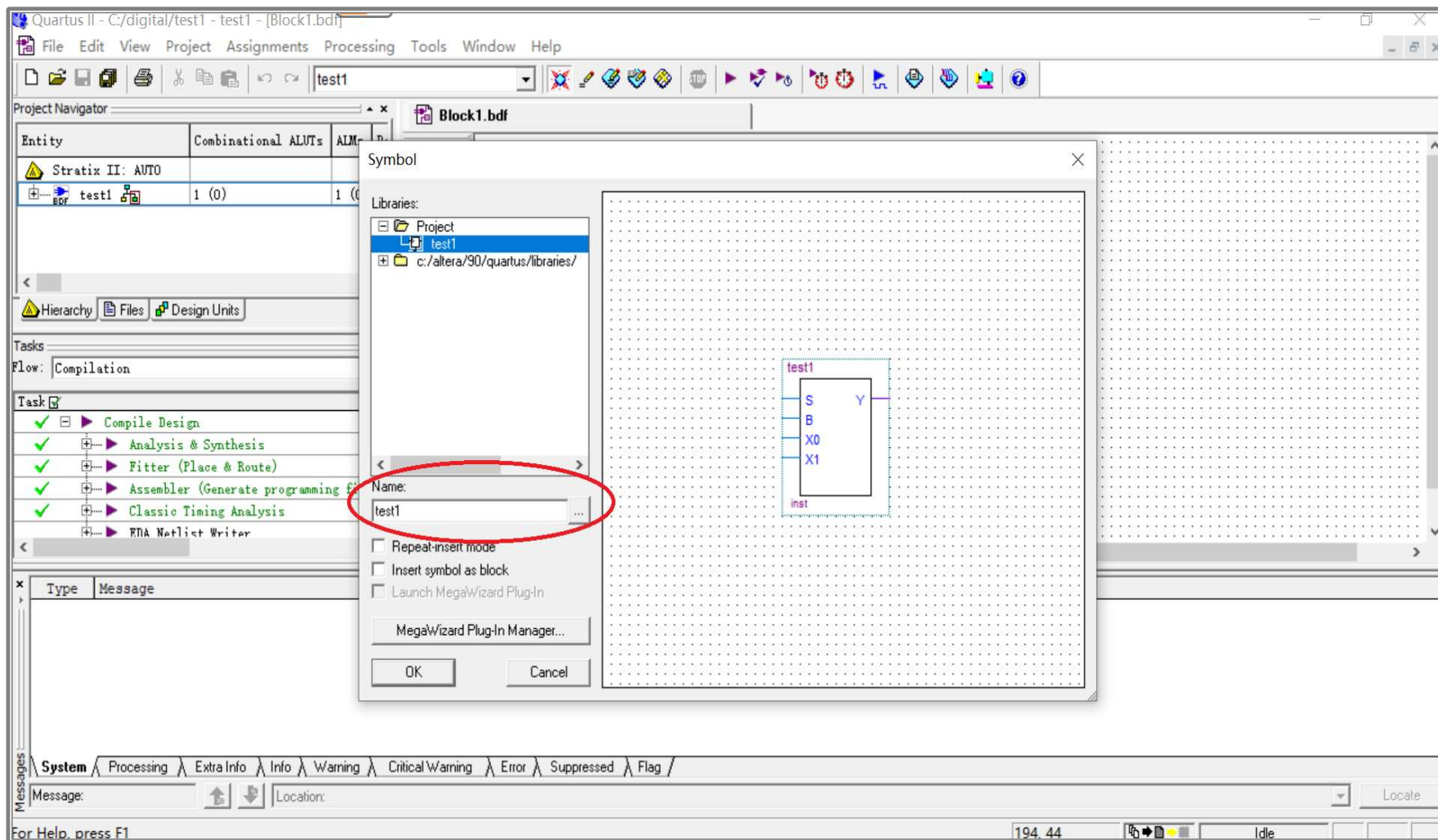
实验三 组合逻辑电路设计



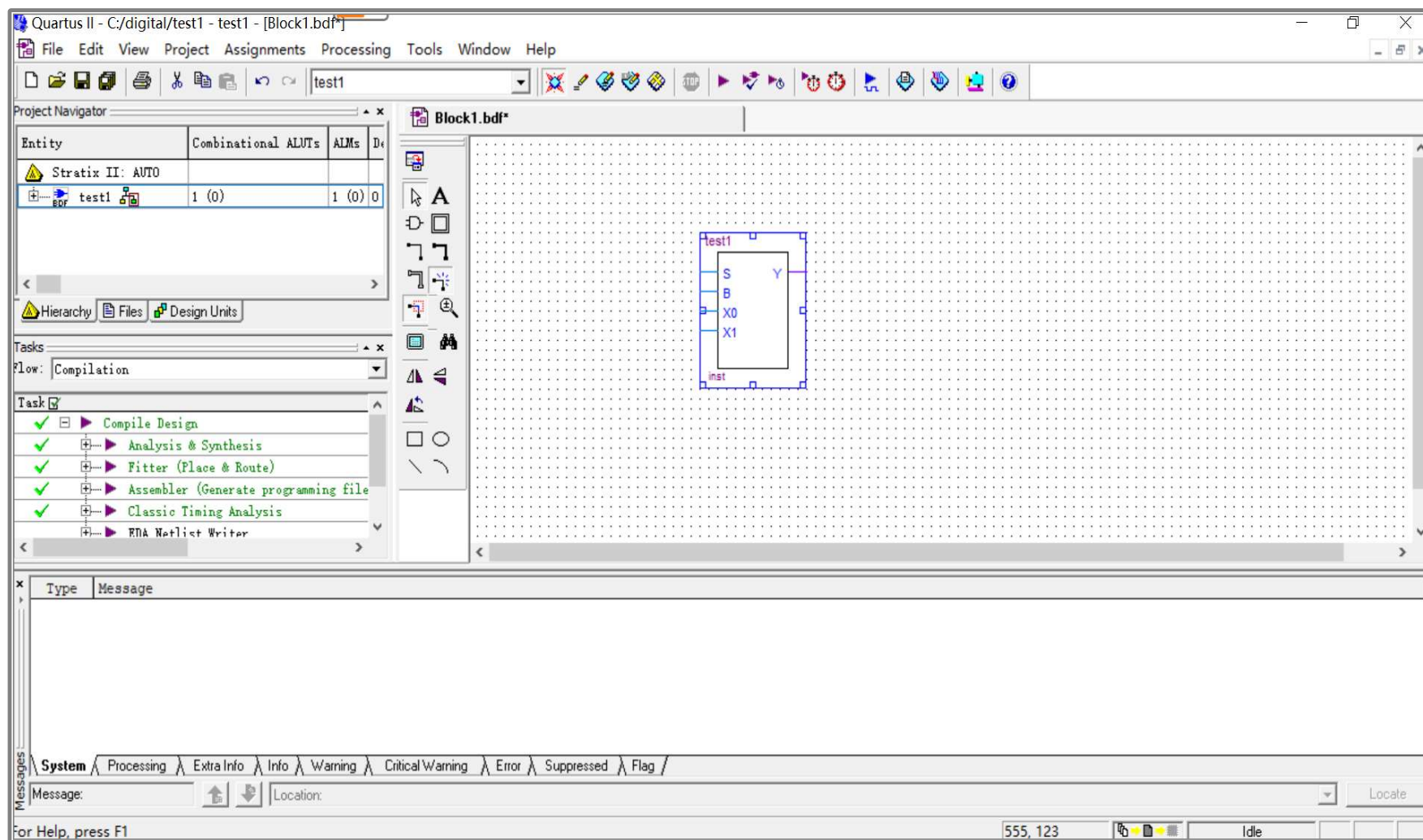
实验三 组合逻辑电路设计



实验三 组合逻辑电路设计



实验三 组合逻辑电路设计



实验三 组合逻辑电路设计



题目（一）： 4位二进制加法器7483的波形仿真

利用EDA工具Quartus-II的原理图输入法，输入**7483**图元符号；建立7483的仿真波形文件，并进行波形仿真，记录波形；分析7483逻辑关系。

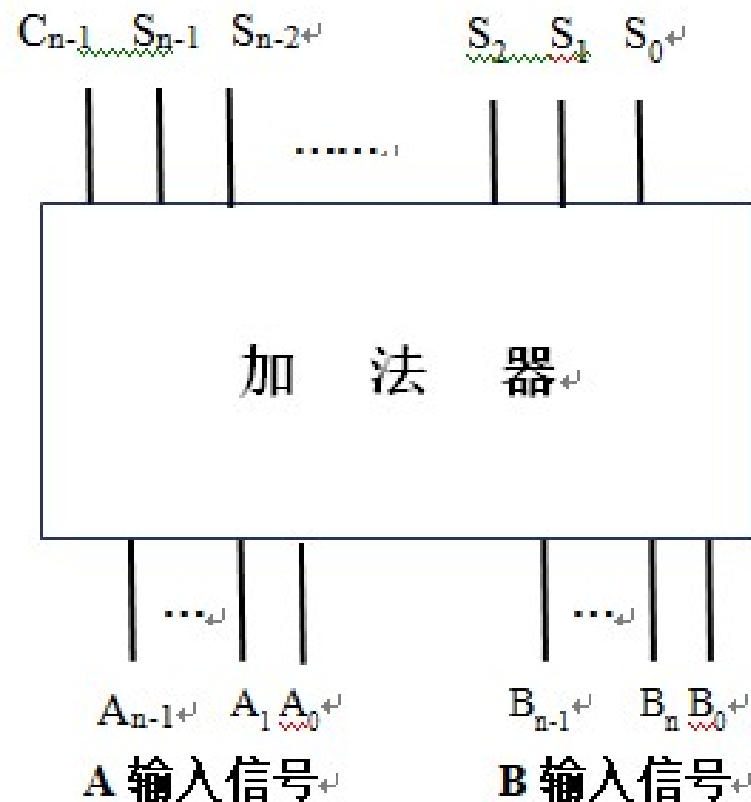
4 位二进制加法器集成电路 74LS83中，**A** 和 **B** 是两个 4 位二进制数的输入端，**Cout**，**S3,S2,S1,S0**是 5 位输出端。**Cin**是进位输入端，而**Cout**是进位输出端。



题目（二）：设计并实现一个4位二进制全加器

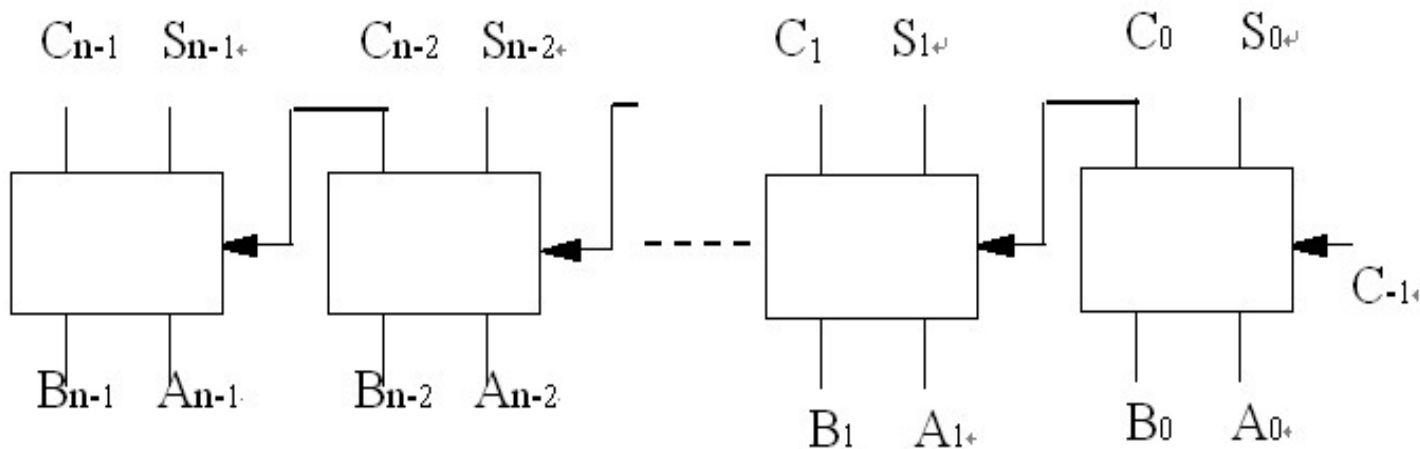
(1) 二进制全加器原理

一个 n 位二进制加法运算数字电路是由一个半加器和 $(n - 1)$ 个全加器组成。它把两个 n 位二进制数作为输入信号。产生一个 $(n + 1)$ 位二进制数作它的和。如图所示。





用全加器构成的 n 位二进制加法器



图中 A 和 B 是用来相加的两个 n 位输入信号， C_{n-1} ， S_{n-1} ， S_{n-2} ，…… S_2 ， S_1 ， S_0 是它们的和。在该电路中对 A_0 和 B_0 相加是用一个半加器，对其它位都用全加器。如果需要串接这些电路以增加相加的位数，那么它的第一级也必须是一个全加器。



设计步骤

①设计1位二进制全加器，逻辑表达式如下：

$$S_n = A_n \oplus B_n \oplus C_{n-1}$$

$$C_n = A_n \cdot B_n + C_{n-1}(A_n \oplus B_n)$$

A_n 是被加数， B_n 是加数， S_n 是和数， C_n 是向高位的进位， C_{n-1} 是低位的进位。

②利用1位二进制全加器构成一个4位二进制全加器



西安电子科技大学
XIDIAN UNIVERSITY

计算机科学与技术学院
School of Computer Science and Technology

数字电子技术基础实验

对设计的电路进行波形仿真，记录电路图及波形图并分析结果。

实验三 组合逻辑电路设计