

同济大学课程考核试卷 (A 卷)

2021— 2022 学年第二学期

命题教师签名:

审核教师签名:

课号: 10101601 课名: 计算机组成原理 考试考查: 考试

此卷选为: 期中考试()、期终考试()、重考(√)试卷

年级_____专业_____学号_____姓名_____得分_____

一、选择题 (单选题, 每题 1 分) 25%

1. 完整的计算机系统应包括 ()
 - A. 运算器、存储器、控制器
 - B. 外部设备和主机
 - C. 主机和应用程序
 - D. 配套的硬件设备和软件系统
2. 存放欲执行指令的寄存器是 ()
 - A. MAR
 - B. PC
 - C. MDR
 - D. IR
3. 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中, CPU 区分它们的依据是 ()
 - A. 指令操作码的译码结果
 - B. 指令和数据的寻址方式
 - C. 指令周期的不同阶段
 - D. 指令和数据所在的存储单元
4. 原码乘法时, 符号位单独处理乘积的方式是 ()
 - A. 两个操作数符号相“与”
 - B. 两个操作数符号相“或”
 - C. 两个操作数符号相“异或”
 - D. 两个操作数中绝对值较大数的符号

5. 补码定点整数 0101 0101 左移两位后的值为 ()
- A. 0100 0111
 - B. 0101 0100
 - C. 0100 0110
 - D. 0101 0101
6. 浮点数的 IEEE754 标准对尾数编码采用的是 ()
- A. 原码
 - B. 反码
 - C. 补码
 - D. 移码
7. 下列校验码中, 奇校验正确的有 ()
- A. 110100111
 - B. 001000111
 - C. 010110011
 - D. 110100111
8. 某计算机存储器按字节编址, 主存地址空间大小为 64MB, 现用 4Mx8 位的 RAM 芯片组成 32MB 的主存储器, 则存储器地址寄存器 MAR 的位数至少是 ()
- A. 22
 - B. 23
 - C. 25
 - D. 26
9. 访问 Cache 系统失效时, 通常不仅主存向 CPU 传送信息, 同时还需要将信息写入 Cache, 在此过程中传送和写入信息的数据宽度各为 ()
- A. 块、页
 - B. 字、字
 - C. 字、块
 - D. 块、块
10. 有效容量为 128KB 的 Cache, 每块 16B, 采用 8 路组相联。字节地址为 1234567H 的单元调入该 Cache, 则其 Tag 应为 ()
- A. 1234H
 - B. 2468H
 - C. 048DH

D. 12345H

11. 在下列几种存储器中，CPU 不能直接访问的是（ ）

- A. 硬盘
- B. 内存
- C. Cache
- D. 寄存器

12. 以下叙述错误的是（ ）

- A. 为了便于取指，指令的长度通常为存储字长的整数倍
- B. 单地址指令是固定长度的指令
- C. 单字长指令可加快取指令的速度
- D. 单地址指令可能有一个操作数，也可能有两个操作数

13. 偏移寻址通过将某个寄存器的内容与一个形式地址相加来生成有效地址下列寻址方式中，不属于偏移寻址方式的是（ ）

- A. 间接寻址
- B. 基址寻址
- C. 相对寻址
- D. 变址寻址

14. 下列关于 RISC 的说法中，错误的是（ ）

- A. RISC 普遍采用微程序控制器
- B. RISC 大多数指令在一个时钟周期内完成
- C. RISC 的内部通用寄存器数量相对 CISC 多
- D. RISC 的指令数、寻址方式和指令合适种类相对 CISC 少

15. 硬布线控制器与微程序控制器相比，（ ）

- A. 硬布线控制器的时序系统比较简单
- B. 微程序控制器的时序系统比较简单
- C. 两者的时序系统复杂程度相同
- D. 可能是硬布线控制器的时序系统比较简单，也可能是微程序控制器的时序系统比较简单

16. 通常情况下，一个微程序的周期对应一个（ ）

- A. 指令周期
- B. 主频周期
- C. 机器周期
- D. 工作周期

17. 采用 DMA 方式传递数据时，每传送一个数据就要占用（ ）
- A. 指令周期
 - B. 时钟周期
 - C. 机器周期
 - D. 存取周期
18. 在一条无条件跳转指令的指令周期内，PC 的值被修改（ ）次。
- A. 1
 - B. 2
 - C. 3
 - D. 无法确定
19. 假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000H；址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000H 中的内容为 4000H，则变址寻址方式下访问到的操作数是（ ）
- A. 1000H
 - B. 2000H
 - C. 3000H
 - D. 4000H
20. 若某计算机最复杂指令的执行需要完成 5 个子功能，分别由功能部件 A~E 实现，各功能部件所需时间分别为 80ps、50ps、50ps、70ps 和 50ps，采用流水线方式执行指令，流水段寄存器延时为 20ps，则 CPU 时钟周期至少为（ ）
- A. 60ps
 - B. 70ps
 - C. 80ps
 - D. 100ps
21. 某带中断的计算机指令系统共有 101 种操作，采用微程序控制方式时，控制存储器中相应最少有（ ）个微程序。
- A. 101
 - B. 102
 - C. 103
 - D. 104
22. 系统总线用来连接（ ）
- A. 寄存器和运算器部件
 - B. 运算器和控制器部件

- C. CPU、主存和外设部件
- D. 接口和外部设备

23. 下列关于 I/O 指令的说法中，错误的是（ ）

- A. I/O 指令是 CPU 系统指令的一部分
- B. I/O 指令是机器指令的一类
- C. I/O 指令反映 CPU 和 I/O 设备交换信息的特点
- D. I/O 指令的格式和通用指令格式相同

24. 在中断周期中，由（ ）将允许中断触发器置 0。

- A. 关中断指令
- B. 中断隐指令
- C. 开中断指令
- D. 中断服务程序

25. CPU 响应中断时最先完成的步骤是（ ）

- A. 开中断
- B. 保存断点
- C. 关中断
- D. 转入中断服务程序

二、填空题（每空 1 分） 15%

26. 设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为_____，最小正数为_____，最大负数为_____，最小负数为_____。
27. 在浮点加减法运算中，当运算结果的尾数的绝对值小于 0.5 时，需要对结果进行_____，其操作是_____。
28. 在 DMA 方式中，CPU 和 DMA 控制器通常采用三种方法来分时使用主存，它们是_____、_____、_____。
29. 一个总线传输周期包括_____、_____、_____和_____四个阶段。
30. 动态存储器主要采用的_____和_____刷新方式。

三、简答题（每题 5 分） 30%

31. 对 4 位有效信息（1010）求循环校验编码，选择生成多项式（1011）。

32. CPU 中有哪些主要寄存器？简述这些寄存器的功能。

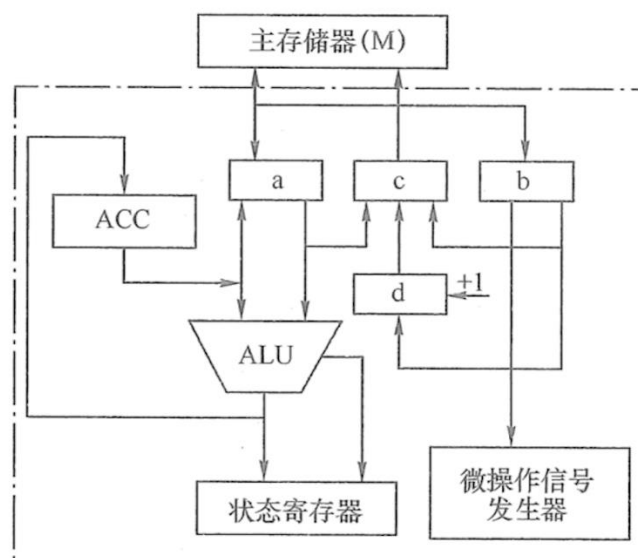
33. 指令字长 16 位，操作数地址码 4 位，采用扩展操作码的方式，设计 15 条三地址指令，14 条二地址指令，31 条二地址指令，16 条零地址指令。

34. Cache 有哪些特点？

35. DRAM 存储器为什么要刷新？有哪几种常用的刷新方法？

四、综合题 30%

36. 下图是一个简化的 CPU 与主存连接结构示意图（图中省略了所有的多路选择器）。其中有一个累加寄存器（ACC）、一个状态数据寄存器和其他 4 个寄存器：主存地址寄存器(MAR)、主存数据寄存器(MDR)、程序寄存器 (PC) 和指令寄存器 (R)，各部件及其之间的连线表示数据通路，箭头表示信息传递方向。

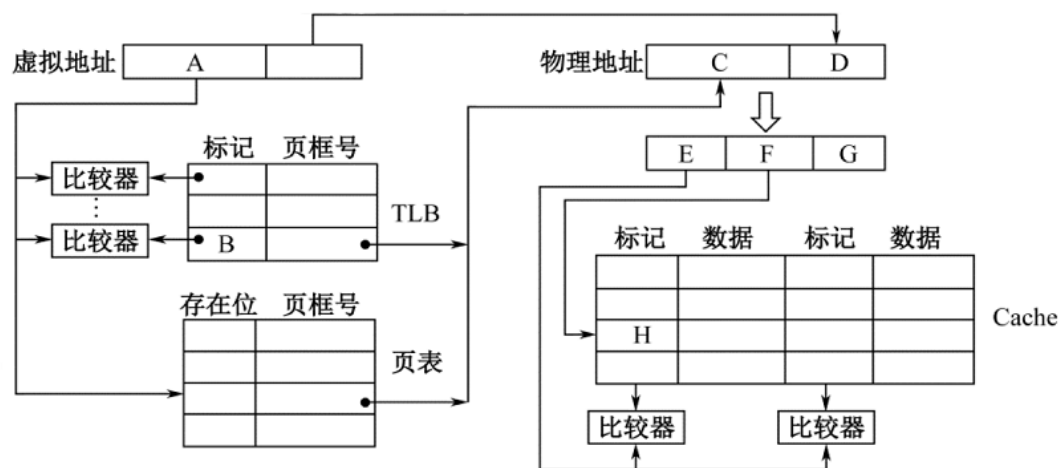


要求：

- 1) 请写出图中 a、b、c、d 四个寄存器的名称。
- 2) 简述图中取指令的数据通路。

- 3) 简述数据在运算器和主存之间进行存/取访问的数据通路。
- 4) 简述完成指令 LDA X 的数据通路 (X 为主存地址, LDA 的功能为 $(X) \rightarrow ACC$)。
- 5) 简述完成指令 ADD Y 的数据通路 (Y 为主存地址, ADD 的功能为 $(ACC) + (Y) \rightarrow ACC$)。
- 6) 简述完成指令 STA Z 的数据通路 (Z 为主存地址, STA 的功能为 $(ACC) \rightarrow Z$)。

37. 某计算机采用页式虚拟存储管理方式, 按字节编址, 虚拟地址为 32 位, 物理地址为 24 位, 页大小为 8KB; TLB 采用全相联映射; Cache 数据区大小为 64KB, 按 2 路组相联方式组织, 主存块大小为 64B。存储访问过程的示意图如下。



回答下列问题：

- 1) 图中字段 A ~G 的位数各是多少？ TLB 标记字段 B 中存放的是什么信息？
- 2) 将块号为 4099 的主存块装入 Cache 时，所映射的 Cache 组号是多少？对应的 H 字段内容是什么？
- 3) 是 Cache 缺失处理的时间开销大还是缺页处理的时间开销大？为什么？
- 4) 为什么 Cache 可以采用直写策略，而修改页面内容时总是采用回写策略？