三级存储综合实验报告

学号：

姓名：

指导教师：

时间：2020年12月

一，总体框架

在实际的计算机系统中不仅是CPU和内存模块的交互，需要主存、缓存和辅存形成的三级存储系统来与CPU进行数据交互，以此达到计算机的高效运行。如图1以Xilinx FPGA器件的开发板Nexys 4 DDR Artix-7为硬件平台，以SD卡作为虚拟存储器，实现了计算机的三级存储器系统。

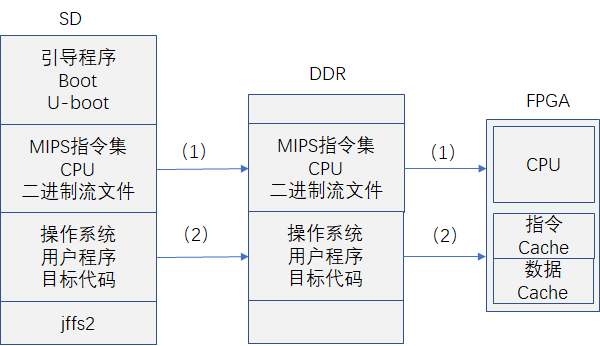


图1 基于Artix-7 FPGA硬件平台的计算机存储系统

虚拟存储器存储空间的管理方式有页式和段式两种。页式管理方式把空间划分成大小相同的块；段式管理方式把空间分成可变长度的块，或称为段。前者是机械划分存储空间，后者结合程序的逻辑语义进行划分。这两种方式，对CPU的访存数据没有影响，不同之处在于寻址方式的差异，页式管理方式存储器的地址单一，地址字长度固定，由页号和业内位移组成；段式管理方式存储器的地址由两个字构成，一个是段号，一个是段内位移，原因是段的长度变化的。

现代计算机系统充分吸收两种方式的优点，采用段页式管理方式来管理存储空间，把一个段分成若干个页面，使虚拟存储器既具备段的逻辑单位属性，又通过以页面为单位调入主存储器，简化了虚拟地址和物理地址的转换。

虚拟存储器中的数据访存同Cache、主存储器中的数据访存一样存在怎么映像、怎么查找、怎么替换、怎么写入的4个问题。计算机进行虚拟存储的访问，主要考虑低失效率这个指标，原因是对虚拟存储器访问的失效，会引起多级的连锁反应，失效开销巨大，操作系统采用全相联映像规则，允许数据块可存放在主存的任何位置。

页式管理和段式管理分别需要页表和段表的数据结构，以页号和段号作为索引，并包含待查找块的物理地址。由段内位移加上段的物理地址就构成段的最终物理地址，形成段式管理的寻址方法；而将页内位移与对应的页面物理地址拼接就构成页的最终物理地址，形成页式管理的寻址方法。

页表的索引采用的是虚拟页号，因此要求其总项数与虚拟存储空间的总页数一致。如果虚拟页面数比物理页面数多，可采用散列变换，使页表的项数减少到和主存储器的物理页面数目相等。这种方法就是反向页表法。例如，虚拟存储器地址29位，页大小8KB，每个页表项为8B，页表的大小为，因此，一个容量为128MB的主存储器需要大小为8\*128MB/8KB=128KB的反向页表来管理虚拟地址和物理地址的转换。为了减少转换时间，常采用地址转换高速缓存或称缓冲器TLB，也称之为块表（Translation Look-aside Buffer）。TLB用来存放最近经常使用的页表项，可看作是页表部分内容的一个副本。在进行虚拟存储器访问时，首先会查找TLB表，如果TLB表中不命中需访问的表项，则再去访问内存中的页表。因此，TLB表充分利用局部性原理，即，如果访问的存储器具有局部性，那么访问的存储器的地址变换同样具有局部性，也就是认为访问存储器所使用的页表项也是相对簇聚的。TLB表中的项同Cache中的项相似，由标识和数据两部分组成，标识中存放的是虚拟地址的一部分，数据部分中存放物理页帧号、有效位、保护信息与其他辅助信息。在修改页表时，操作系统严格控制TLB表中没有该页表的表项副本，以保证TLB表和页表保持一致。

二、要求

构建三级存储系统，在整个执行的过程中，代码段地址和存储器地址进行统一编址，所有的代码、数据和存储器都在逻辑地址空间中有一个32位的地址。三级存储系统的统一编址如图2所示。

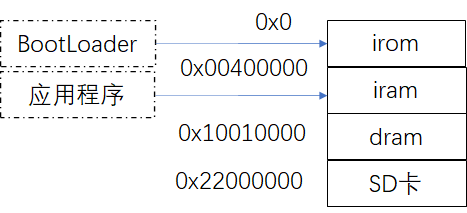


图2 三级存储系统的统一编址

SD卡中存放流水线CPU的二进制流，以及用户程序，N4板上电自动完成如下的任务：

1. 采用跳线的方式，FPGA自动从SD卡中获取流水线CPU的二进制流,并运行该二进制流，使FPGA成为CPU。
2. CPU再按照三级存储的方式访问SDRAM，再由SDRAM从SD卡中把用户程序的目标代码调入到SDRAM，再由CPU把SDRAM中的用户程序目标代码调入到片内CACHE加以运行。

三、实现方法

四、实际运行验证

五、原程序代码与说明

六、实验体会