



# 第15章 时序逻辑电路的分析与设计

15.1 时序逻辑电路的基本概念

15.2 时序逻辑电路的分析方法

15.3 同步时序逻辑电路的设计方法

15.4 计数器



数字电路可  
分为两大类：

组合逻辑电路

- (1) 不具备记忆能力。
- (2) 电路的输出仅仅与当时的输入有关。

时序逻辑电路

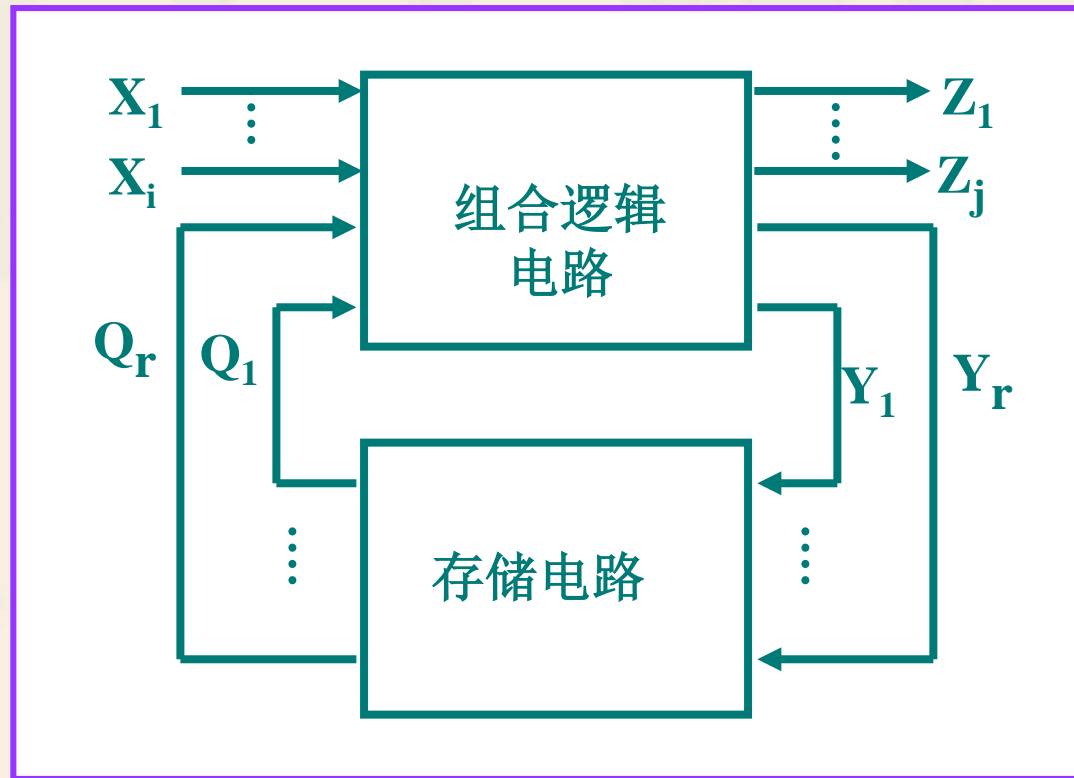
- (1) 具有记忆能力（有存储元件）。
- (2) 电路的输出不仅与当时的输入有关，而且还与电路原来的状态有关。

## 15.1 时序逻辑电路的基本概念

### 15.1.1 时序逻辑电路的基本结构和特点

输入信号

存储电路的输出



输出信号

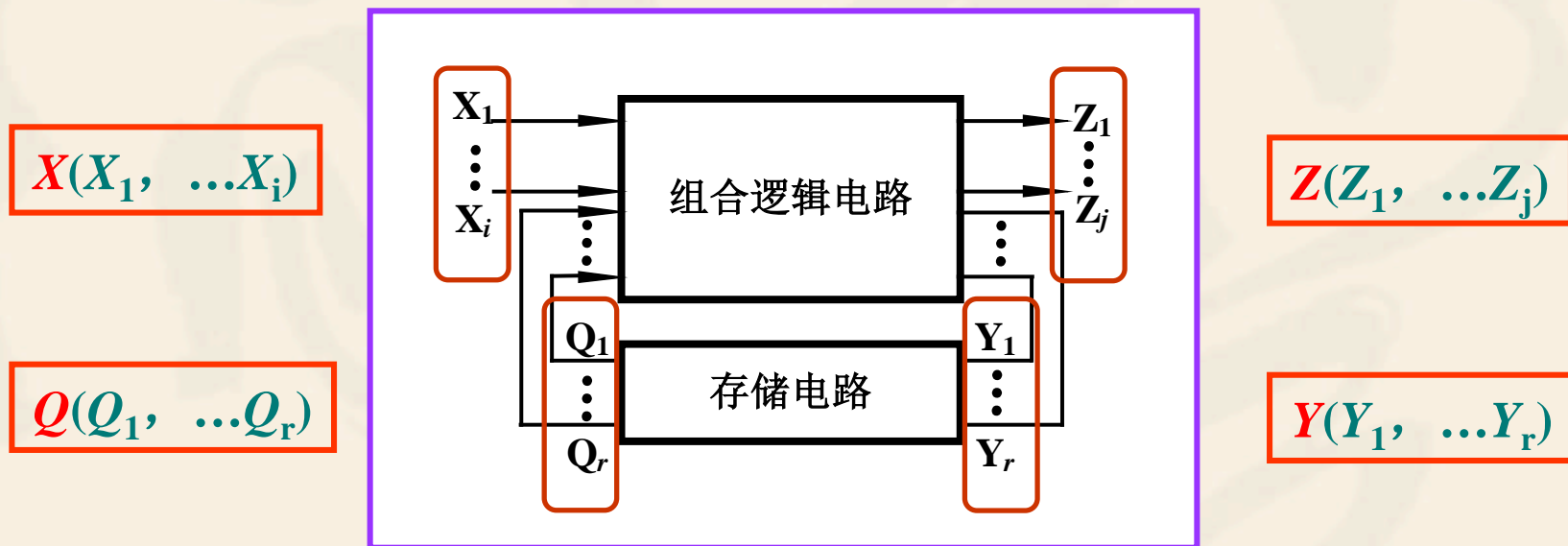
存储电路的输入

电路中至少存在一个反馈回路，时序逻辑电路的输出由电路的输入和电路原来的状态共同决定。

时序电路由组合电路和存储电路两部分组成



## 逻辑关系：



各信号之间的逻辑关系可表示为：

$$\left\{ \begin{array}{ll} Z = F_1(X, Q^n) & \text{---- 输出方程} \\ Y = F_2(X, Q^n) & \text{---- 驱动方程} \\ Q^{n+1} = F_3(Y, Q^n) & \text{---- 状态方程} \end{array} \right.$$

### 15.1.2 时序逻辑电路的分类

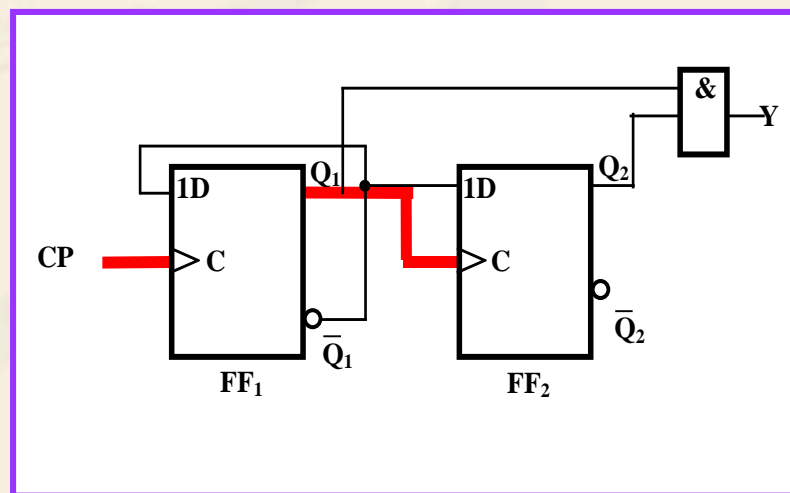
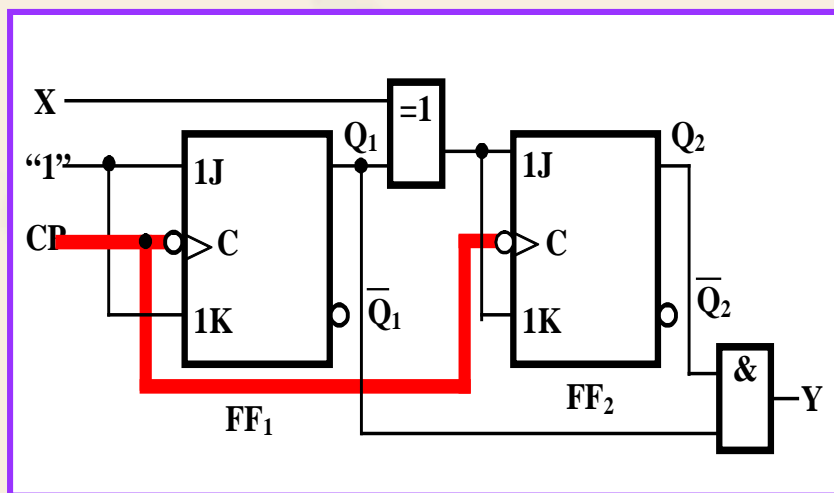
### 1、接触器动作特点:

## 同步时序逻辑电路

所有触发器的时钟为**同一脉冲源**，所有触发器状态变化与CP同时进行，例：

## 异步时序逻辑电路

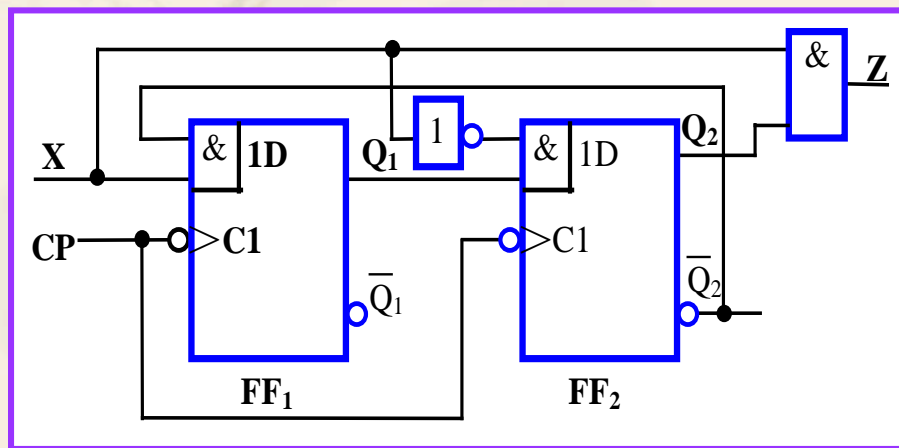
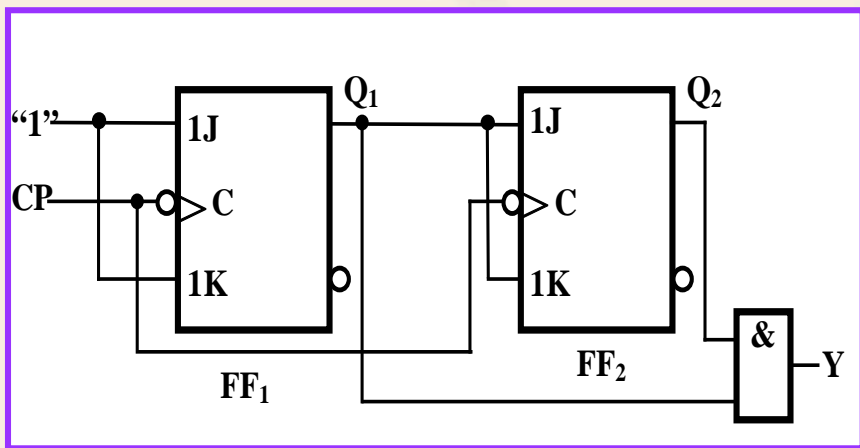
所有触发器的时钟不为同一脉冲源，所有触发器状态变化不与CP同时进行，例：



## 2、按输出信号的特点：

**Moore型：** 输出信号仅仅取决于存贮电路的状态

**Mealy型：** 输出信号不仅取决于存贮电路的状态，还取决于输入变量



### 15.1.3 时序逻辑电路功能的描述方法

描述方法一般有四种：逻辑方程式、状态表、状态图、时序图

#### 1. 逻辑方程式

$$\left\{ \begin{array}{ll} Z = F_1(X, Q^n) & \text{---- 输出方程} \\ Y = F_2(X, Q^n) & \text{---- 驱动方程} \\ Q^{n+1} = F_3(Y, Q^n) & \text{---- 状态方程} \end{array} \right.$$

## 2、状态表

次态/输出		输入
		X
现态	$Q^n$	$Q^{n+1}/Z$

输入	现态	次态	输出	注
X	$Q^n$	$Q^{n+1}$	Z	时钟条件

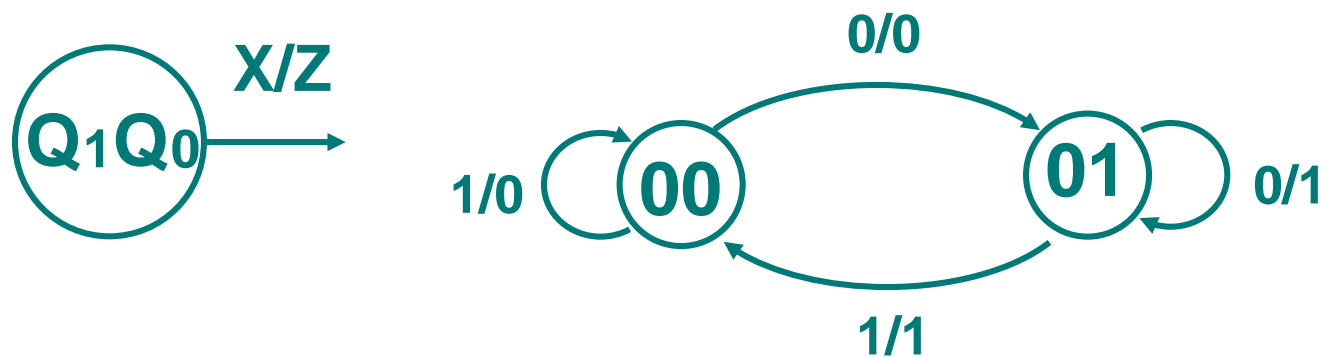
状态表是反映时序逻辑电路的输出Z、输入X、次态 $Q^{n+1}$ 以及现态  $Q^n$  之间的对应取值关系的表格。

读作：处在现态  $Q^n$  的时序逻辑电路，当输入为X时，该电路将进入输出为Z的次态 $Q^{n+1}$ 。



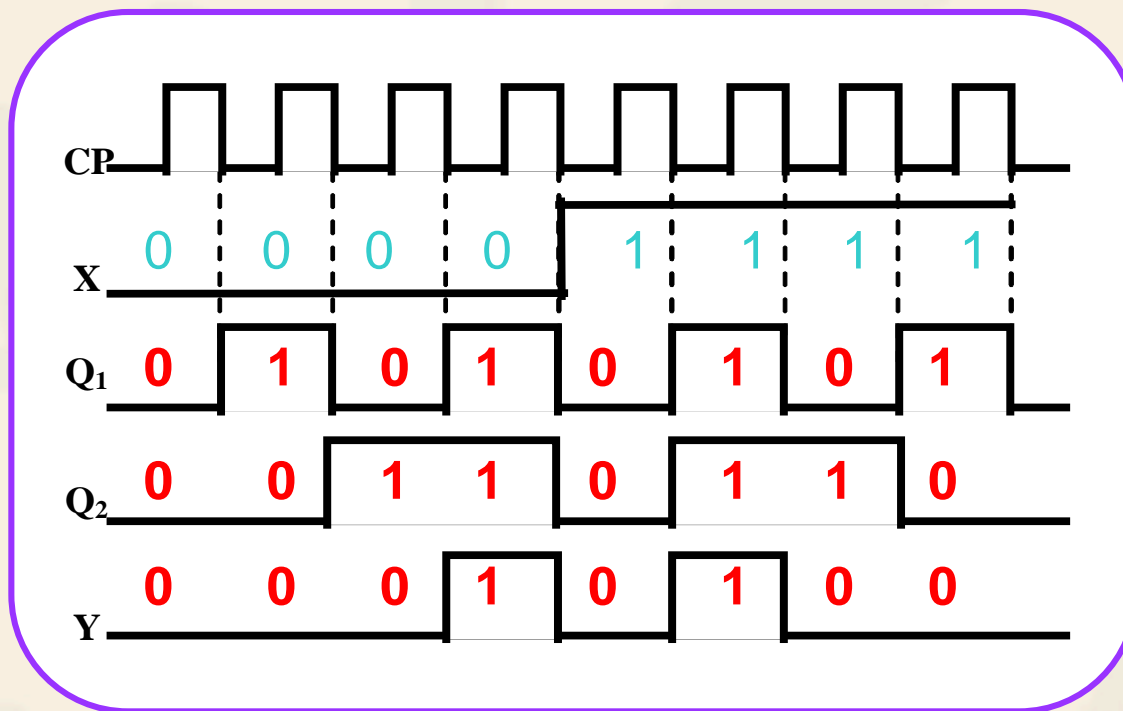
### 3、状态图

状态图是反映时序逻辑电路状态转换规律及相应输入、输出取值关系的图形



该图表示 $Q_1Q_0$ 的状态转换情况，斜线上方是输入信号 $X$ ，斜线下方是输出信号 $Z$ ，连线及箭头表示转换的方向。

## 4、时序图



能直观地描述电路输入信号、输出信号以及CP,在时间上的对应关系，也称为波形图。

## 15.2 时序逻辑电路的分析方法

**分析目的：** 找出电路输出状态在输入变量和时钟信号作用下的变化规律

**分析步骤：**

1. 根据给定的时序逻辑电路，写出各触发器的驱动方程和时序逻辑电路的时钟方程和输出方程
2. 将驱动方程代入相应触发器的特性方程，求出触发器的次态方程（也称状态方程）
3. 根据状态方程和输出方程，列出状态转换表、画出状态图或时序图
4. 确定和说明电路的逻辑功能

先介绍相对简单的Moore型时序逻辑电路，再介绍相对复杂的Mealy型时序逻辑电路

**例1** 试分析下图所示时序电路的逻辑功能。

**解：**由电路图可知，此为同步时序逻辑电路，无输入信号

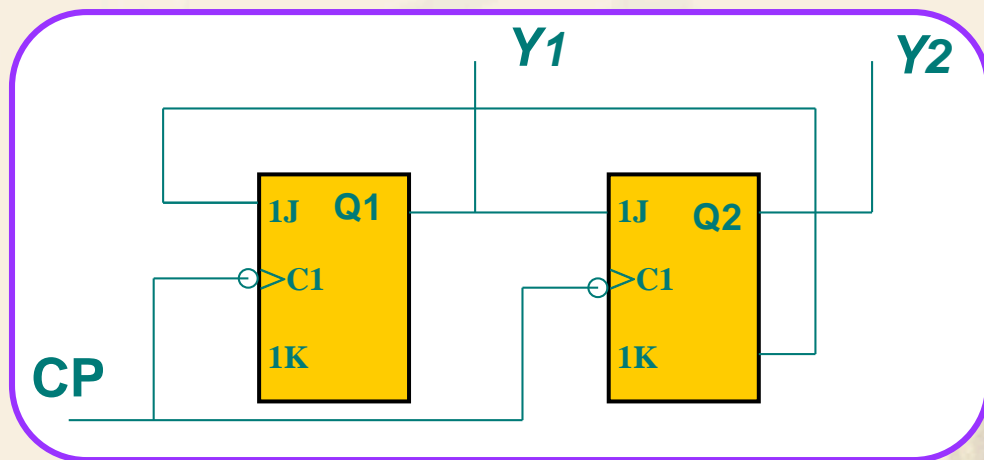
所以，属Moore型

1.写出各触发器的驱动方程和输出方程。

输出方程：  $Y_1 = Q_1^n$ ，  $Y_2 = Q_2^n$

驱动方程：

$$\begin{cases} J_1 = \overline{Q_2^n}, & K_1 = 1 \\ J_2 = Q_1^n, & K_2 = 1 \end{cases}$$





## 2.将驱动方程代入JKFF的特性方程，求JKFF的次态方程

JKFF的特性方程： $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

得：

$$\begin{cases} Q_1^{n+1} = J_1\overline{Q}_1^n + \overline{K}_1Q_1^n = \overline{Q}_2^n\overline{Q}_1^n \\ Q_2^{n+1} = J_2\overline{Q}_2^n + \overline{K}_2Q_2^n = Q_1^n\overline{Q}_2^n \end{cases}$$

$$J_1 = \overline{Q}_2^n \quad K_1 = 1$$

$$J_2 = Q_1^n \quad K_2 = 1$$

## 3.列状态表，画状态图和时序图

现 态	触发器输入				次 态
$Q_2^n Q_1^n$	$J_2$	$K_2$	$J_1$	$K_1$	$Q_2^{n+1} Q_1^{n+1}$
00	0	1	1	1	0 1
01	1	1	1	1	1 0
10	0	1	0	1	0 0
11	1	1	0	1	0 0

列表有两种方法：

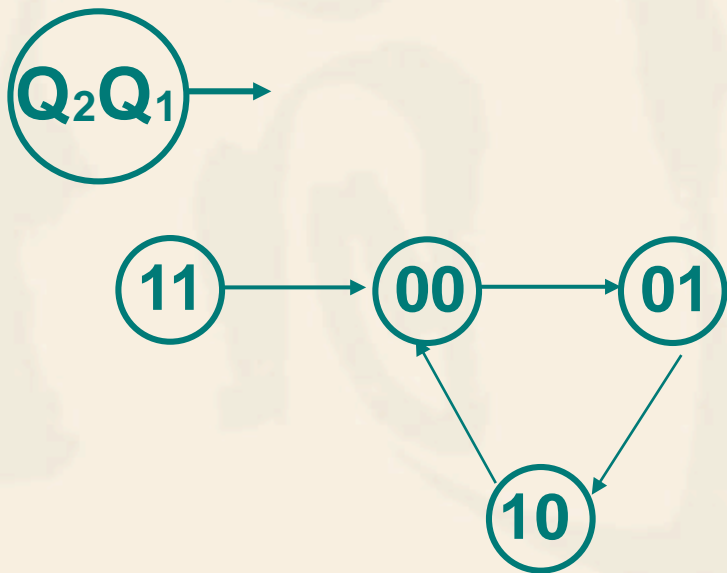
- 列出所有FF的输入状态，根据FF功能可得次态。

- 代入法。将  $Q_2^n Q_1^n = 00$  代入特性方程，得到

$$Q_2^{n+1} Q_1^{n+1} = 01$$

再将01代入得10 . . . .

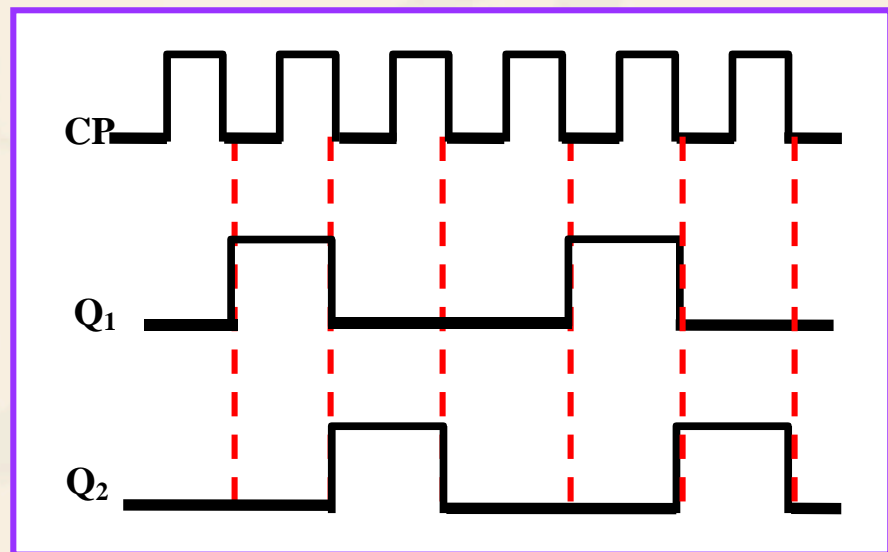
## 画状态图和时序图



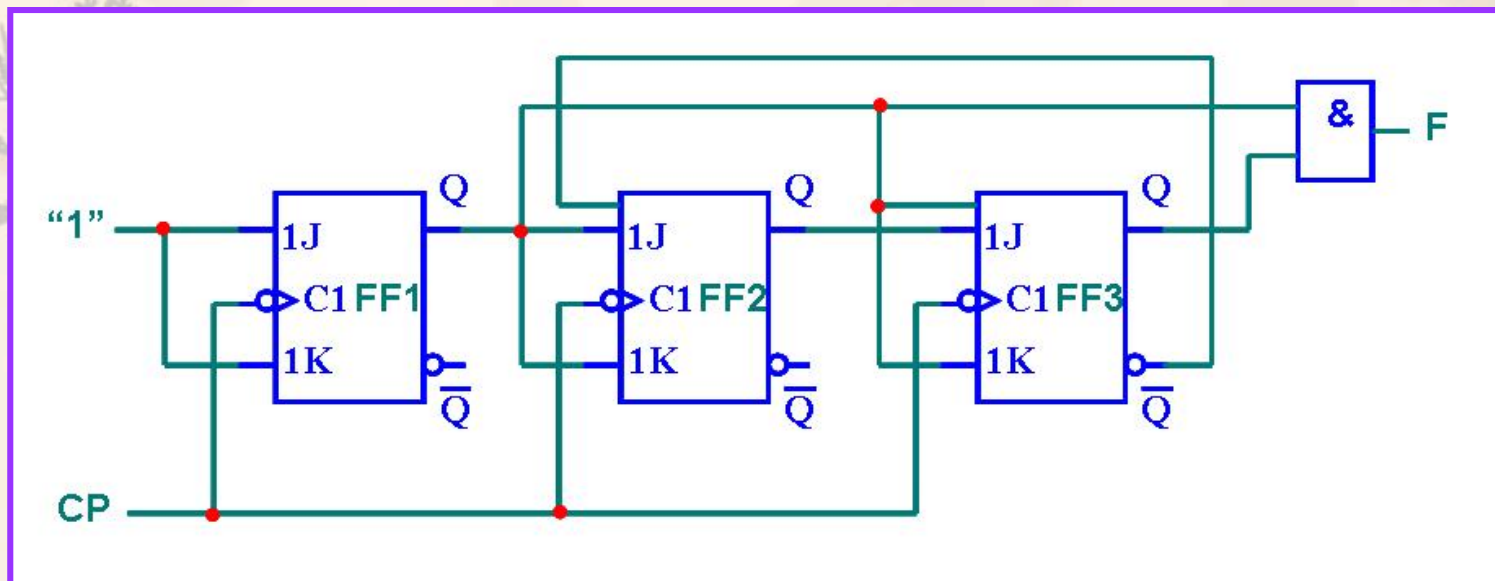
#### 4. 由状态图和时序图可确定:

该时序电路为同步三进制计数器。

现 态 $Q_2^n Q_1^n$	触发器输入 $J_2 K_2 \quad J_1 K_1$	次 态 $Q_2^{n+1} Q_1^{n+1}$
00	0 1 1 1	0 1
01	1 1 1 1	1 0
10	0 1 0 1	0 0
11	1 1 0 1	0 0



例2★：试分析下图所示时序电路的逻辑功能



解：（1）列方程：

① CP方程：  $CP_1=CP_2=CP_3=CP$  ↓ 故为同步时序电路

② 输出方程：  $F=Q_3^n Q_1^n$  （注意：输出方程是有关现态的方程，而不是有关次态的方程）

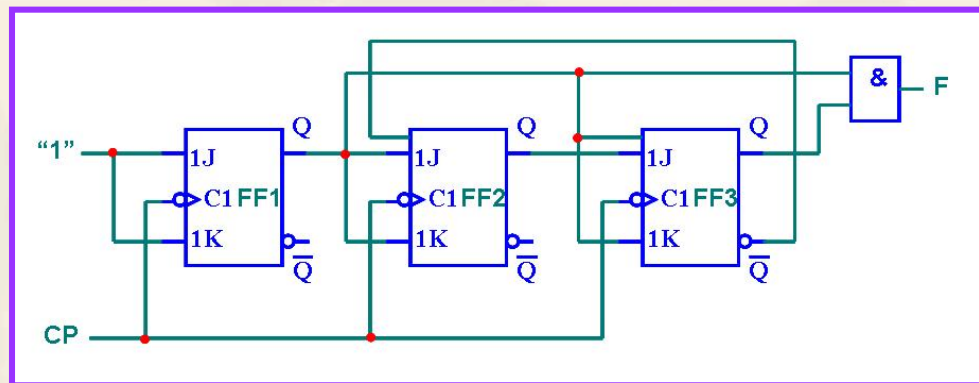
③ 驱动方程：

### ③ 驱动方程:

$$\begin{cases} J_1 = 1 \\ K_1 = 1 \end{cases} \quad \begin{cases} J_2 = Q_1^n \cdot \overline{Q_3^n} \\ K_2 = Q_1^n \end{cases}$$

$$\begin{cases} J_3 = Q_1^n \cdot Q_2^n \\ K_3 = Q_1^n \end{cases}$$

(注意：驱动方程很重要，它直接影响下面的计算)



### (2) 求状态方程:

图中3个触发器均为JK型触发器，其特性方程为  $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

将驱动方程代入特性方程即得相应得状态方程为：

$$Q_1^{n+1} = 1 \cdot \overline{Q_1^n} + \overline{1} \cdot Q_1^n = \overline{Q_1^n}$$

$$Q_2^{n+1} = (Q_1^n \cdot \overline{Q_3^n}) \cdot \overline{Q_2^n} + \overline{Q_1^n} \cdot Q_2^n$$

$$Q_3^{n+1} = (Q_1^n \cdot Q_2^n) \cdot \overline{Q_3^n} + \overline{Q_1^n} \cdot Q_3^n$$



### (3) 计算

依次假设电路得现在状态为 $Q_3^n Q_2^n Q_1^n$ ，代入状态方程和输出方程进行计算，求出相应得次态和输出

结果可用状态表或状态激励表来表示

状态方程简单时用状态表求，如状态方程复杂，则略过第二步，直接进入第三步，用状态激励表进行计算

状态表如下：

$$Q_1^{n+1} = \overline{Q_1^n}$$

$$Q_2^{n+1} = (Q_1^n \cdot \overline{Q_3^n}) \cdot \overline{Q_2^n} + \overline{Q_1^n} \cdot Q_2^n$$

$$Q_3^{n+1} = (Q_1^n \cdot Q_2^n) \cdot \overline{Q_3^n} + \overline{Q_1^n} \cdot Q_3^n$$

$$F = Q_3^n Q_1^n$$

时钟	现态			次态			输出
CP	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	F
1	0	0	0	0	0	1	0
2	0	0	1	0	1	0	0
3	0	1	0	0	1	1	0
4	0	1	1	1	0	0	0
5	1	0	0	1	0	1	0
6	1	0	1	0	0	0	1
7	1	1	0	1	1	1	0
8	1	1	1	0	0	0	1

若用状态激励表表示，则其表如下：

$$\begin{cases} J_1 = 1 \\ K_1 = 1 \end{cases}$$

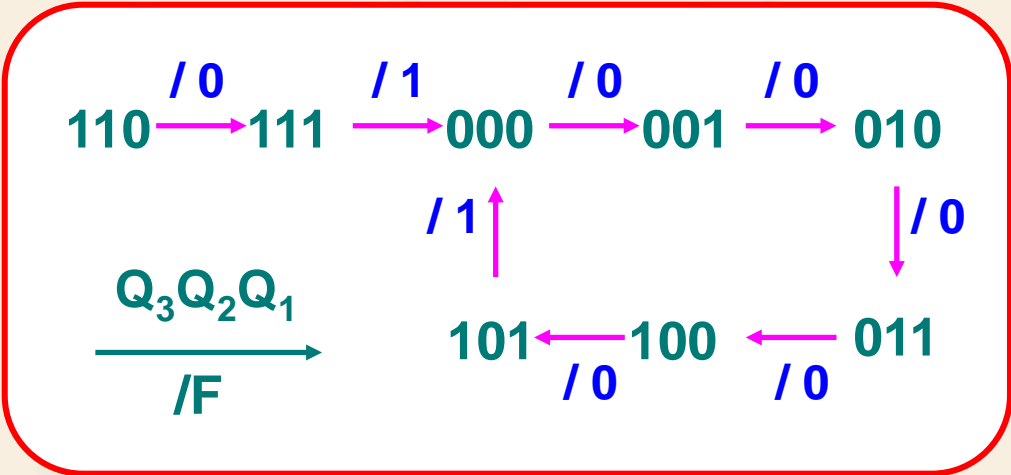
$$\begin{cases} J_2 = Q_1^n \cdot \overline{Q_3^n} \\ K_2 = Q_1^n \end{cases}$$

$$\begin{cases} J_3 = Q_1^n \cdot Q_2^n \\ K_3 = Q_1^n \end{cases}$$

$$F = Q_3^n Q_1^n$$

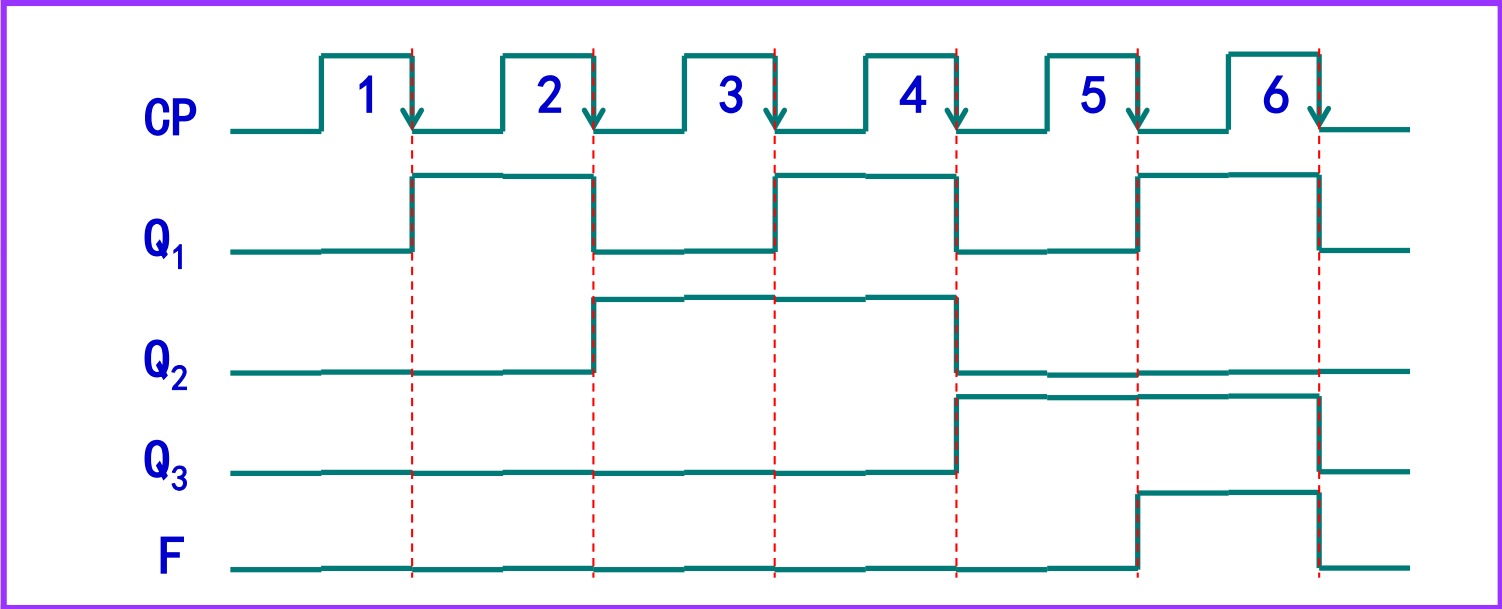
时钟	状态			驱动信号						输出
CP	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	J <sub>3</sub>	K <sub>3</sub>	J <sub>2</sub>	K <sub>2</sub>	J <sub>1</sub>	K <sub>1</sub>	F
0	0	0	0							0
1↓	0	0	1	0	0	0	0	1	1	0
2↓	0	1	0	0	1	1	1	1	1	0
3↓	0	1	1	0	0	0	0	1	1	0
4↓	1	0	0	1	1	1	1	1	1	0
5↓	1	0	1	0	0	0	0	1	1	1
6↓	0	0	0	0	1	0	1	1	1	0
0	1	1	0							0
1↓	1	1	1	0	0	0	0	1	1	1
2↓	0	0	0	1	1	0	1	1	1	0

(4) 画状态图和时序图



时钟	现态			次态			输出
CP	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	F
1	0	0	0	0	0	1	0
2	0	0	1	0	1	0	0
3	0	1	0	0	1	1	0
4	0	1	1	1	0	0	0
5	1	0	0	1	0	1	0
6	1	0	1	0	0	0	1
7	1	1	0	1	1	1	0
8	1	1	1	0	0	0	1

时序图:



## (5) 检查电路能否自启动

- 有效状态** —— 在时序电路中，凡是被利用了的状态，都叫有效状态  
比如本题中的000~101这6个状态
- 无效状态** —— 在时序电路中，凡是没有利用的状态，都叫无效状态  
比如本题中的110和111这2个状态
- 有效循环** —— 在时序电路中，凡是有效状态形成的循环，称为~
- 无效循环** —— 在时序电路中，凡是无效状态形成的循环，称为~
- 能自启动** —— 若无效状态没有形成循环，这样的时序电路称为能自启动的时序电路
- 不能自启动** —— 若有无效状态存在，且它们之间形成了循环，这样的时序电路称为不能自启动的时序电路

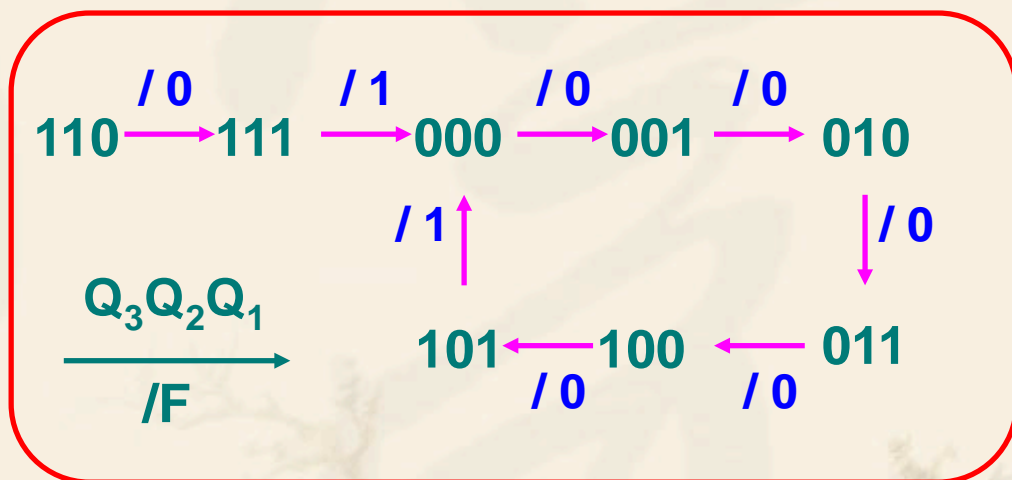


在不能自启动的时序电路中，一旦因某种原因（如干扰）而落入了无效循环，就再也回不到有效状态了，当然，要正常工作也就不再可能。

因此，不论是分析还是设计时序电路，都要检查自启动，如果不能自启动，则要修改电路使之能够自启。

从状态图可以看出，每加入六个时钟脉冲以后，电路的状态就循环变化一次。

可见这个电路具有对时钟脉冲信号进行计数的功能，故这是一个六进制的计数器。



再由状态图可看出，对于无效状态110和111没有形成循环，因此该电路能够自启动。

综上，可知本题电路是一同步的能自启动的六进制加法计数器。

**例3** 试分析下图所示时序电路的逻辑功能。

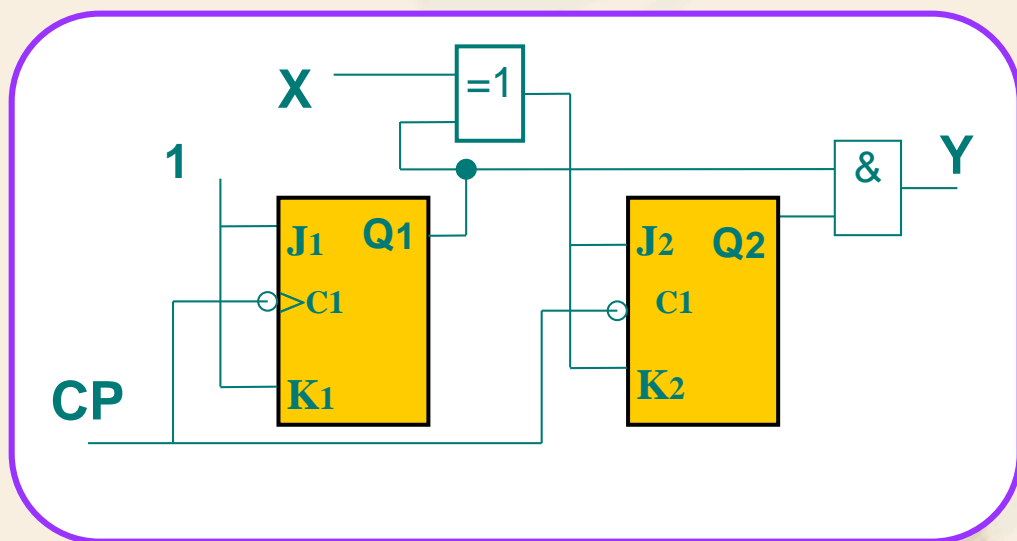
**解：**由电路图可知，此为同步时序逻辑电路，有输入信号X  
所以，属**Mealy**型

(1) 写出各触发器的驱动方程和输出方程

输出方程：  $Y = Q_2^n Q_1^n$

驱动方程：

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = X \oplus Q_1^n \end{cases}$$



## 2.将驱动方程代入特性方程，求得次态方程

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = X \oplus Q_1^n$$

$$\begin{cases} Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n} \\ Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = (X \oplus Q_1^n) \overline{Q_2^n} + \overline{(X \oplus Q_1^n)} Q_2^n \\ \quad = X \oplus Q_1^n \oplus Q_2^n \end{cases}$$

## 3.列状态表，画状态图和时序图

$$Q_1^{n+1} = \overline{Q_1^n}$$

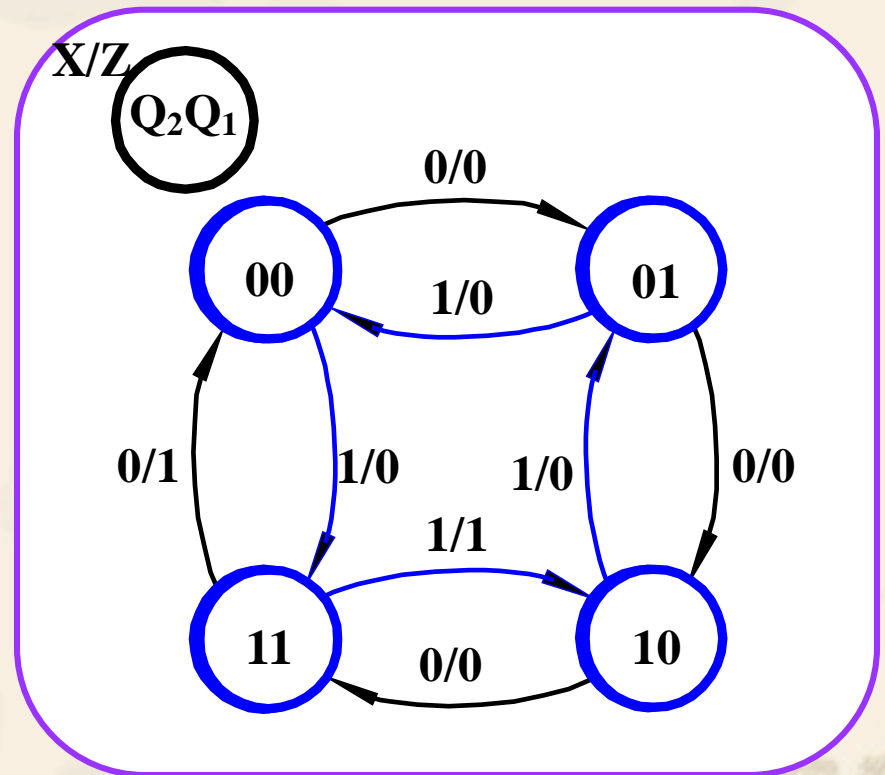
$$Q_2^{n+1} = X \oplus Q_1^n \oplus Q_2^n$$

$$Y = Q_2^n Q_1^n$$

时钟	输入	现态		次态		输出
CP	X	$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	Y
1	0	0	0	0	1	0
2	0	0	1	1	0	0
3	0	1	0	1	1	0
4	0	1	1	0	0	1
1	1	0	0	1	1	0
2	1	0	1	0	0	0
3	1	1	0	0	1	0
4	1	1	1	1	0	1

# 状态图

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1} / Z$	
	$X=0$	$X=1$
0 0	➡ 1 1 / 0	
0 1	➡ 0 0 / 0	
1 0	➡ 0 1 / 0	
1 1	➡ 1 0 / 1	

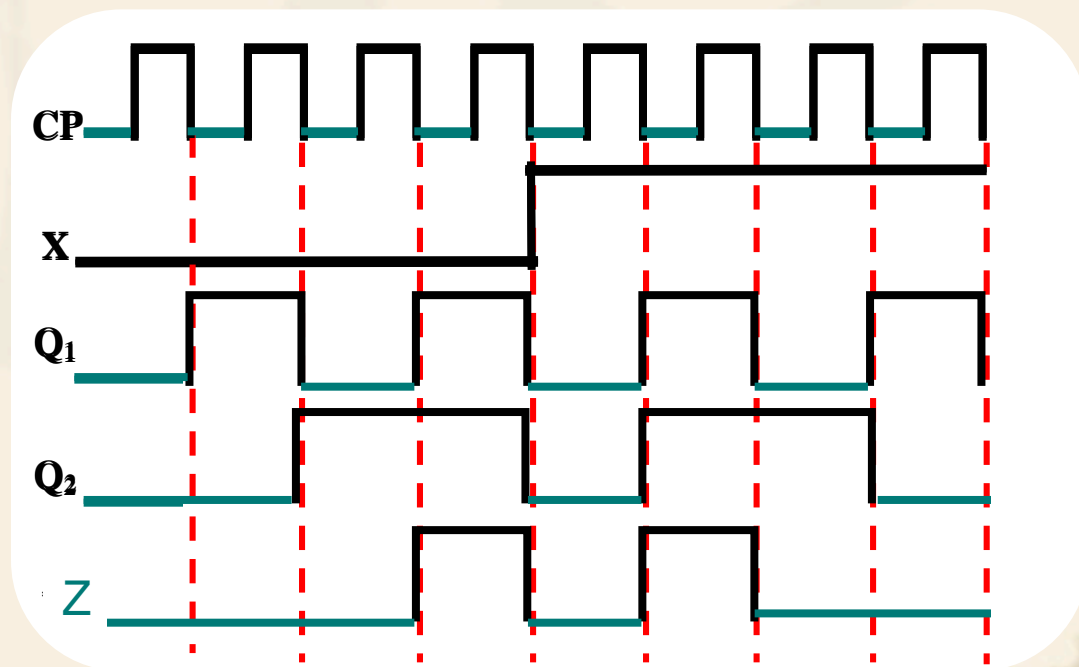




## 时序图或波形图（若题目无特别要求，可不画）

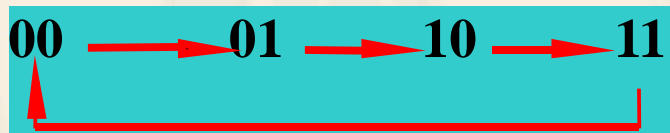
波形可以根据状态转换表、状态转换图或方程画出。

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1} / Z$	
	$X=0$	$X=1$
0 0	0 1 / 0	1 1 / 0
0 1	1 0 / 0	0 0 / 0
1 0	1 1 / 0	0 1 / 0
1 1	0 0 / 1	1 0 / 1



## 4. 确定逻辑功能

- $X=0$ 时，电路进行加1计数。

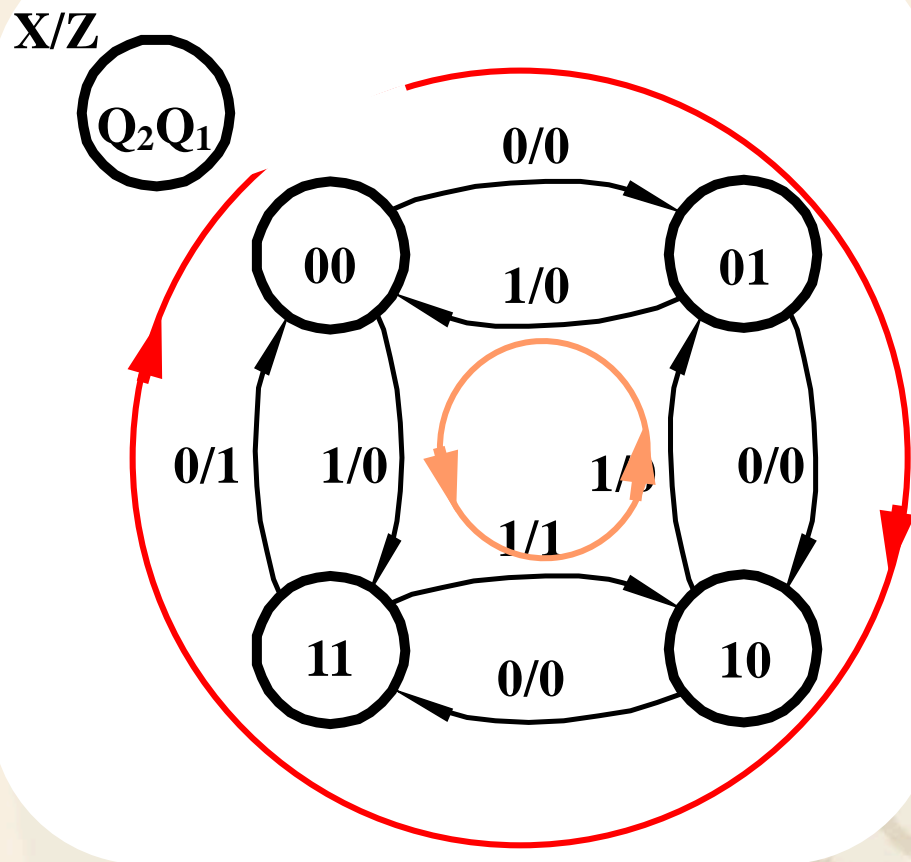


- $X=1$ 时，电路进行减1计数。

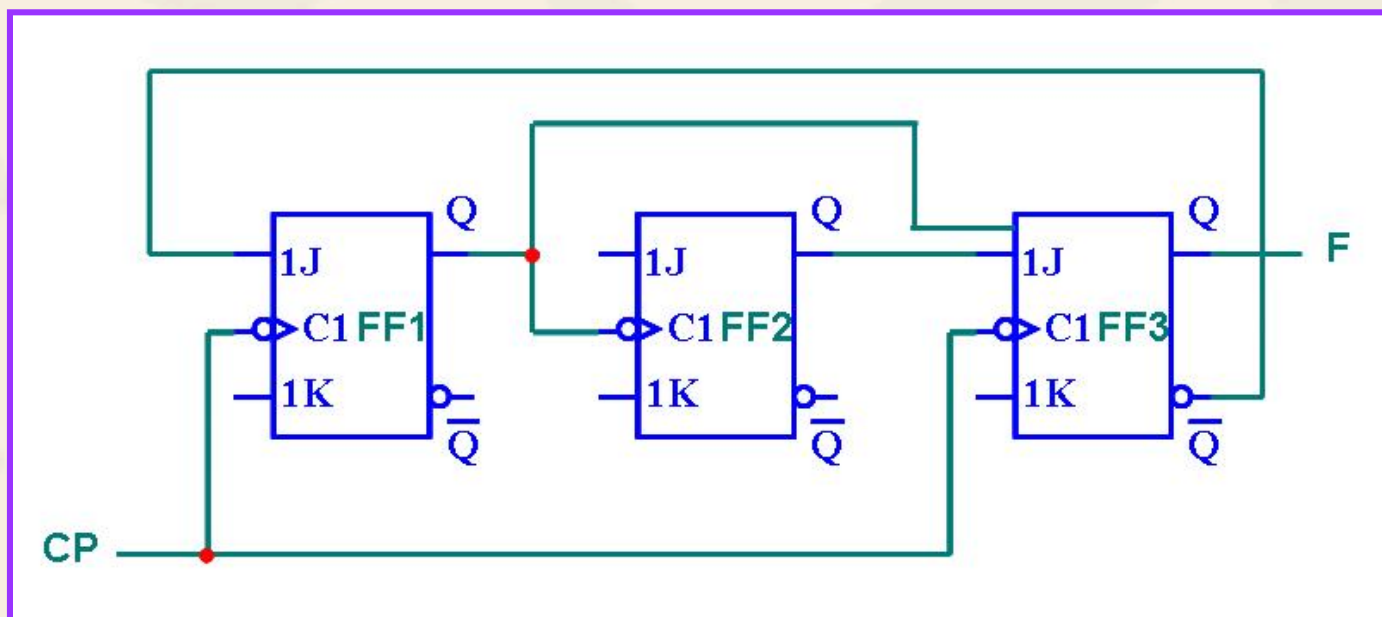


所以，此电路为：

可控的四进制计数器



**例4** 分析如图所示电路的逻辑功能。



**解：**(1) 列方程：

① CP方程：  $CP_1 = CP_3 = CP$  ↓  $CP_2 = Q_1$  ↓ 故为异步时序电路

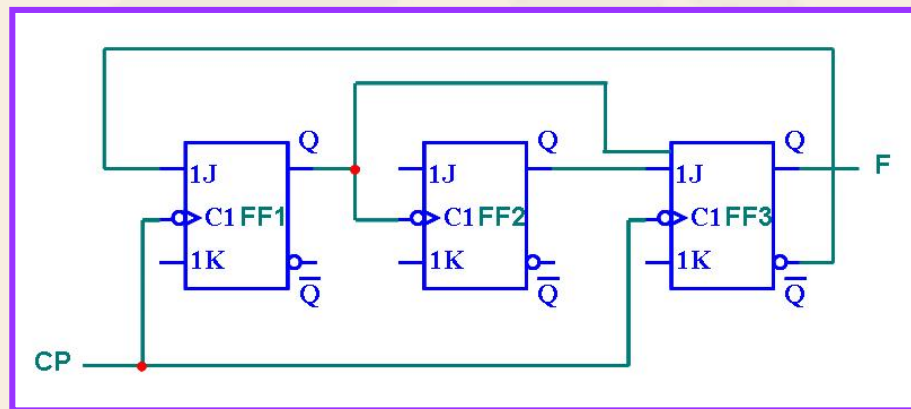
② 输出方程：  $F = Q_3^n$

③ 驱动方程：

### ③ 驱动方程:

$$\begin{cases} J_1 = \overline{Q_3^n} \\ K_1 = 1 \end{cases} \quad \text{CP} \downarrow \quad \begin{cases} J_2 = 1 \\ K_2 = 1 \end{cases} \quad Q_1 \downarrow$$

$$\begin{cases} J_3 = Q_1^n \cdot Q_2^n \\ K_3 = 1 \end{cases} \quad \text{CP} \downarrow$$



### (2) 求状态方程:

图中3个触发器均为JK型触发器，其特性方程为  $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

将驱动方程代入特性方程即得相应得状态方程为:

$$Q_1^{n+1} = \overline{Q_3^n} \cdot \overline{Q_1^n} + \overline{1} \cdot Q_1^n = \overline{Q_3^n} \cdot \overline{Q_1^n}$$

$$Q_2^{n+1} = \overline{Q_2^n}$$

$$Q_3^{n+1} = (Q_1^n \cdot Q_2^n) \cdot \overline{Q_3^n} + \overline{1} \cdot Q_3^n = (Q_1^n \cdot Q_2^n) \cdot \overline{Q_3^n}$$



### (3) 列写状态表或状态激励表

根据状态方程，列写状态表如下：

$$Q_1^{n+1} = \overline{Q_3^n} \cdot \overline{Q_1^n}$$

$$Q_2^{n+1} = Q_2^n$$

$$Q_3^{n+1} = (Q_1^n \cdot Q_2^n) \cdot \overline{Q_3^n}$$

空着

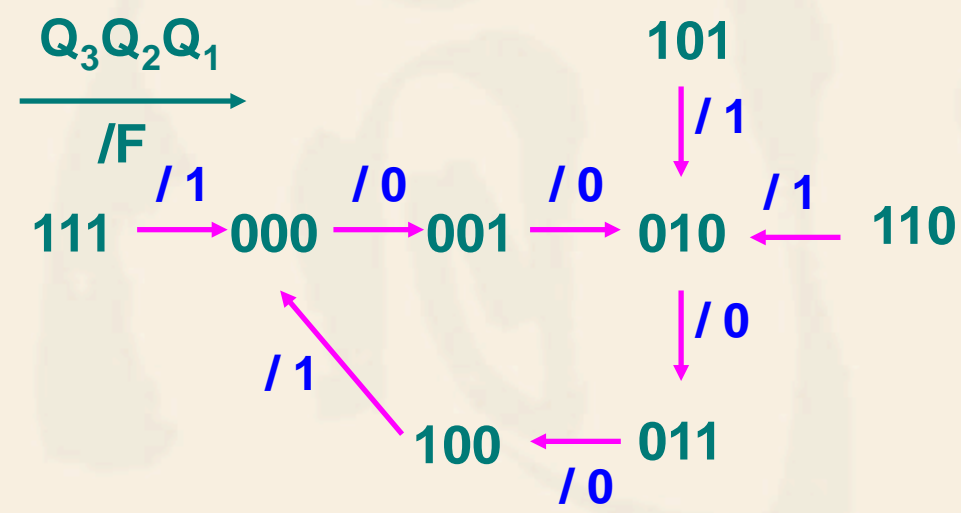
现态			次态			时钟条件			输出
$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$CP_3=CP\downarrow$	$CP_2=Q_1\downarrow$	$CP_1=CP\downarrow$	F
0	0	0	0	0	1	↓	•	↓	0
0	0	1	0	1	0	↓	↓	↓	0
0	1	0	0	1	1	↓		↓	0
0	1	1	1	0	0	↓	↓	↓	0
1	0	0	0	0	0	↓		↓	1
1	0	1	0	1	0	↓	↓	↓	1
1	1	0	0	1	0	↓		↓	1
1	1	1	0	0	0	↓	↓	↓	1

$\begin{cases} J_1 = \overline{Q_3^n} \\ K_1 = 1 \end{cases}$   $\text{CP} \downarrow$     
  $\begin{cases} J_2 = 1 \\ K_2 = 1 \end{cases}$   $Q_1 \downarrow$     
  $\begin{cases} J_3 = Q_1^n \cdot Q_2^n \\ K_3 = 1 \end{cases}$   $\text{CP} \downarrow$     
 $F = Q_3^n$

依次假设电路得现在状态为 $Q_3^n Q_2^n Q_1^n$ ，代入状态方程和输出方程进行计算，求出相应得次态和输出，结果可用状态激励表来表示

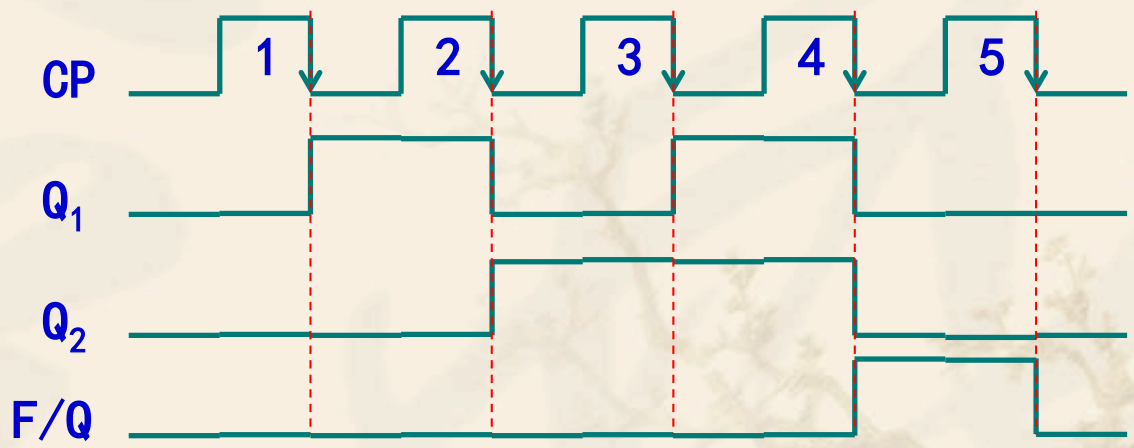
时钟	状态			驱动信号						输出
CP	$Q_3$	$Q_2$	$Q_1$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$	F
0	0	0	0							0
1↓	0	0	1	0	1			1	1	0
2↓	0	1	0	0	1	1	1	1	1	0
3↓	0	1	1	0	1			1	1	0
4↓	1	0	0	1	1	1	1	1	1	1
5↓	0	0	0	0	1			0	1	0
0	1	0	1							1
1↓	0	1	0	0	1	1	1	0	1	0
0	1	1	0							1
1↓	0	1	0	0	1			0	1	0
0	1	1	1							1
1↓	0	0	0	1	1	1	1	0	1	0

(4) 画状态图和时序图



时钟 CP	状态			驱动信号						输出 F
	$Q_3$	$Q_2$	$Q_1$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$	
0	0	0	0							0
1↓	0	0	1	0	1			1	1	0
2↓	0	1	0	0	1	1	1	1	1	0
3↓	0	1	1	0	1			1	1	0
4↓	1	0	0	1	1	1	1	1	1	1
5↓	0	0	0	0	1			0	1	0
0	1	0	1							1
1↓	0	1	0	0	1	1	1	0	1	0
0	1	1	0							1
1↓	0	1	0	0	1			0	1	0
0	1	1	1							1
1↓	0	0	0	1	1	1	1	0	1	0

时序图:



(5) 逻辑功能

3  
综上, 可知本题电路是一异步的能自启动的五进制加法器。

## 15.3 同步时序逻辑电路的设计方法

**设计目的：** 找出根据给定逻辑功能要求，选择适当的逻辑器件，设计出符合要求的时序逻辑电路。

**设计步骤：**

1. 根据设计要求和给定条件，进行**逻辑抽象**，得出电路的原始状态转换图或转换表

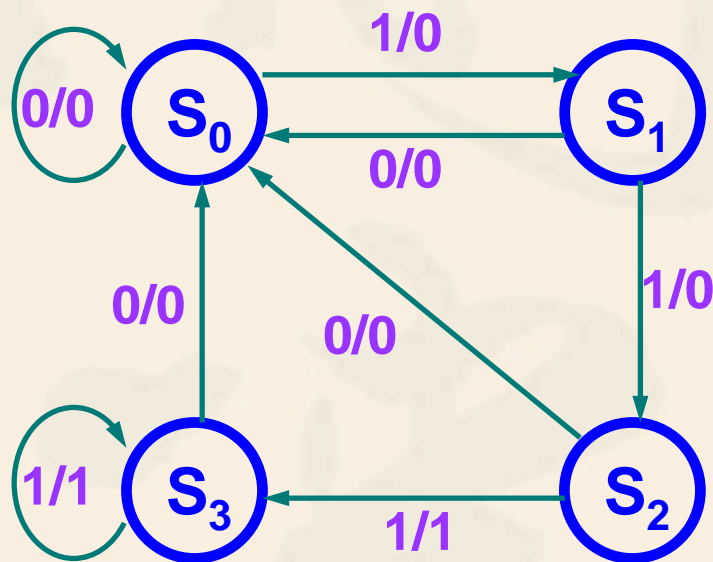
① 分析给定的逻辑问题，确定输入变量、输出变量及该电路应包含的状态，并用字母 $S_0$ 、 $S_1$ …等表示；

② 分别以上述状态为现态，考察在每一个可能的输入组合作用下，应转入哪个状态及相应的输出；

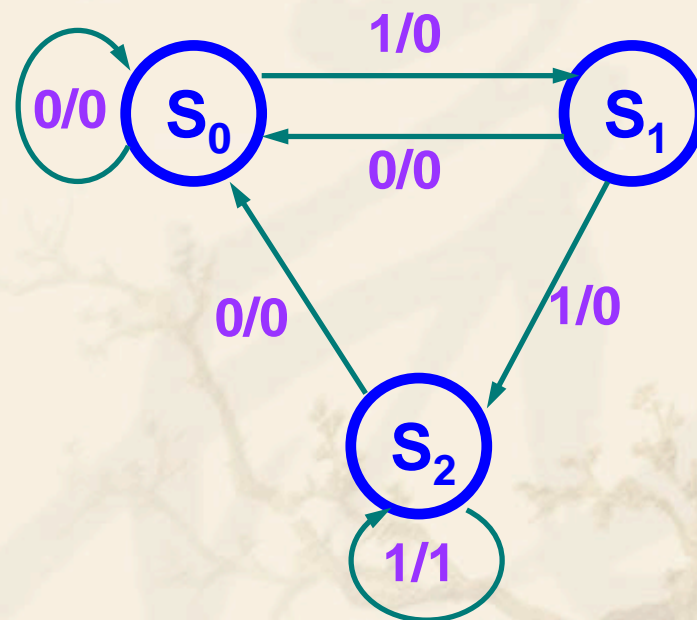


## 2.状态化简---如有等价状态则合并之

**等价状态**—在原始状态图中，如有两个或两个以上的状态，在相同的条件下，不仅有相同的输出，而且向同一个状态转换，则这些状态是等价的，可以合并。如S2和S3状态：



原始状态图



简化状态图

### 3.状态分配（状态编码）

根据电路包含的M个状态，确定触发器的类型和数目N。

∵ N个触发器共有 $2^n$ 种状态组合，∴ 取  $2^{n-1} < M < 2^n$

其次，要给每个电路状态规定对应的触发器状态组合，每组触发器的状态组合都是一组二值代码，所以，该过程又称状态编码。

4.求出电路的状态方程、驱动方程和输出方程

5.根据得到的方程式画出逻辑图

6.检查设计的电路能否自启动。

## 例1：设计一个同步十进制加法器

解：(1) 根据题意，建立有效状态的原始状态图。

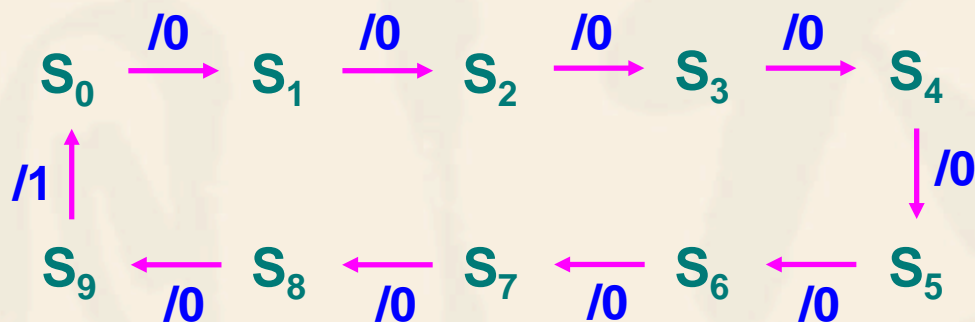
① 先分析题目，确定输入变量、输出变量以及电路内部状态间的关系及有效状态数。

题目要求设计一个十进制加法器，则可得



由于为同步加法器，则有效状态数量为10个

## ② 先建立一个原始状态图



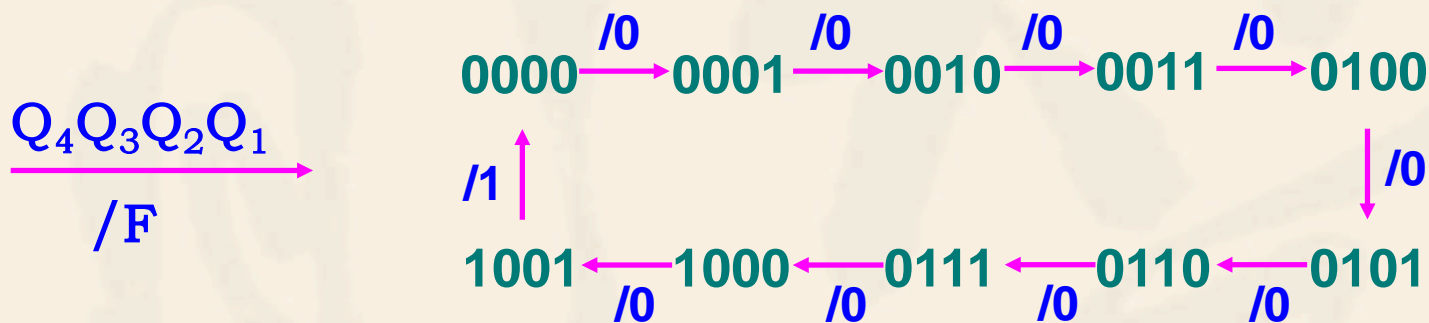
## (2) 选定触发器数目及类型，然后根据题意进行状态编码

因有10个有效状态       $2^3 < N=10 < 2^4$       故选用四个触发器

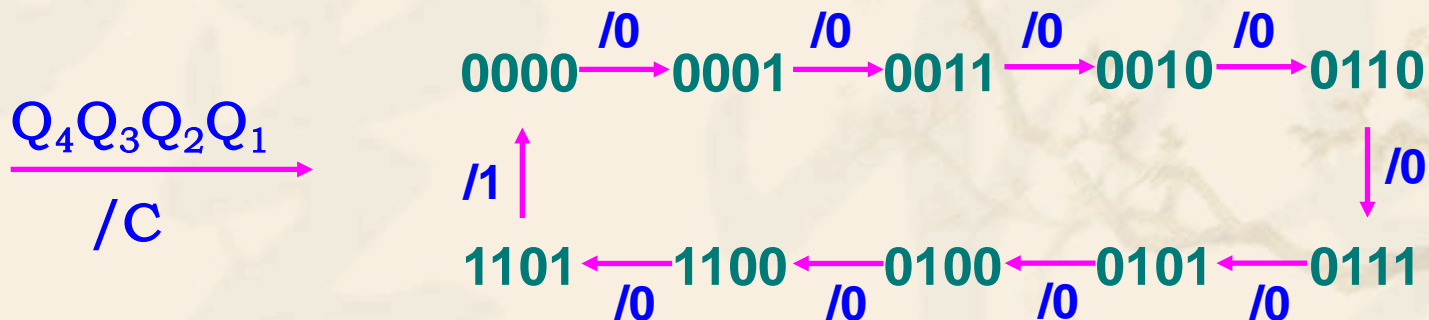
触发器可选边沿JK、边沿D（各有优缺点），此处选用JK下降沿触发，确定好触发器以后，就可以根据题意要求进行状态编码。（如要求用循环码、余3码、5421码或8421码实现）



此处选自然二进制编码：



如选用循环码实现，则状态编码为：



### (3) 求状态方程、输出方程

用卡诺图求状态方程和输出方程

$Q_4^{n+1}Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$

$Q_4^nQ_3^n \diagdown Q_2^nQ_1^n$					
		00	01	11	10
00	0001	0010	0100	0011	
01	0101	0110	1000	0111	
11	××××	××××	××××	××××	
10	1001	0000	××××	××××	

填写在空格内的为次态

上面是一张总图，分开便可得各位的状态图

$Q_4^{n+1}$		$Q_2^n Q_1^n$			
$Q_4^n Q_3^n$		00	01	11	10
00		0	0	0	0
01		0	0	1	0
11		×	×	×	×
10		1	0	×	×

$Q_3^{n+1}$		$Q_2^n Q_1^n$			
$Q_4^n Q_3^n$		00	01	11	10
00		0	0	1	0
01		1	1	0	1
11		×	×	×	×
10		0	0	×	×

在卡诺图化简时，可根据特性方程的要求  $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$  凑出  $\overline{Q}^n$  和  $Q^n$ ，这样求J、K就更方便一些。

$$Q_4^{n+1} = \overline{Q_4^n} \cdot (Q_3^n Q_2^n Q_1^n) + Q_4^n \cdot (\overline{Q_1^n})$$

$$\begin{aligned}
 Q_3^{n+1} &= \overline{Q_3^n} \cdot (Q_2^n Q_1^n) + Q_3^n \cdot (\overline{Q_2^n}) + Q_3^n \cdot (\overline{Q_1^n}) \\
 &= \overline{Q_3^n} \cdot (Q_2^n Q_1^n) + Q_3^n \cdot (\overline{Q_2^n Q_1^n})
 \end{aligned}$$

$Q_4^n Q_3^n \backslash Q_2^n Q_1^n$		$Q_2^{n+1}$			
		00	01	11	10
00	0	1	0	1	
01	0	1	0	1	
11	×	×	×	×	
10	0	0	×	×	

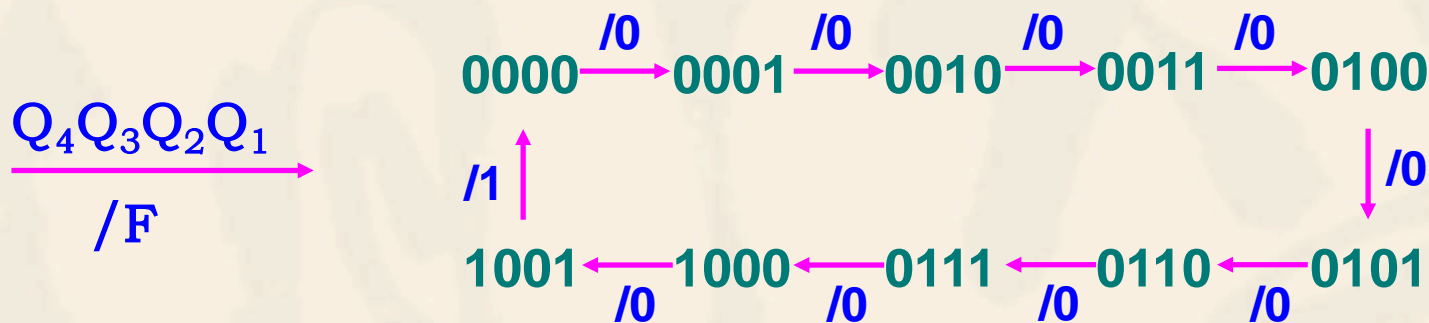
$Q_4^n Q_3^n \backslash Q_2^n Q_1^n$		$Q_1^{n+1}$			
		00	01	11	10
00	1	0	0	1	
01	1	0	0	1	
11	×	×	×	×	
10	1	0	×	×	

$$Q_2^{n+1} = \overline{Q_2^n} \cdot (\overline{Q_4^n} Q_1^n) + Q_2^n \cdot (\overline{Q_1^n})$$

$$Q_1^{n+1} = \overline{Q_1^n}$$



输出方程可以直接由状态图观察得出： $F = Q_4^n \cdot Q_1^n$



当然，也可按常规用卡诺图来求：

$$F = Q_4^n \cdot Q_1^n$$

Karnaugh map for  $F$ :

$Q_4^n Q_3^n \backslash Q_2^n Q_1^n$		$Q_2^n Q_1^n$			
		00	01	11	10
$Q_4^n Q_3^n$	00	0	0	0	0
	01	0	0	0	0
	11	×	×	×	×
	10	0	1	×	×

The cell (10, 01) containing '1' is circled in red, indicating the minterm  $Q_4^n \cdot Q_1^n$ .

#### (4) 求驱动方程、时钟方程

因设计要求加法器为同步 故  $CP_4 \downarrow = CP_3 \downarrow = CP_2 \downarrow = CP_1 \downarrow = CP \downarrow$

边沿JK触发器的特性方程为：
$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

将(3)中求得的 $Q_i^{n+1}$ 依次和它比较，求出相应的 $J_i$ ， $K_i$ ，即驱动方程

$$Q_4^{n+1} = \overline{Q_4^n} \cdot (Q_3^n Q_2^n Q_1^n) + Q_4^n \cdot (\overline{Q_1^n}) \quad \Rightarrow \quad \begin{cases} J_4 = Q_3^n Q_2^n Q_1^n \\ K_4 = Q_1^n \end{cases}$$

$$Q_3^{n+1} = \overline{Q_3^n} \cdot (Q_2^n Q_1^n) + Q_3^n \cdot (\overline{Q_2^n Q_1^n}) \quad \Rightarrow \quad \begin{cases} J_3 = Q_2^n Q_1^n \\ K_3 = Q_2^n Q_1^n \end{cases}$$

$$Q_2^{n+1} = \overline{Q_2^n} \cdot (\overline{Q_4^n} Q_1^n) + Q_2^n \cdot (\overline{Q_1^n}) \quad \Rightarrow \quad \begin{cases} J_2 = \overline{Q_4^n} Q_1^n \\ K_2 = Q_1^n \end{cases}$$

$$Q_1^{n+1} = \overline{Q_1^n} \quad \Rightarrow \quad \begin{cases} J_1 = 1 \\ K_1 = 1 \end{cases}$$



## (6) 检查电路能否自启动

四位触发器共 $2^4=16$ 个状态，只用了10个，故仍有6个为无效状态，依次代入方程可得出：

$Q_4^n$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_4^{n+1}$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	F
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	0	0	1

$$Q_4^{n+1} = \overline{Q_4^n} \cdot (Q_3^n Q_2^n Q_1^n) + Q_4^n \cdot (\overline{Q_1^n}) \quad Q_2^{n+1} = \overline{Q_2^n} \cdot (\overline{Q_4^n} Q_1^n) + Q_2^n \cdot (\overline{Q_1^n})$$

$$Q_3^{n+1} = \overline{Q_3^n} \cdot (Q_2^n Q_1^n) + Q_3^n \cdot (\overline{Q_2^n} Q_1^n) \quad Q_1^{n+1} = \overline{Q_1^n}$$

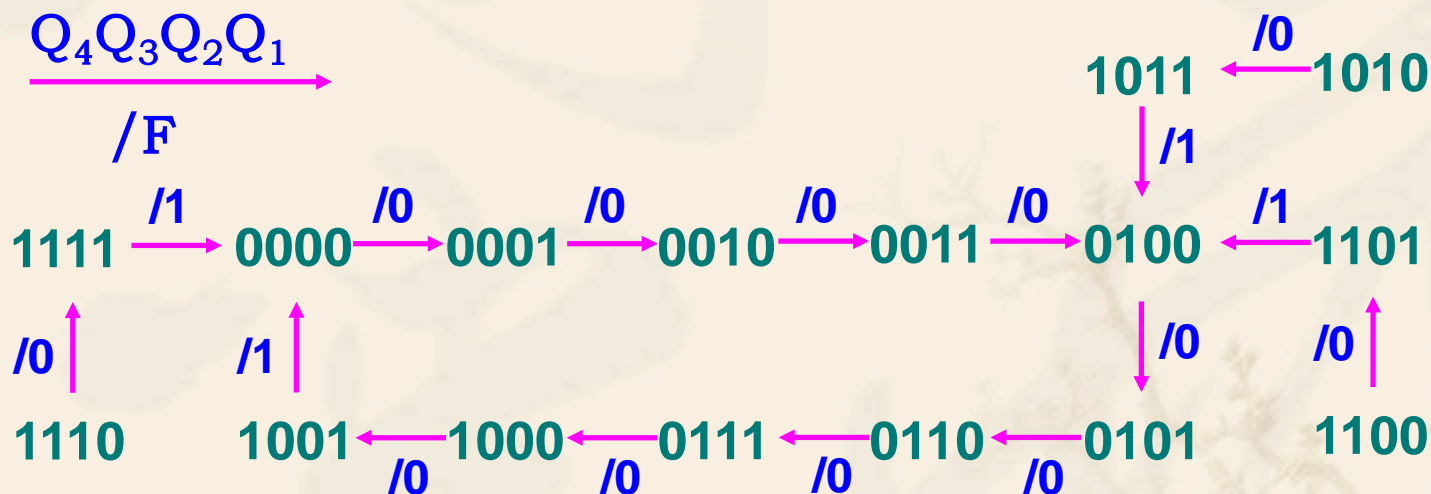


完整的状态图如下：

由图可看出，所有的无效状态，没有形成循环，最终都回到了有效状态。

故该时序电路能够自启动。

$Q_4^n$	$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_4^{n+1}$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	F
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	0	0	1



思考：如采用边沿D触发器，该如何实现？

**例2：**设计一个序列脉冲检测器。输入信号是与时钟脉冲同步的串行数据X，输出为Z；当连续输入信号110时，该电路输出Z为1，否则输出为0。

**解：** (1) 逻辑抽象，得出电路的状态转换图或状态表。

设：电路收到一个0的状态为 $S_0$ ；

收到一个1的状态为 $S_1$ ；

收到两个或两个以上的1的状态为 $S_2$ ；

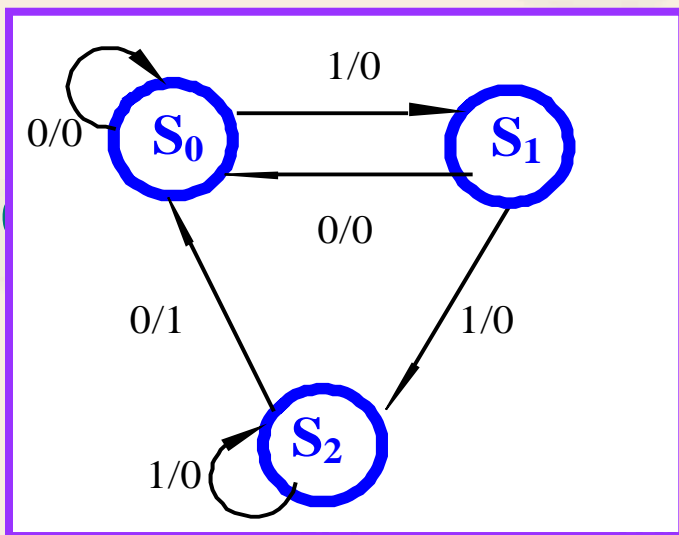
连续收到110的状态为 $S_3$ 。

设电路开始处于 $S_0$ 态，此时若

设电路处于 $S_1$ 态，此时若

设电路处于 $S_2$ 态，此时若

设电路处于 $S_3$ 态，此时若



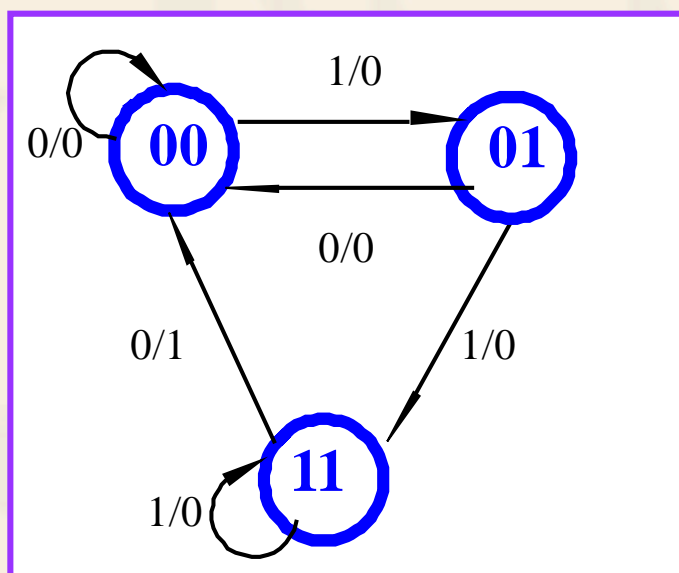
{	$X=0$	<u>收到一个0</u>	$S_0$ 态，且 $Z=0$
	$X=1$	<u>收到一个1</u>	$S_1$ 态，且 $Z=0$
{	$X=0$	————	$S_0$ 态，且 $Z=0$
	$X=1$	————	$S_2$ 态，且 $Z=0$
{	$X=0$	————	$S_3$ 态，且 $Z=1$
	$X=1$	————	$S_2$ 态，且 $Z=0$
{	$X=0$	————	$S_0$ 态，且 $Z=0$
	$X=1$	————	$S_1$ 态，且 $Z=0$

(2) 状态化简:

原始状态图中， $S_0$ 和 $S_3$ 是等价状态，可合并。

### (3) 状态分配 (状态编码)

从该图中得知, 电路有三种状态, 即 $M=3$ , 所以需要两个触发器, 即 $N=2$ ; 设 $S_0=00$ ,  $S_1=01$ ,  $S_2=11$ , 则可得编码形式的状态图, 并可列出状态表:



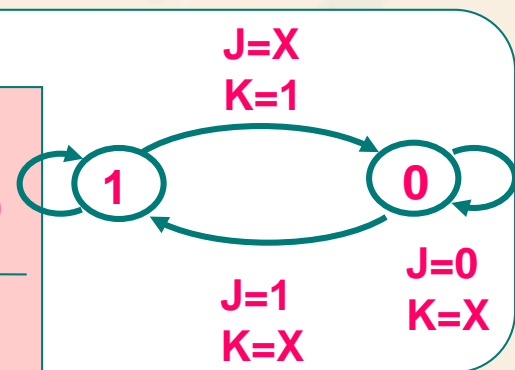
$Q_1^{n+1}Q_0^{n+1} / Z \quad X$			
$Q_1^nQ_0^n$		0	1
0	0	00/0	01/0
0	1	00/0	11/0
1	1	00/1	11/0



#### (4)确定触发器的类型，并求状态方程，驱动方程和输出方程

选择JKFF，根据状态表列真值表，然后根据JKFF的驱动表，确定JKFF的驱动信号

输入 X	现 态		次态		输出 Z	FF的 驱动信号	
	$Q_1^n$	$Q_0^n$	$Q_1^{n+1}$	$Q_0^{n+1}$		J1 K1	J0 K0
0	0	0	0	0	0	0 ×	0 ×
0	0	1	0	0	0	0 ×	× 1
0	1	1	0	0	1	× 1	× 1
1	0	0	0	1	0	0 ×	1 ×
1	0	1	1	1	0	1 ×	× 0
1	1	1	1	1	0	× 0	× 0



分别画出驱动信号 $J_1$ 、 $K_1$ 、 $J_0$ 、 $K_0$ 的卡诺图，并化简

$J_1$   $Q_1^n Q_0^n$

$X$	00	01	11	10
0	0	0	×	×
1	0	1	×	×

$$J_1 = XQ_0^n$$

$K_1$   $Q_1^n Q_0^n$

$X$	00	01	11	10
0	×	×	1	×
1	×	×	0	×

$$K_1 = \overline{X}$$

$J_0$   $Q_1 Q_0$

$X$	00	01	11	10
0	0	×	×	×
1	1	×	×	×

$$J_0 = X$$

$K_0$   $Q_1 Q_0$

$X$	00	01	11	10
0	×	1	1	×
1	×	0	0	×

$$K_0 = \overline{X}$$

## 求输出方程

		$Q_1Q_0$			
		00	01	11	10
$X$	0	0	0	1	×
	1	0	0	0	×

$$Z = \overline{X}Q_1^n$$

即驱动方程为：

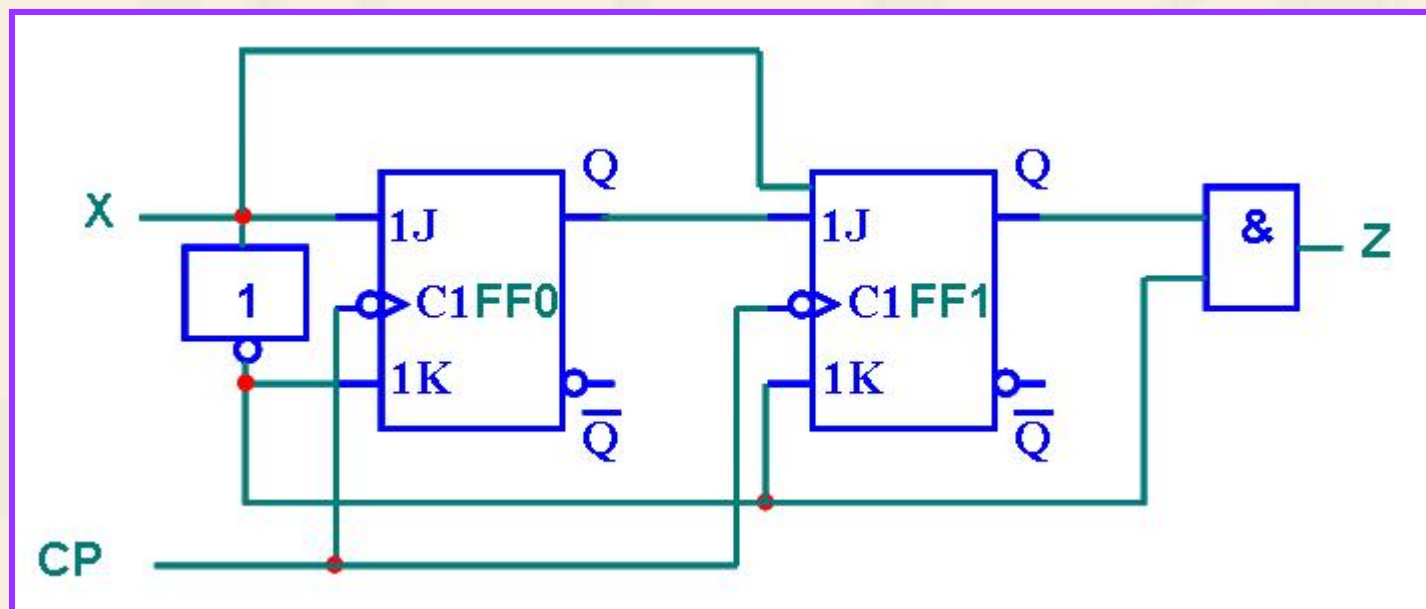
$$\begin{cases} J_1 = XQ_0^n & K_1 = \overline{X} \\ J_0 = X & K_0 = \overline{X} \end{cases}$$

输出方程为：

$$Z = \overline{X}Q_1^n$$

(5) 画出逻辑电路图

$$\begin{cases} J_1 = XQ_0^n & K_1 = \overline{X} \\ J_0 = X & K_0 = \overline{X} \end{cases} \quad Z = \overline{X}Q_1^n$$

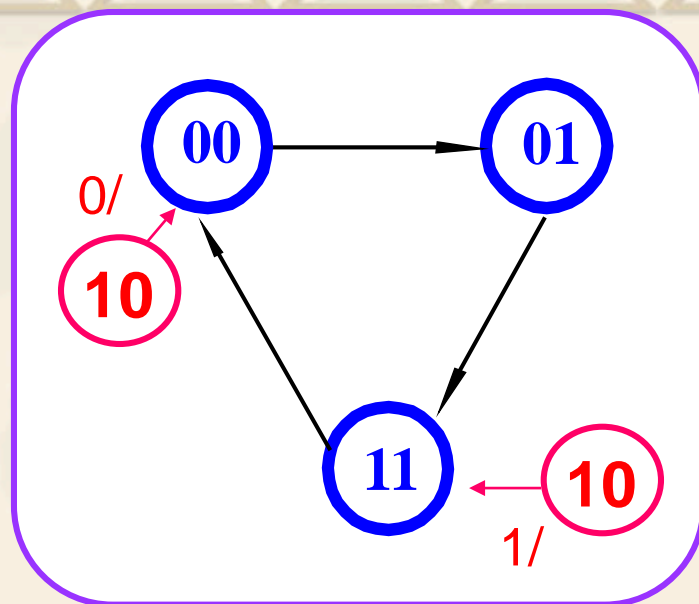




## (6) 检查自启动能力

电路的有效状态如图所示：

当进入无效状态 (10) 后，检查能否自启动，将 (10) 代入JKFF的特性方程中：



$$\begin{cases} Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = X Q_0^n \cdot \overline{Q_1^n} + X Q_1^n = X \\ Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = X(\overline{Q_0^n} + Q_0^n) = X \end{cases}$$

$$\begin{cases} J_1 = X Q_0 & K_1 = \overline{X} \\ J_0 = X & K_0 = \overline{X} \end{cases}$$

所以，当X=0时，次态为00  
X=1时，次态为11



可自启动

最后检查输出：  $Z = \overline{X}Q_1^n$

当 $X=1$ 时， $Z=0$

当 $X=0$ 时， $Z=Q_1^n$ ，若进入无效状态 $Q_1Q_0=10$ 时， $Z=1$ 显然与题意不符，  
所以需要对输出方程作适当修改

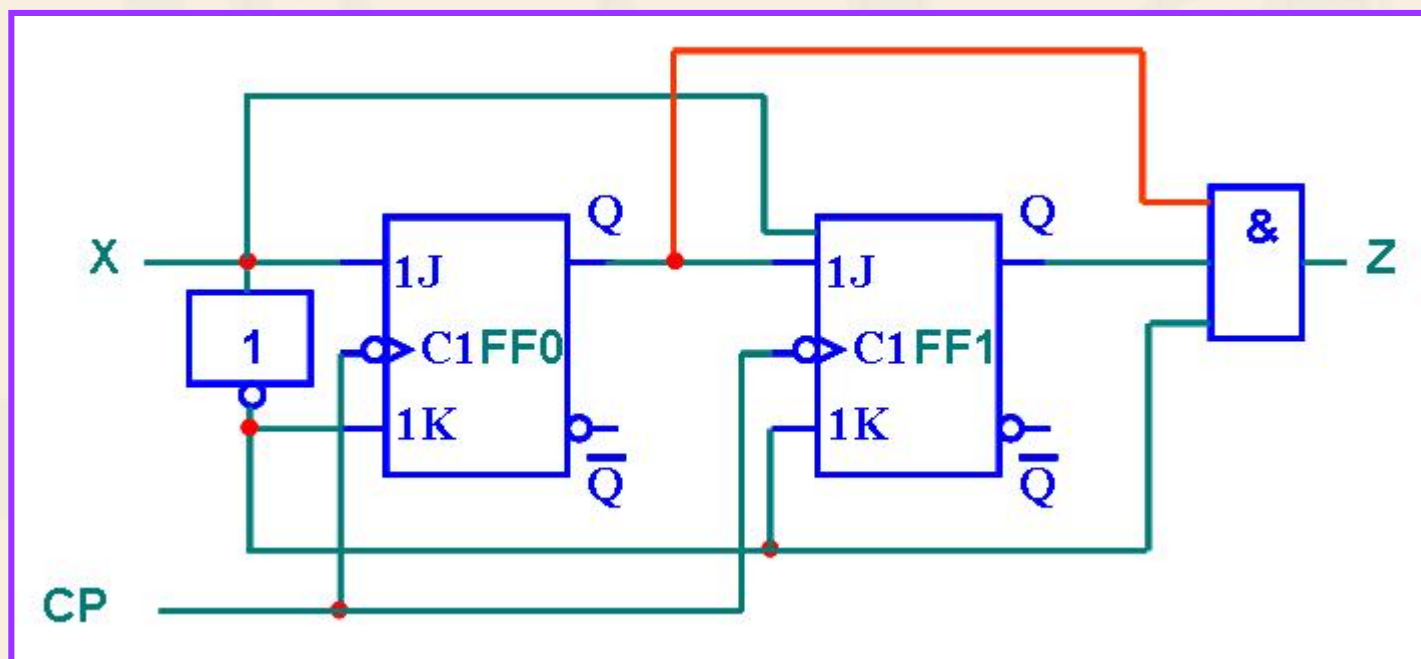
$Z \backslash Q_1Q_0$		00	01	11	10
X	0	0	0	1	×
	1	0	0	0	×

为了避免输出信号出现错误，化简时，一般不将任意项画在包围圈内。

$$Z = \overline{X}Q_1 \longrightarrow Z = \overline{X}Q_1^nQ_0^n$$

## (7) 修改后的逻辑图

$$Z = \overline{X}Q_1^n \longrightarrow Z = \overline{X}Q_1^n Q_0^n$$

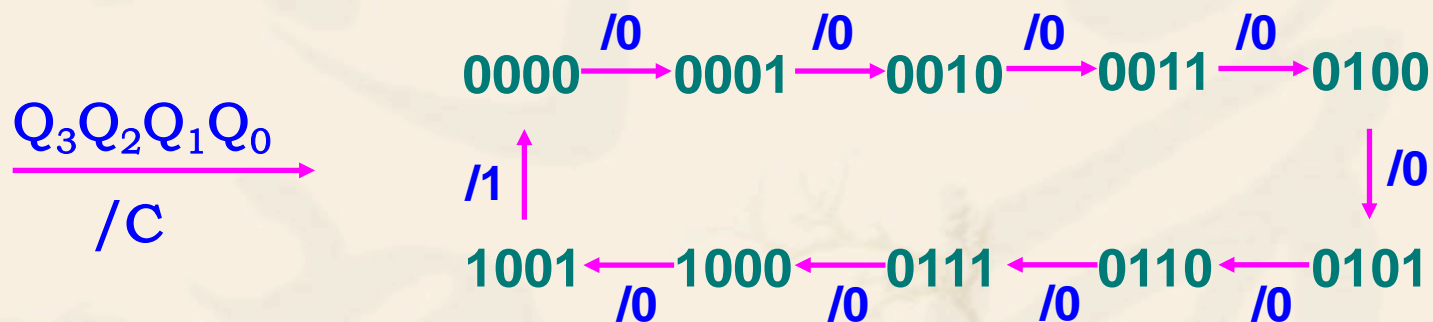


## ※异步电路的设计

例：设计一个异步十进制加法计数器

解：(1) 根据题意，建立状态图

选择8421BCD码编码方式画出十进制异步加法计数器的状态图





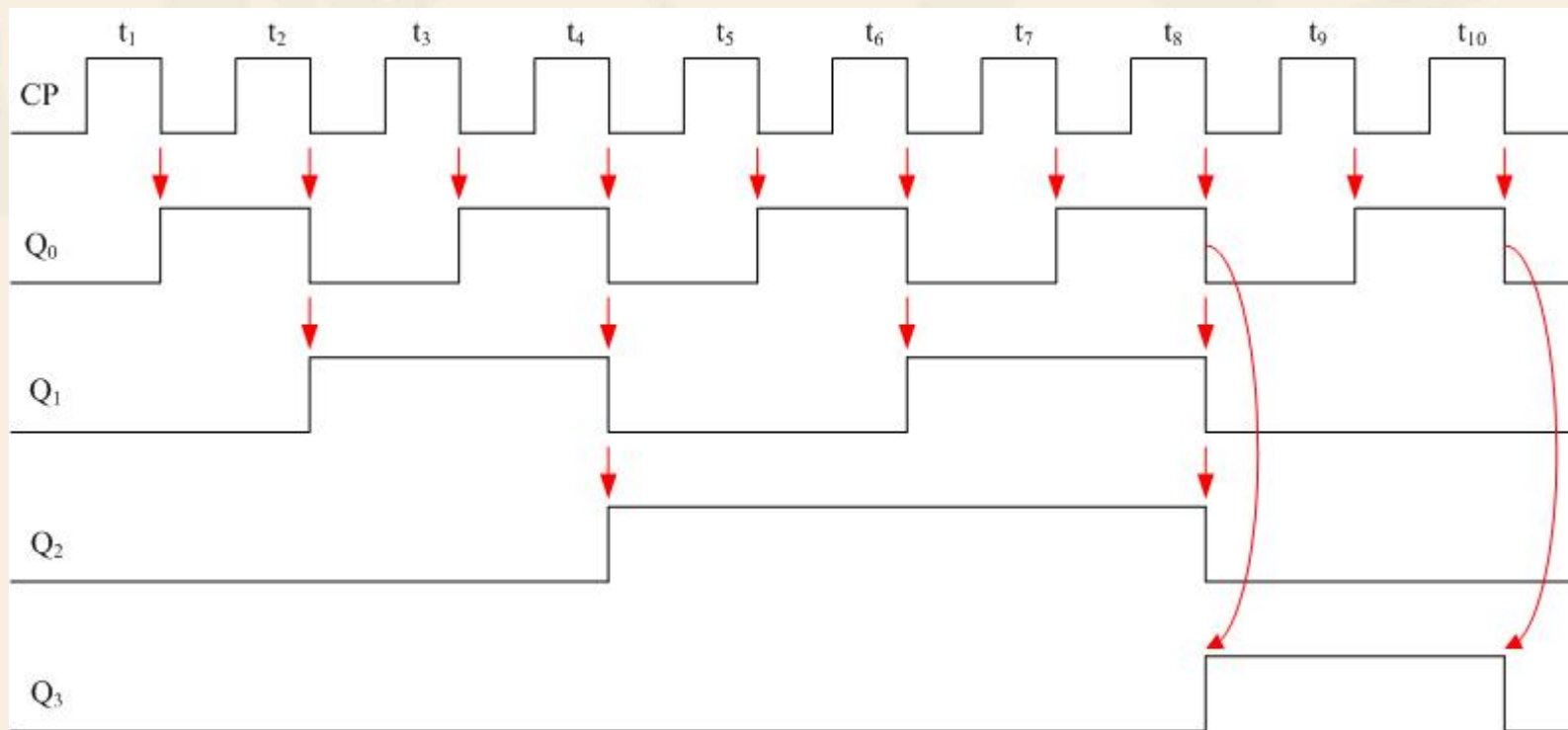
## (2) 选择触发器，求时钟方程、输出方程和状态方程

### ① 选择触发器

选用4个下降沿触发的JK触发器，分别编号为 $FF_0 \sim FF_3$

### ② 求时钟方程

画时序图，据图选择时钟脉冲如下

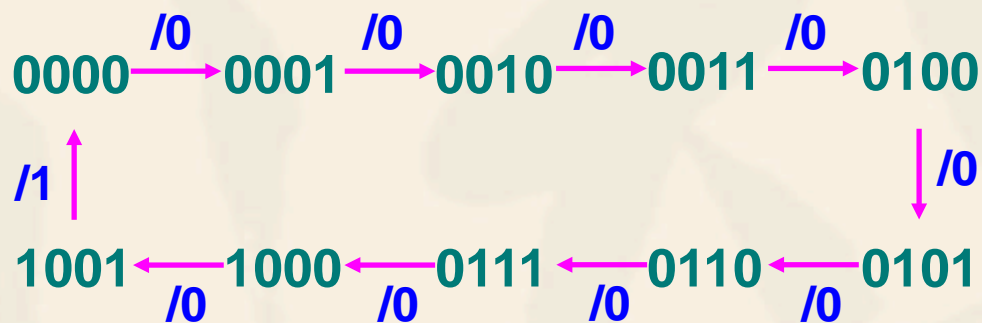


故可选择  $CP_0=CP$   $CP_1=Q_0$   $CP_2=Q_1$   $CP_3=Q_2$

**注：触发器不能翻转时，时钟信号的变化尽可能少。**

### ③ 求输出方程

$Q_3Q_2Q_1Q_0$   
→  
/C



列写卡诺图

C $Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$					
		00	01	11	10
00		0	0	0	0
01		0	0	0	0
11		×	×	×	×
10		0	1	×	×

$$C = Q_3^n \cdot Q_0^n$$

#### ④ 求状态方程

据状态图的规定，画出计数器次态的卡诺图

$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$

$Q_3^nQ_2^n \backslash Q_1^nQ_0^n$					
		00	01	11	10
00	0001	0010	0100	0011	
01	0101	0110	1000	0111	
11	××××	××××	××××	××××	
10	1001	0000	××××	××××	

填写在空格内的为次态

上面是一张总图，分开并**根据需要做些改变**就可得各位的状态图

$Q_3^n Q_2^n \backslash Q_1^n Q_0^n$		$Q_3^{n+1}$			
		00	01	11	10
00	×	0	0	×	
01	×	0	1	×	
11	×	×	×	×	
10	×	0	×	×	

$Q_3^n Q_2^n \backslash Q_1^n Q_0^n$		$Q_2^{n+1}$			
		00	01	11	10
00	×	×	1	×	
01	×	×	0	×	
11	×	×	×	×	
10	×	×	×	×	

$$Q_3^{n+1} = Q_2^n Q_1^n \overline{Q_3^n} = Q_2^n Q_1^n \overline{Q_3^n} + \overline{1} \cdot Q_3^n$$

$$Q_2^{n+1} = \overline{Q_2^n} = 1 \cdot \overline{Q_2^n} + \overline{1} \cdot Q_2^n$$

**注：不具备时钟条件的触发器，相应状态所对应的最小项应当成约束项处理**



		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_3^n Q_2^n$	00	×	1	0	×
	01	×	1	0	×
	11	×	×	×	×
	10	×	0	×	×

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_3^n Q_2^n$	00	1	0	0	1
	01	1	0	0	1
	11	×	×	×	×
	10	1	0	×	×

$$Q_1^{n+1} = \overline{Q_3^n} \cdot \overline{Q_1^n} = \overline{Q_3^n} \cdot \overline{Q_1^n} + \overline{1} \cdot Q_1^n$$

$$Q_0^{n+1} = \overline{Q_0^n} = 1 \cdot \overline{Q_0^n} + \overline{1} \cdot Q_0^n$$

### (3) 求驱动方程

直观起见，将状态方程重新列写如下：

$$\left\{ \begin{array}{ll} Q_3^{n+1} = Q_2^n Q_1^n \overline{Q_3^n} + \overline{1} \cdot Q_3^n & CP \downarrow \\ Q_2^{n+1} = 1 \cdot \overline{Q_2^n} + \overline{1} \cdot Q_2^n \cdot & Q_0 \downarrow \\ Q_1^{n+1} = \overline{Q_3^n} \cdot \overline{Q_1^n} + \overline{1} \cdot Q_1^n & Q_1 \downarrow \\ Q_0^{n+1} = 1 \cdot \overline{Q_0^n} + \overline{1} \cdot Q_0^n & Q_0 \downarrow \end{array} \right.$$

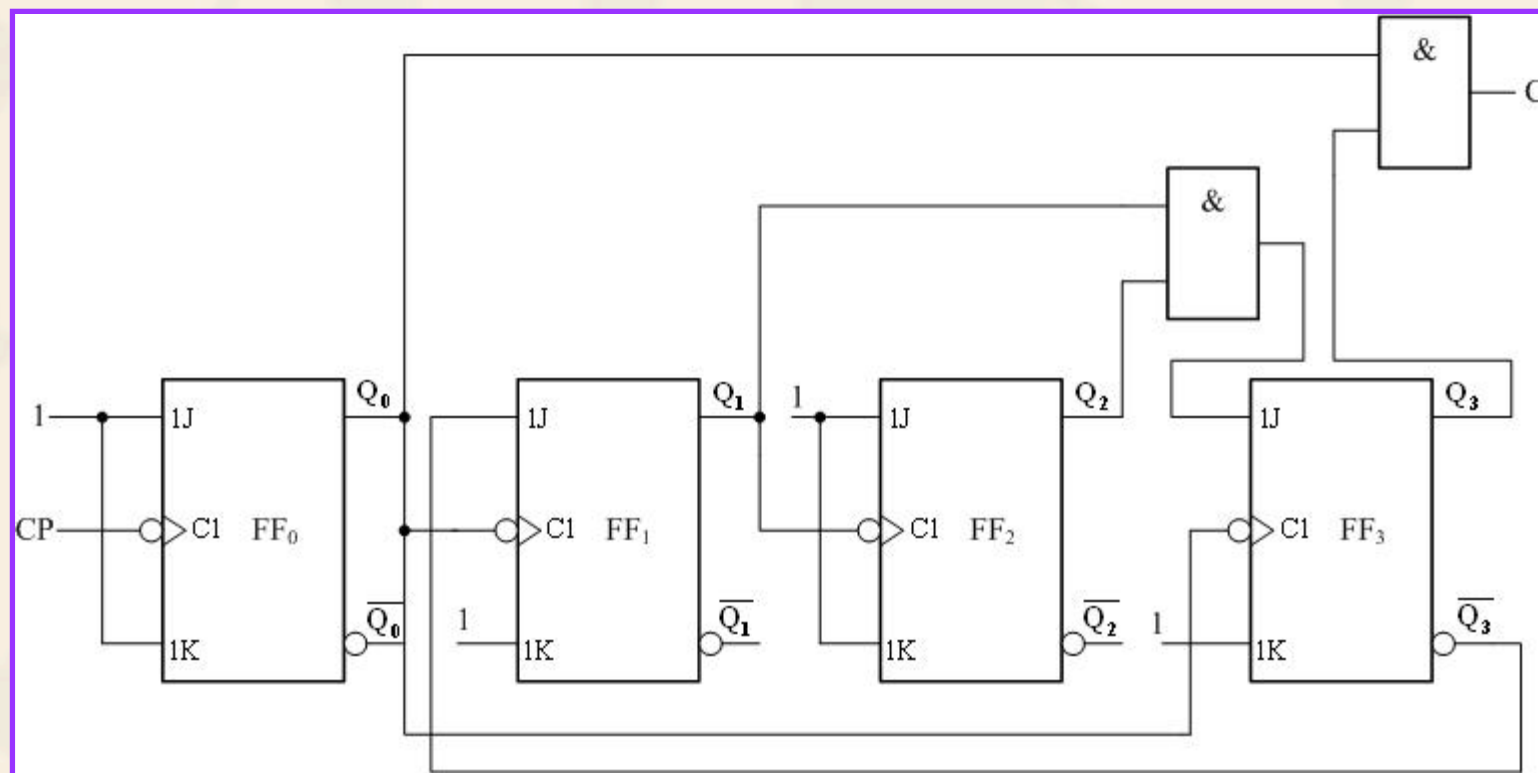
将状态方程与该特性方程比较可得：

$$\left\{ \begin{array}{ll} J_3 = Q_2^n Q_1^n & K_3 = 1 \\ J_2 = K_2 = 1 & \\ J_1 = \overline{Q_3^n} & K_1 = 1 \\ J_0 = K_0 = 1 & \end{array} \right.$$

边沿JK触发器的特性方程为：

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

#### (4) 画逻辑电路图



## (5) 检查电路能否自启动

将无效状态代入状态方程和输出方程得：

$$1010 \xrightarrow{/0} 1011 \xrightarrow{/1} 0100$$

$$1100 \xrightarrow{/0} 1101 \xrightarrow{/1} 0100$$

$$1110 \xrightarrow{/0} 1111 \xrightarrow{/1} 0000$$

可见，所设计的电路能够自启动。

**注：无效状态代入状态方程时，须判别每个方程式的有效时钟条件，不具备者相应触发器将保持原来状态不变。**



## 15.4 计 数 器

### 15.4.1 计数器的概念及分类

所谓计数，就是指记忆输入脉冲的个数，能实现计数功能的操作电路称之为计数器。

计数器是应用最广泛的逻辑部件之一，它不仅用于时钟脉冲计数，还用于定时分频、产生节拍脉冲以及数字运算等。

# 一、计数器的分类

按FF状态  
更新时刻或  
计数脉冲引  
入方式

- 同步 --所有FF的状态同时更新，共用一个CP
- 异步 --所有FF的状态不同时更新，不共用一个CP

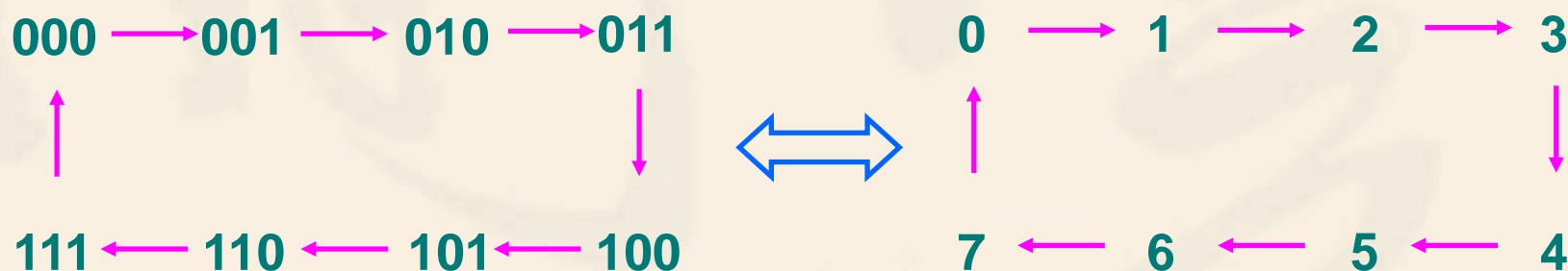
按数值增减  
趋势

- 加法计数器：每来一个计数脉冲，触发器组成的状态就按二进制代码规律增加，这种计数器又称加法计数器。
- 减法计数器：每来一个计数脉冲，触发器组成的状态，按二进制代码规律减少，又称为减法计数器。
- 可逆计数器 在加/减控制端控制下，做加减计数，又称为双向计数器

按状态变量  
使用的编码

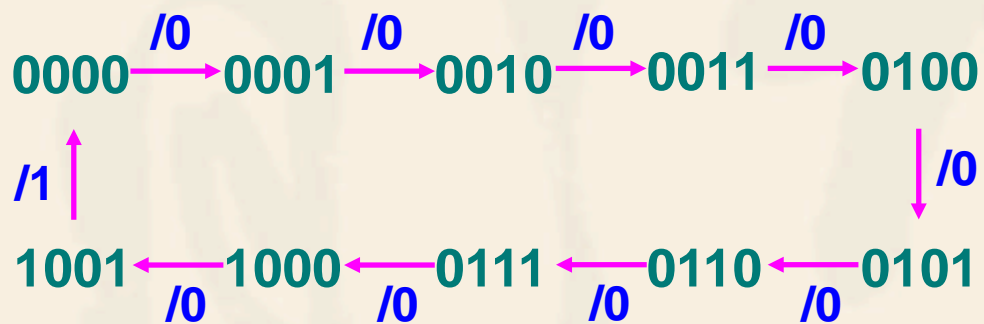
- 二进制计数器 Binary
- 二-十进制计数器 BCD
- N 进制计数器 Another

二进制计数器是按二进制的规则进行计数的， $n$ 位二进制计数器即 $2^n$ 进制计数器，其有效循环中的有效状态数是 $2^n$ 。例如：

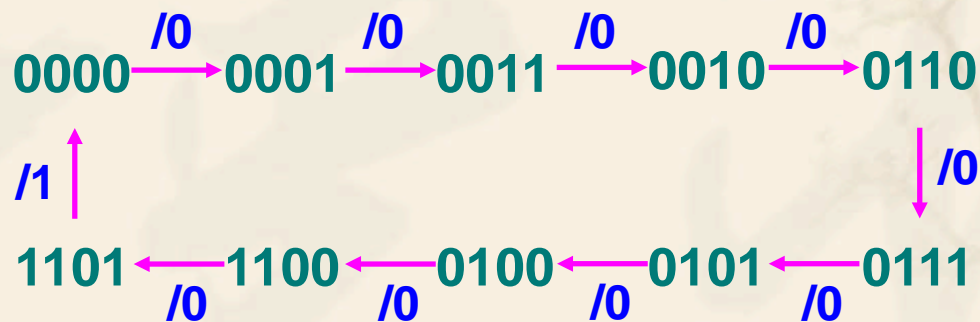


三位二进制计数器（八进制计数器）

## 自然二进制码排列的加法计数器：



## 循环码排列的加法计数器：





## 几种中规模集成计数器:

CP 脉冲 引入方式	型 号	计数模式	清零方式	预置数方式
异 步	74293	二·八·十六进制加	异步 (高电平)	无
	74290	二·五·十进制加	异步 (高电平)	无
同 步	74160	十进制加法	异步 (低电平)	同步 (低有效)
	74161	4 位二进制加法	异步 (低电平)	同步 (低有效)
	74HC161	4 位二进制加法	异步 (低电平)	同步 (低有效)
	74162	十进制加法	同步 (低电平)	同步 (低有效)
	74163	4 位二进制加法	同步 (低电平)	同步 (低有效)
	74192	十进制可逆	异步 (高电平)	异步 (低有效)
	74193	4 位二进制可逆	异步 (高电平)	异步 (低有效)

## 15.4.2 二进制计数器的设计

分析设计方法：

- (1)分析计数状态表，观察找各触发器状态翻转的规律；
- (2)根据所用触发器确定电路连线。

# 一、异步二进制计数器的设计（以三位二进制为例）

## 1.加计数器设计

### (1)列计数状态表：

分析：

① 清零

②  $F_0 \rightarrow$  计数翻转，  
 $CP_0 \rightarrow$  计数输入CP，  
用T' 触发器。

③  $F_1 \rightarrow$  计数翻转，  
 $CP_1 \rightarrow Q_0(1 \rightarrow 0)$ ，  
用T' 触发器。

④  $F_2 \rightarrow$  计数翻转，  
 $CP_2 \rightarrow Q_1(1 \rightarrow 0)$ ，  
用T' 触发器

态序	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

## (2)规律:

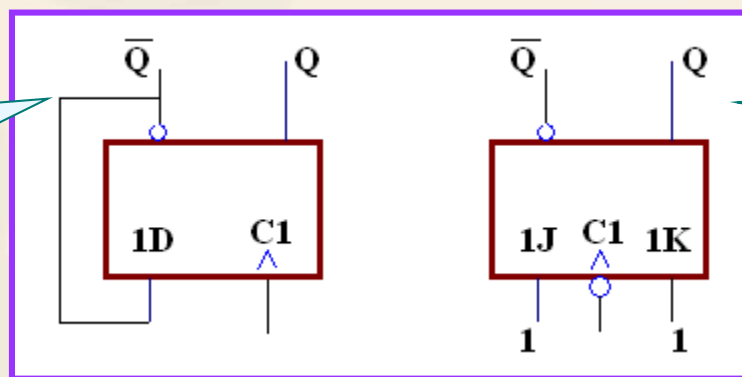
最低位触发器:  $CP \rightarrow CP_0$ , 计翻;

其他触发器 : 只在相邻低位Q (由1 $\rightarrow$ 0), 有CP,计翻。

D触发器:  $CP \uparrow$  有效,  $CP_i = \overline{Q_{i-1}}$

JK触发器:  $CP \downarrow$  有效,  $CP_i = Q_{i-1}$

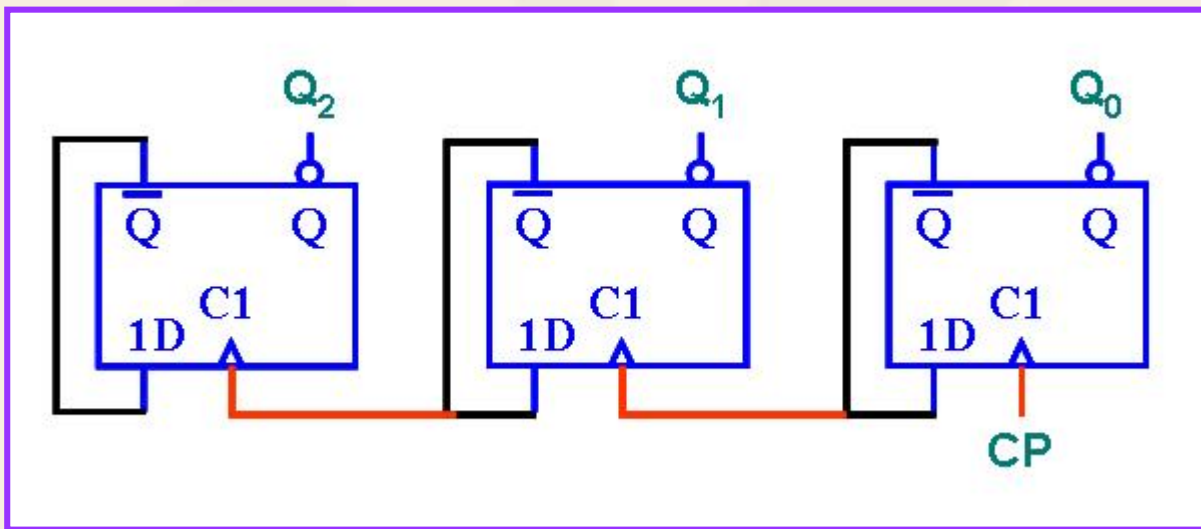
由D触发器构成T'触发器。



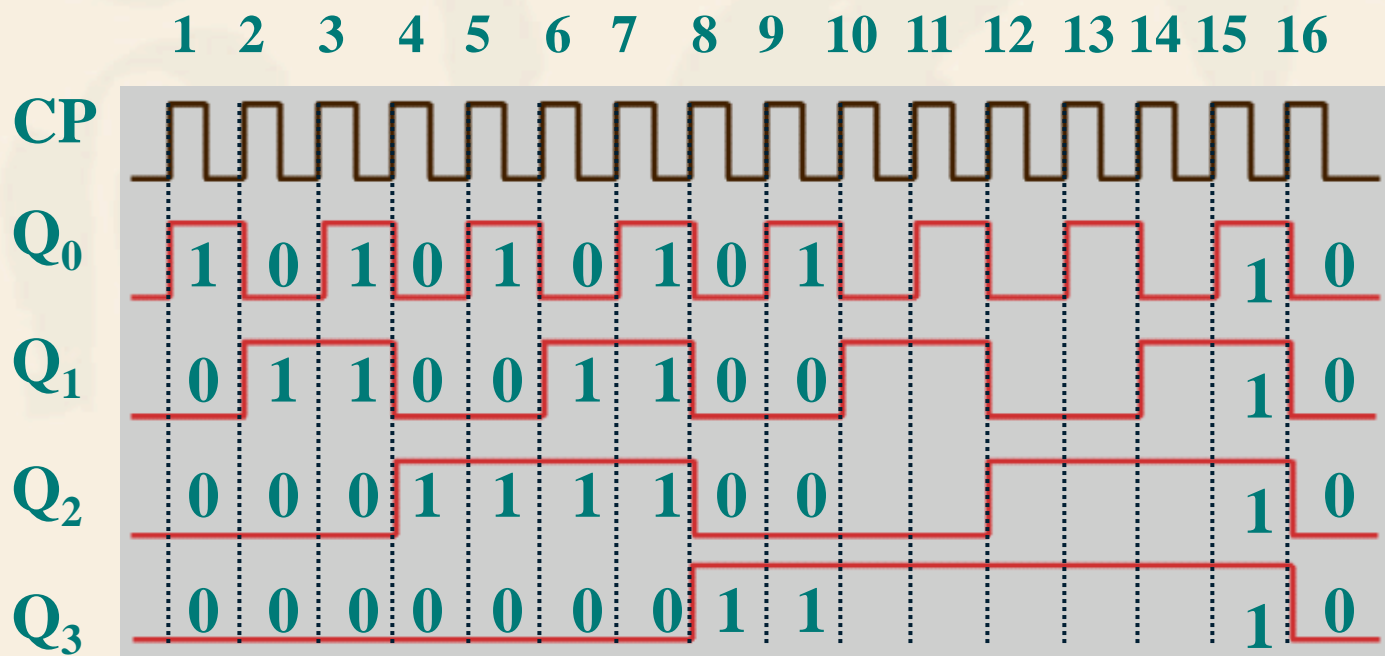
由JK触发器构成T'触发器。



### (3)逻辑电路



(4)时序图(本图为四触发器输出的情况，只看 $Q_0 \sim Q_2$ 输出波形即可)



从时序图可以看出，若计数输入脉冲频率为  $f_0$ ，则  $Q_0$ 、 $Q_1$ 、 $Q_2$  端输出脉冲的频率依次为  $f_0 / 2$ 、 $f_0 / 4$ 、 $f_0 / 8$ ，即为计数器的分频功能。

## 2.减计数器设计

### (1)列计数状态表:

分析:

① 清零

②  $F_0 \rightarrow$  计数翻转,  
 $CP_0 \rightarrow$  计数输入CP,  
用T' 触发器。

③  $F_1 \rightarrow$  计数翻转,  
 $CP_1 \rightarrow Q_0(0 \rightarrow 1)$ ,  
用T' 触发器。

④  $F_2 \rightarrow$  计数翻转,  
 $CP_2 \rightarrow Q_1(0 \rightarrow 1)$ ,  
用T' 触发器

态序	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

## (2)规律:

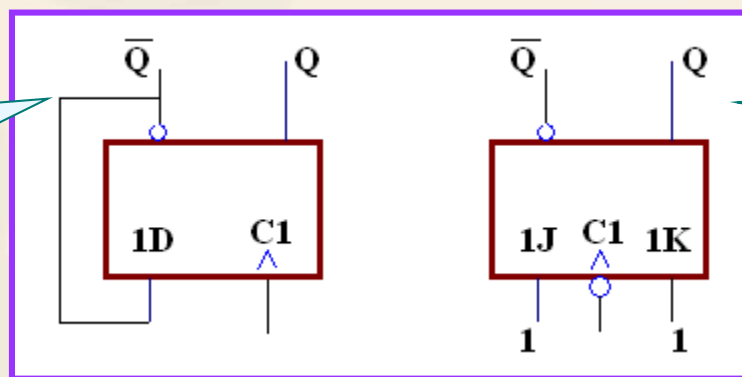
最低位触发器:  $CP \rightarrow CP_0$ , 计翻;

其他触发器 : 只在相邻低位Q (由0 $\rightarrow$ 1), 有CP,计翻。

D触发器:  $CP \uparrow$  有效,  $CP_i = Q_{i-1}$

JK触发器:  $CP \downarrow$  有效,  $CP_i = \overline{Q_{i-1}}$

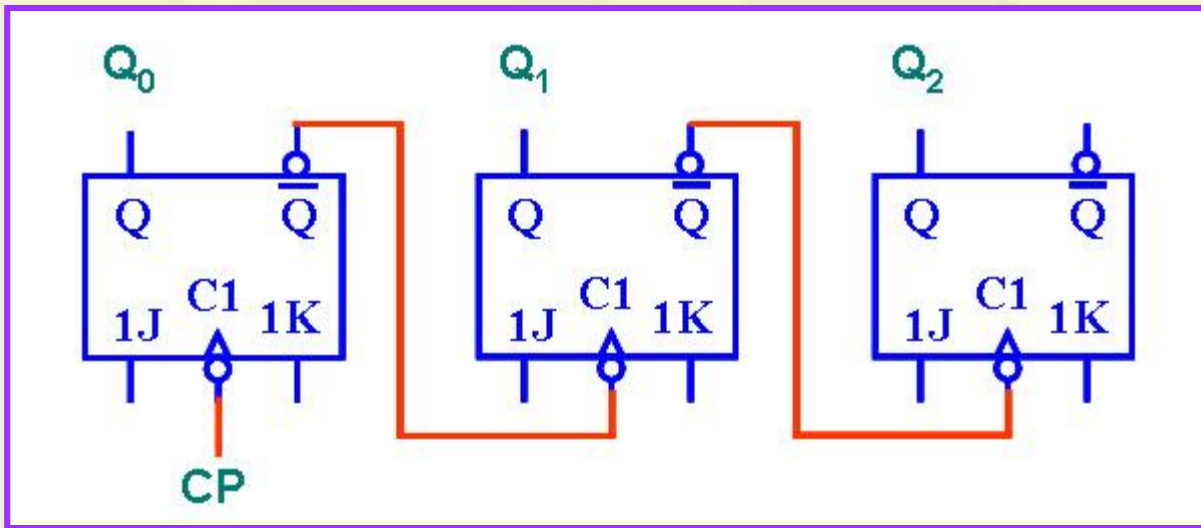
由D触发器构成T'触发器。



由JK触发器构成T'触发器。



### (3)逻辑电路

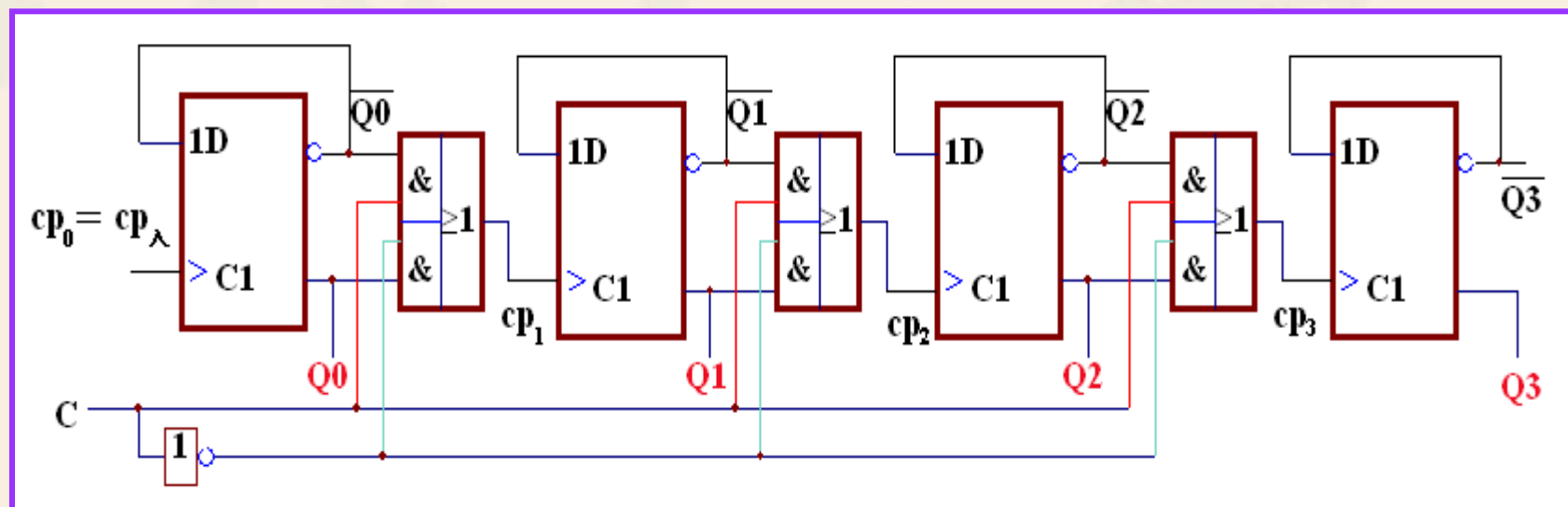


### (4)时序图(略)

### 3.可逆计数器设计

设置控制端C，如设C=1时：加计数；( $CP_i = \overline{Q_{i-1}}$ )  
C=0时：减计数。( $CP_i = Q_{i-1}$ )

加选通门即可实现。



## 异步计数器的特点：

(1)无统一CP，输入时钟信号只作用于最低位触发器。

(2)各触发器间串行连接，即状态更新逐级进行。速度慢，可能会出现毛刺。

(3)主要用于分频、定时，低速计数等。

## 二、同步二进制计数器的设计

### 1. 加计数器设计

同步计数器  $CP_0 = CP_1 = CP_2 = CP$

#### (1) 列计数状态表:

分析:

① 清零

②  $F_0 \rightarrow$  计数翻转,  
T触发器,  $T_0=1$

③  $F_1 \rightarrow$  计数翻转,  
T触发器,  $T_1=Q_0$

④  $F_2 \rightarrow$  计数翻转,  
T触发器,  $T_2=Q_1Q_0$

态序	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

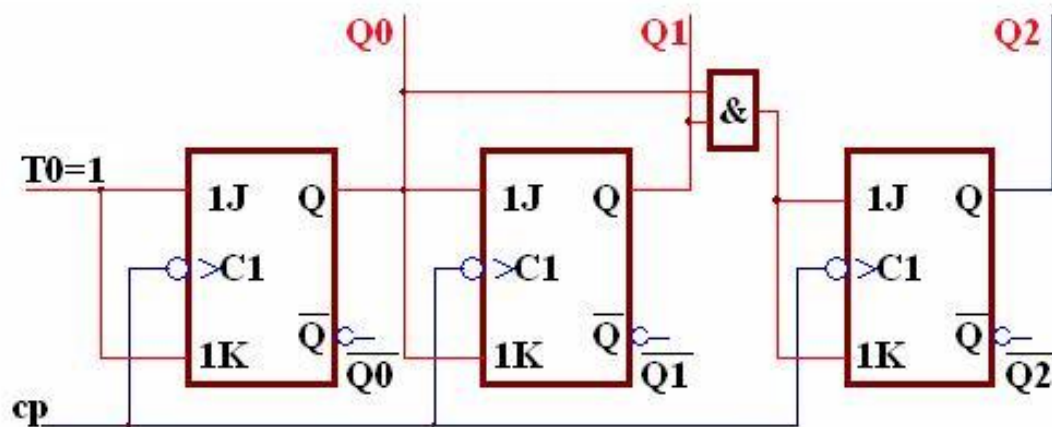


## (2) 逻辑电路实现

用D实现： $D = T \oplus Q^n$

用JK实现： $J = K = T$       多用JK 触发器。

$T_0=1$ ,  $T_1=Q_0$ ,  $T_2=Q_1Q_0$ , 用JK实现： $J=K=T$



## 二、同步二进制计数器的设计

### 2.减计数器设计

同步计数器 $CP_0 = CP_1 = CP_2 = CP$

#### (1)列计数状态表:

分析:

① 清零

②  $F_0 \rightarrow$ 计数翻转,  
T触发器,  $T_0=1$

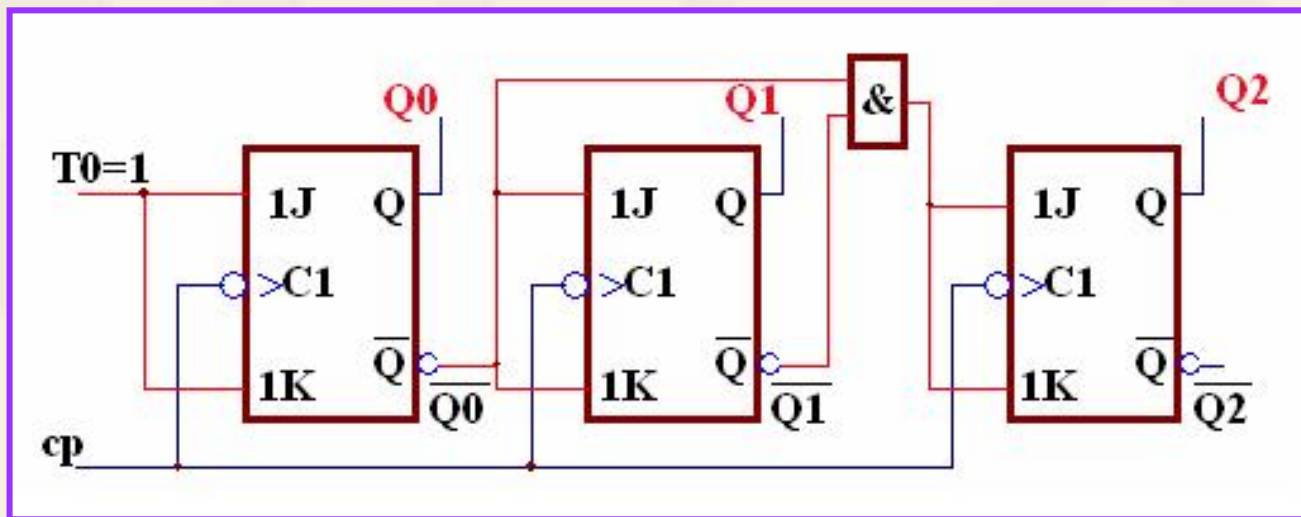
③  $F_1 \rightarrow$ 计数翻转,  
T触发器,  $T_1=\overline{Q_0}$

④  $F_2 \rightarrow$ 计数翻转,  
T触发器,  $T_2=\overline{Q_1}\overline{Q_0}$

态序	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

## (2)逻辑电路实现

$T_0=1, T_1=\overline{Q_0}, T_2=\overline{Q_1}\overline{Q_0}$ , 用JK实现:  $J=K=T$



## 同步计数器的特点：

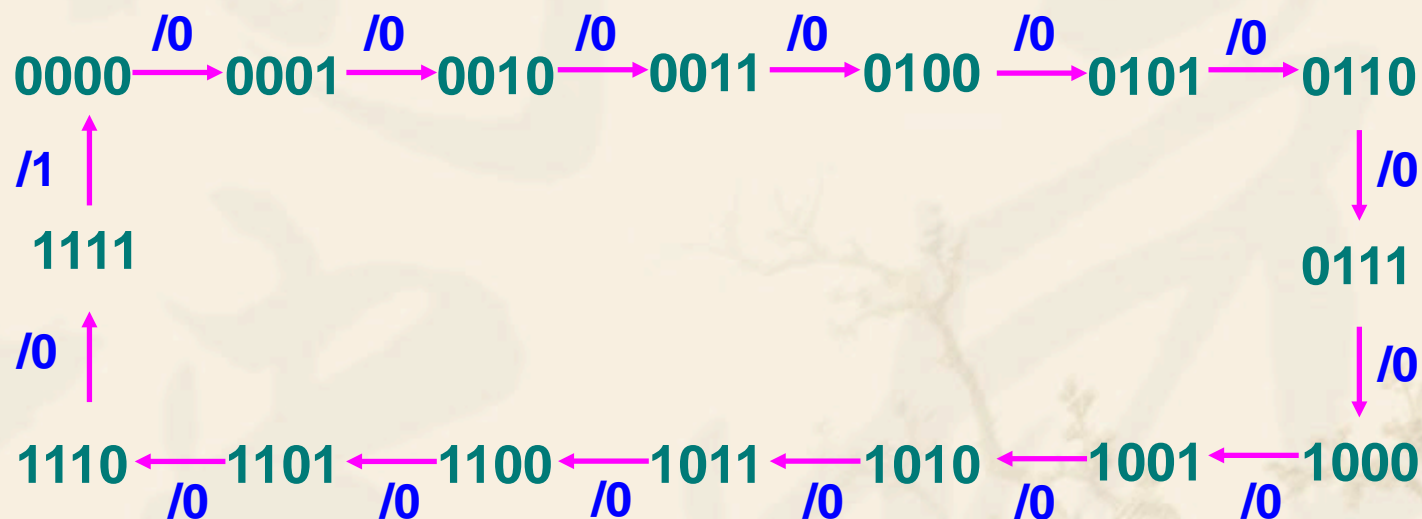
- (1)有统一的CP，状态更新与CP同步。共用信号源，CP负载较重。
- (2)速度快，主要用于构成任意进制计数器、地址计数器、脉冲发生器等。



### 15.4.3 集成二进制计数器

本节以四位二进制加法计数器74161为例进行阐述。

状态图如下：

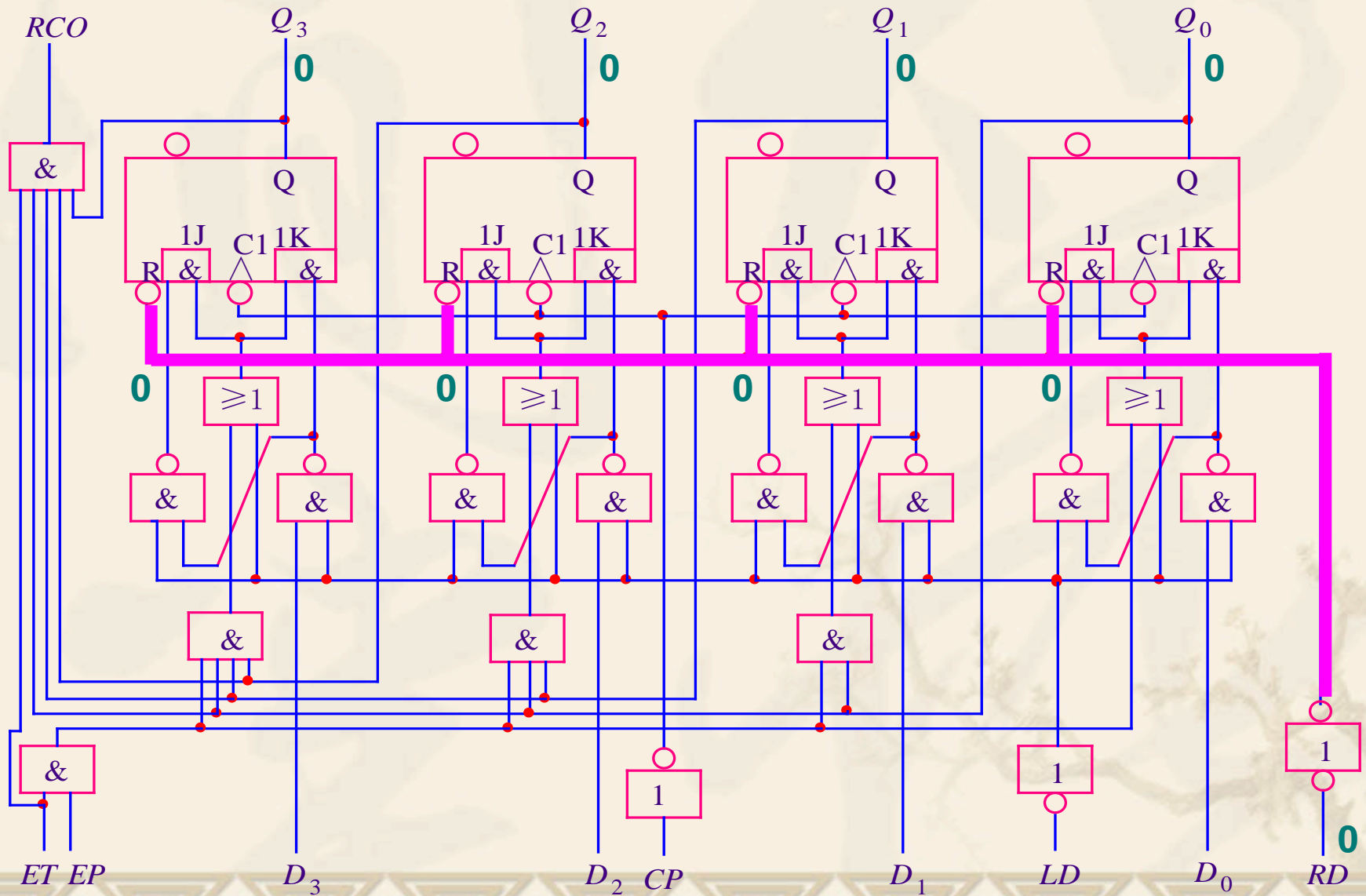


74161功能表:

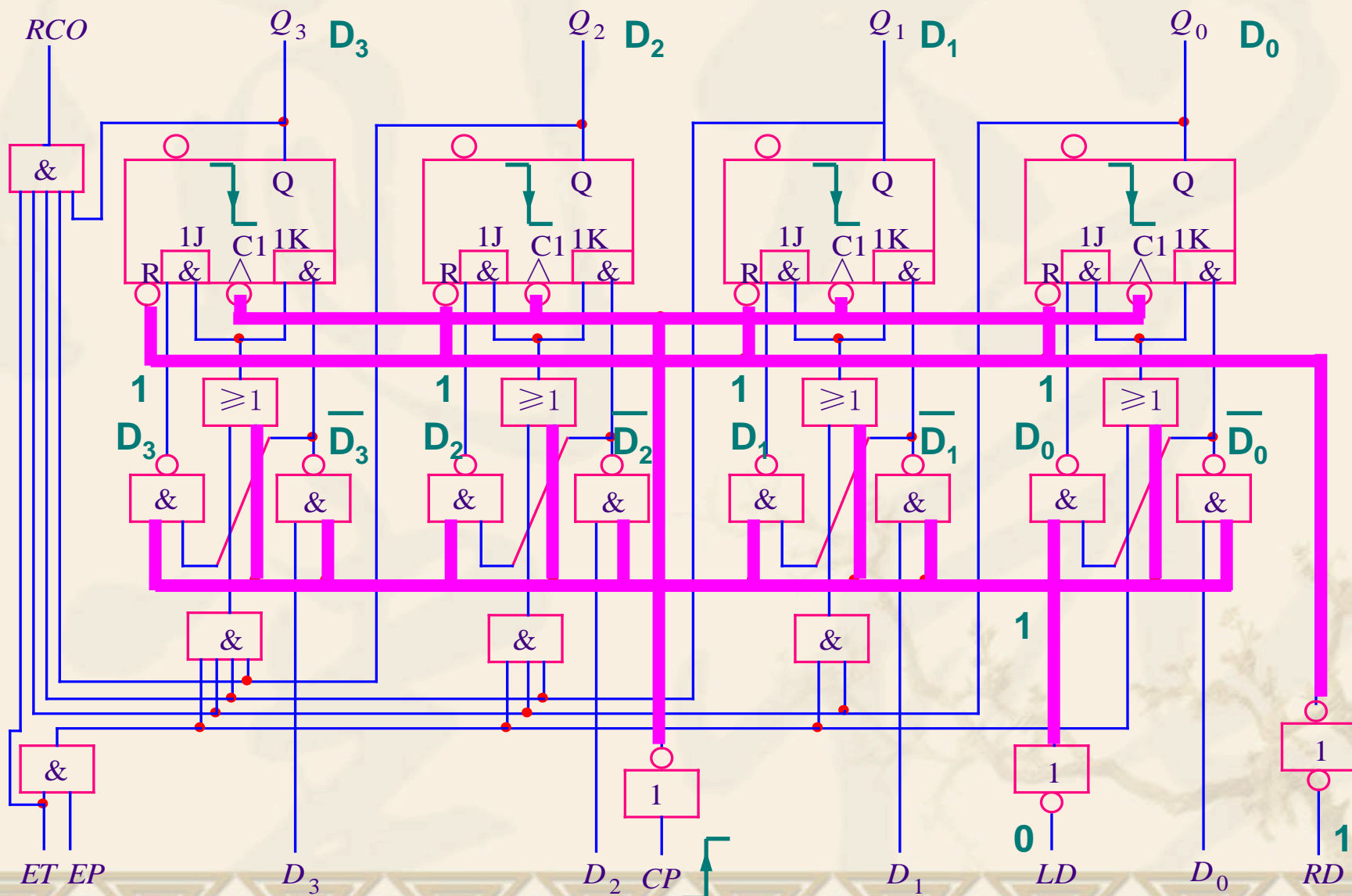
清 零	预 置	使能		时 钟	预置数据输入				输出				工作模式
$\overline{\text{CR}}$	$\overline{\text{LD}}$	$\text{CT}_\text{P}$	$\text{CT}_\text{T}$	$\text{CP}$	$\text{D}_3$	$\text{D}_2$	$\text{D}_1$	$\text{D}_0$	$\text{Q}_3$	$\text{Q}_2$	$\text{Q}_1$	$\text{Q}_0$	$\text{CO}=\text{CT}_\text{T}\text{Q}_3\text{Q}_2\text{Q}_1\text{Q}_0$
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	×	×	↑	$\text{d}_3$	$\text{d}_2$	$\text{d}_1$	$\text{d}_0$	$\text{d}_3$	$\text{d}_2$	$\text{d}_1$	$\text{d}_0$	同步置数
1	1	0	×	×	×	×	×	×	保持				数据保持
1	1	×	0	×	×	×	×	×	保持				数据保持
1	1	1	1	↑	×	×	×	×	计数				加法计数

- (1) 异步清零:  $\overline{\text{CR}}=0$ , 则触发器立刻被清“0”, 即 $\text{Q}_3\text{Q}_2\text{Q}_1\text{Q}_0=0000$
- (2) 同步置数: 前提条件:  $\overline{\text{CR}}=1$ ,  $\text{CP}\uparrow$ 。此时若 $\overline{\text{LD}}=0$ , 则触发器预置数, 即 $\text{Q}_3\text{Q}_2\text{Q}_1\text{Q}_0=\text{D}_3\text{D}_2\text{D}_1\text{D}_0$ 。
- (3) 保持:  $\text{CT}_\text{T}=1, \text{CT}_\text{P}=0 (\overline{\text{LD}}=\overline{\text{CR}}=1)$ , 此时 $\text{Q}_3\text{Q}_2\text{Q}_1\text{Q}_0$ 和 $\text{CO}$ 保持不变  
 $\text{CT}_\text{T}=0, \text{CT}_\text{P}=1 (\overline{\text{LD}}=\overline{\text{CR}}=1)$ , 此时 $\text{Q}_3\text{Q}_2\text{Q}_1\text{Q}_0$ 保持不变,  $\text{CO}=0$
- (4) 计数:  $\text{CT}_\text{T}=\text{CT}_\text{P}=\overline{\text{LD}}=\overline{\text{CR}}=1$ , 此时计数器进行计数

(1) 异步清零: RD=0, 则触发器立刻被清“0”, 即 $Q_3Q_2Q_1Q_0=0000$ , 正常状态, RD=1



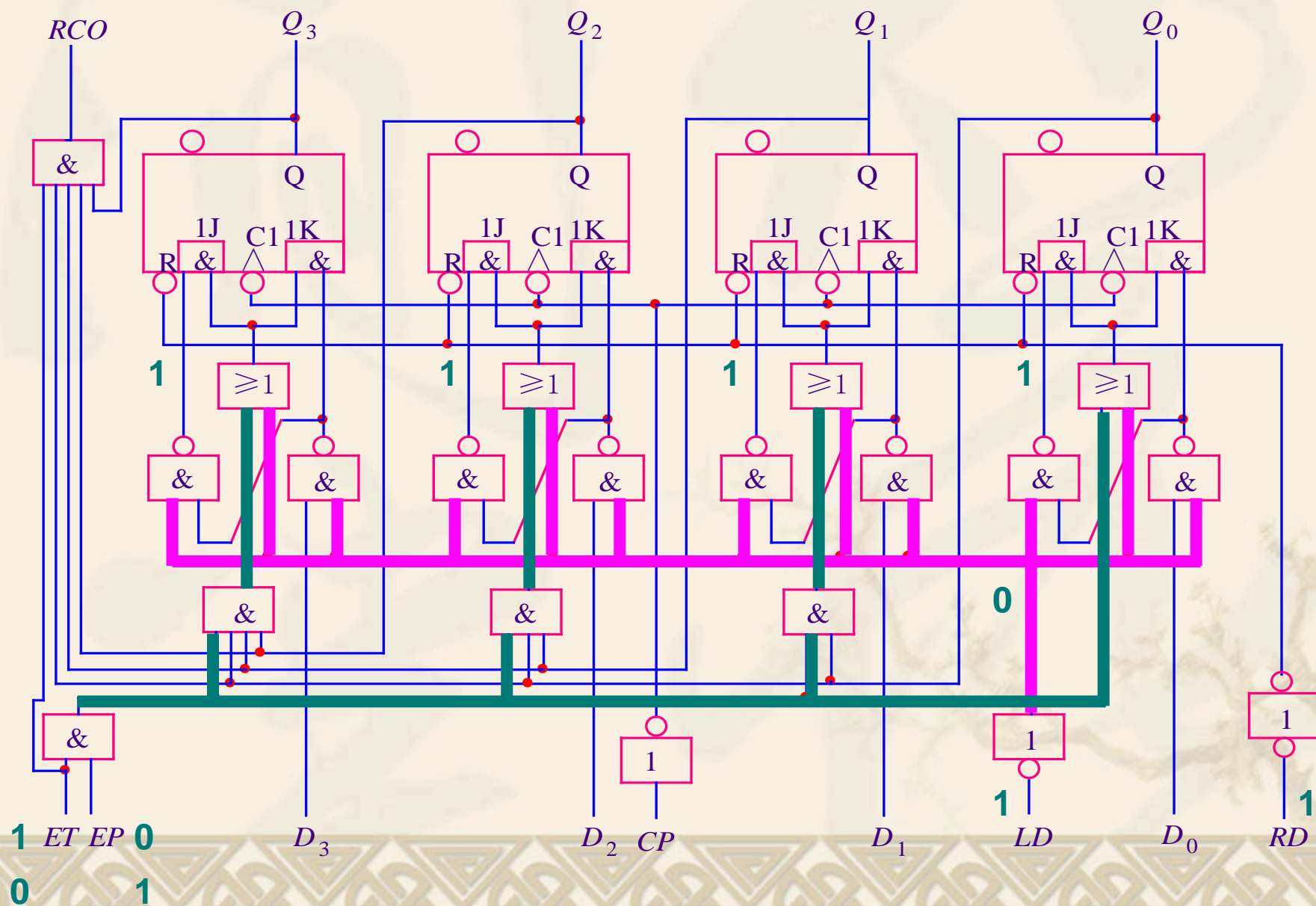
(2) 同步置数：前提条件：RD=1，CP↑。此时若LD=0，则触发器预置数，即 $Q_3Q_2Q_1Q_0=D_3D_2D_1D_0$ 。正常状态，LD=1



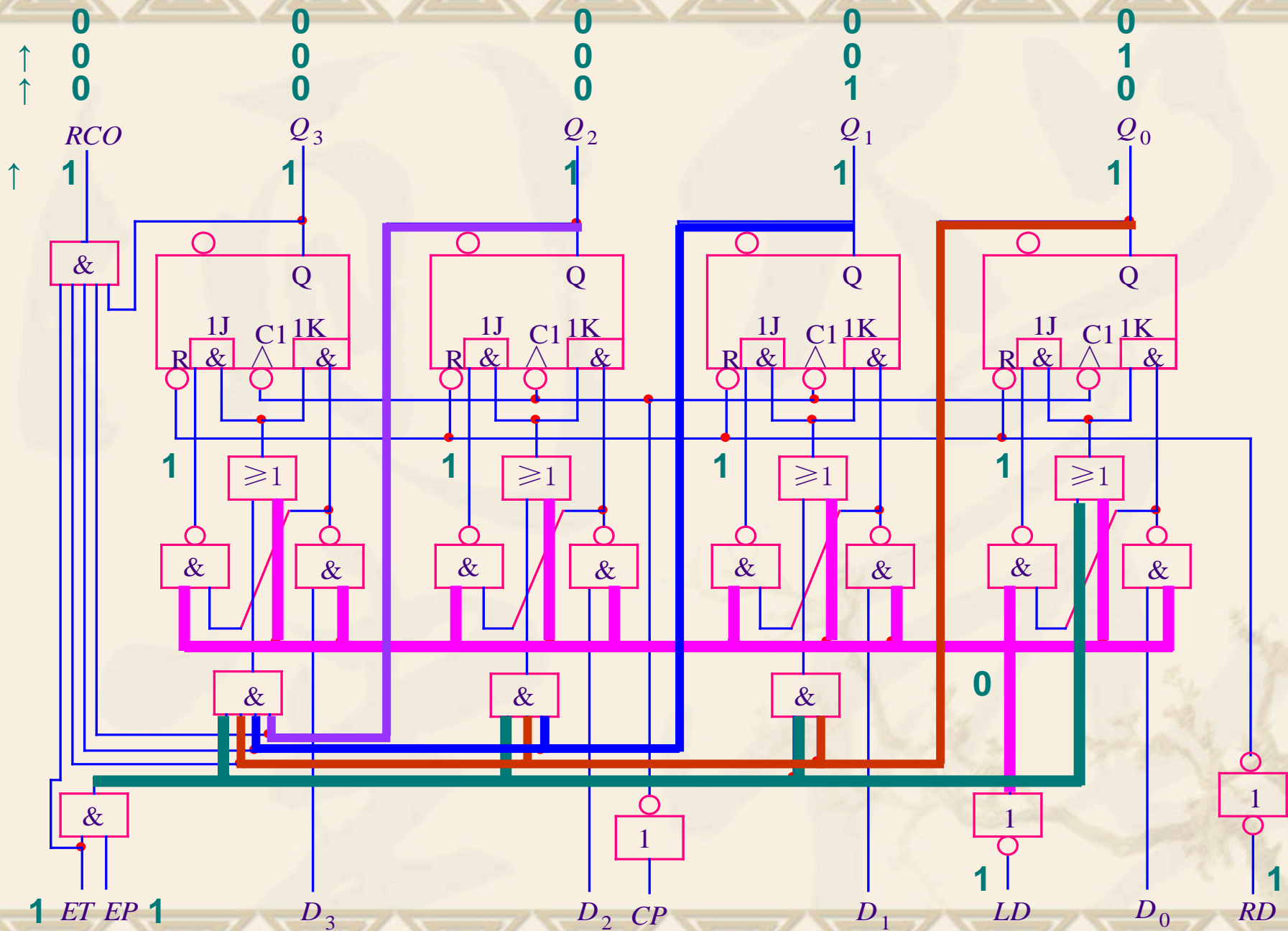


(3) 保持:  $ET=1, EP=0 (LD=RD=1)$ , 此时  $Q_3Q_2Q_1Q_0$  和  $RCO$  保持不变

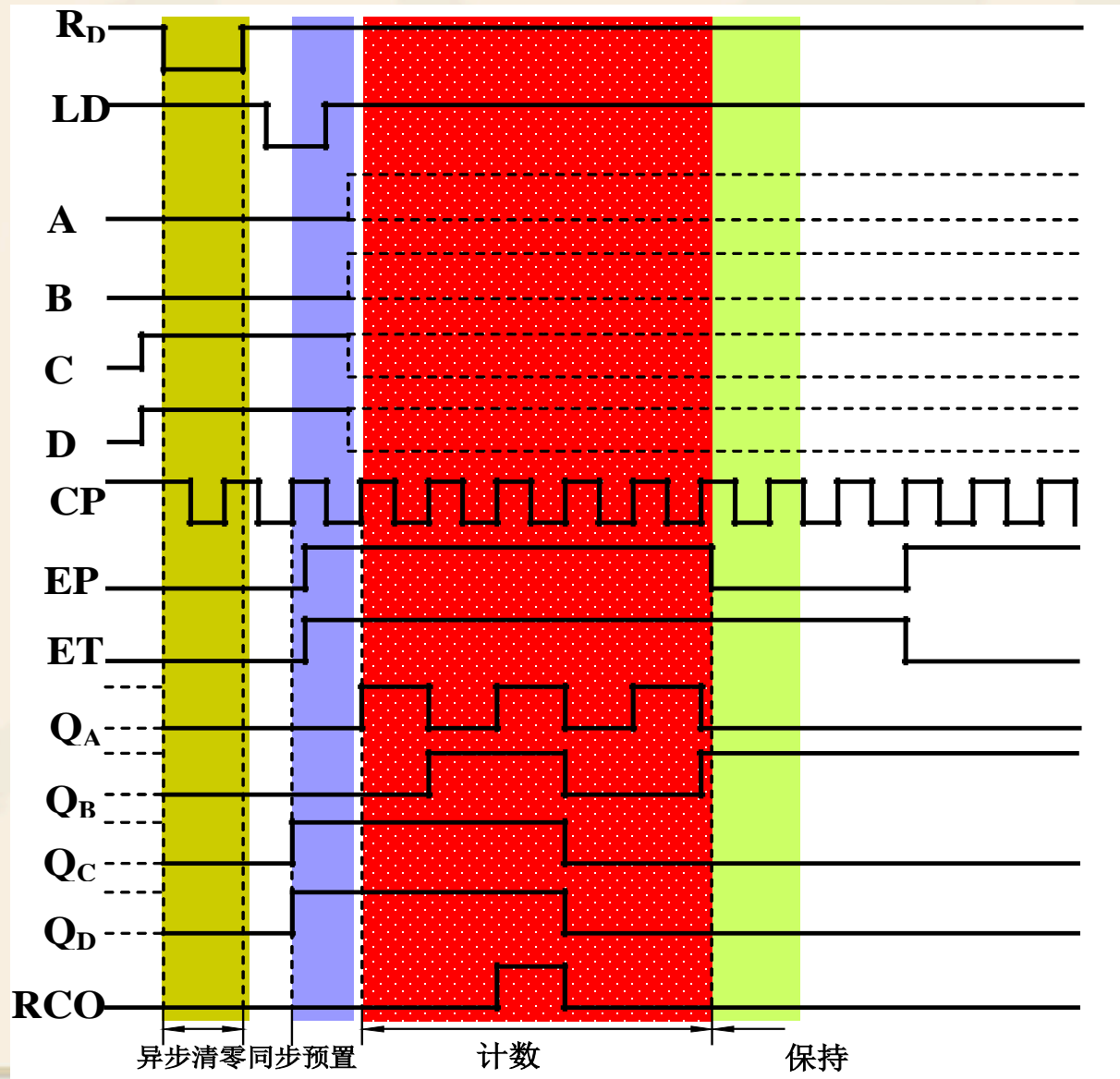
$ET=0, EP=1 (LD=RD=1)$ , 此时  $Q_3Q_2Q_1Q_0$  保持不变,  $RCO=0$



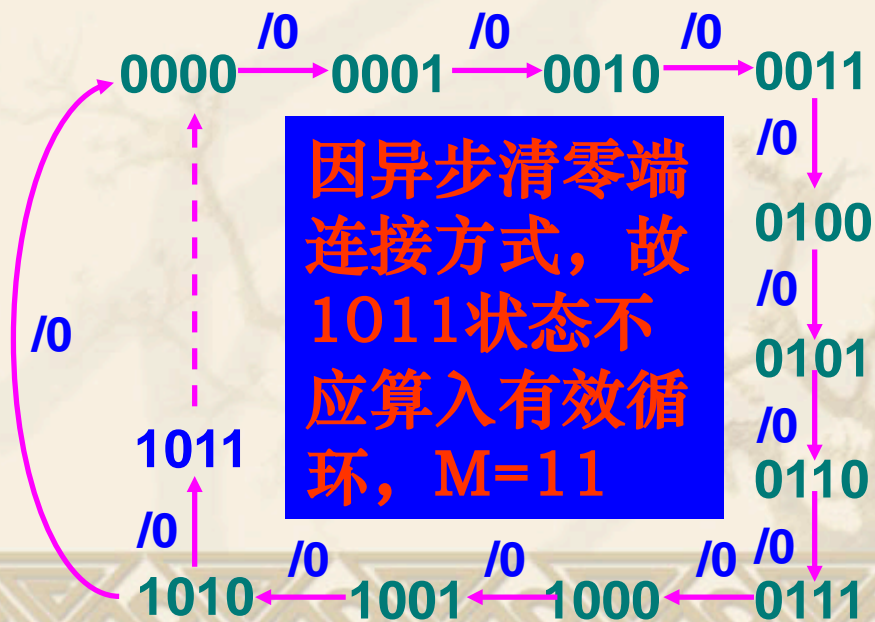
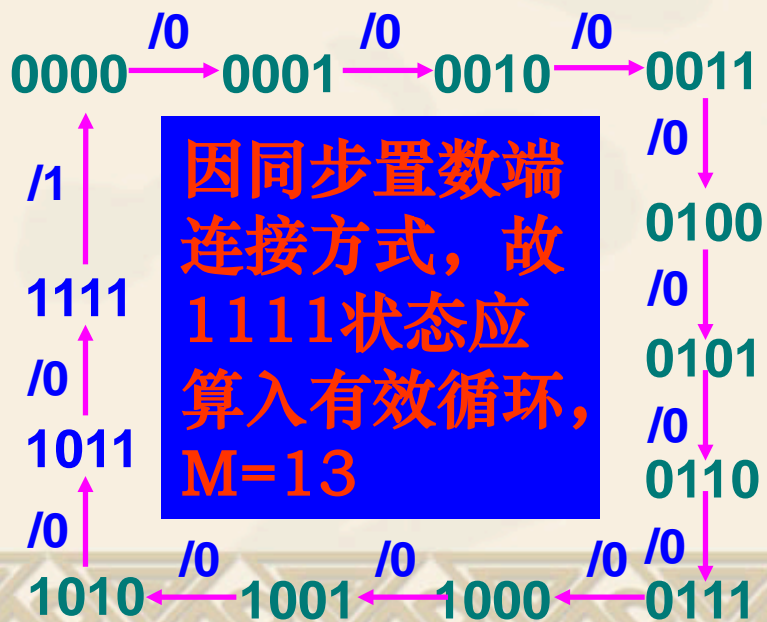
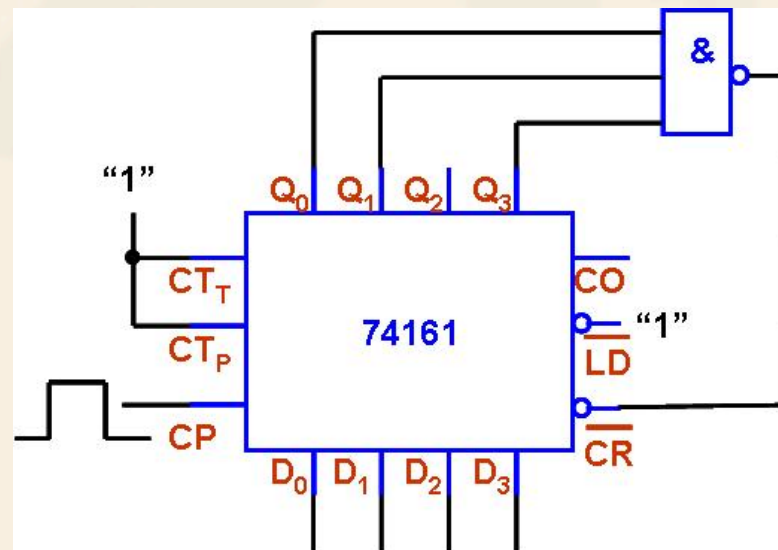
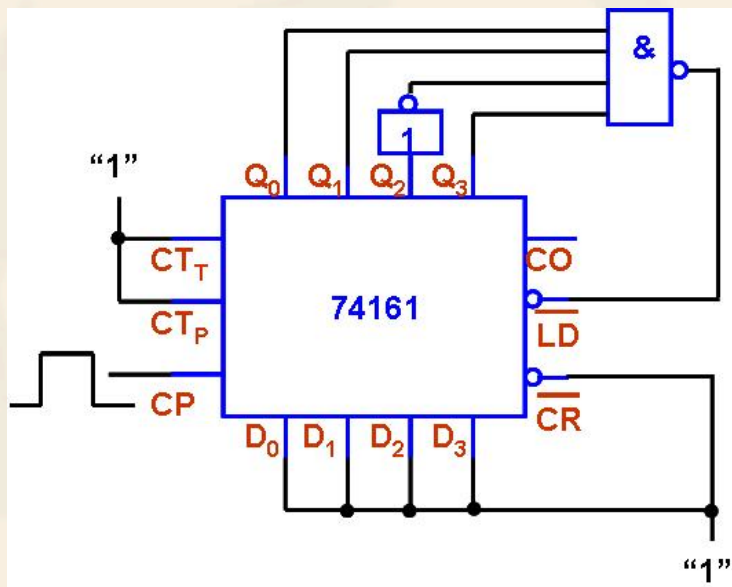
(4) 计数：ET=EP=LD=RD=1，此时计数器进行计数



## 74161的时序图



**例1：**分析下图所示电路的计数长度M为多少，并画出相应的状态转换图。

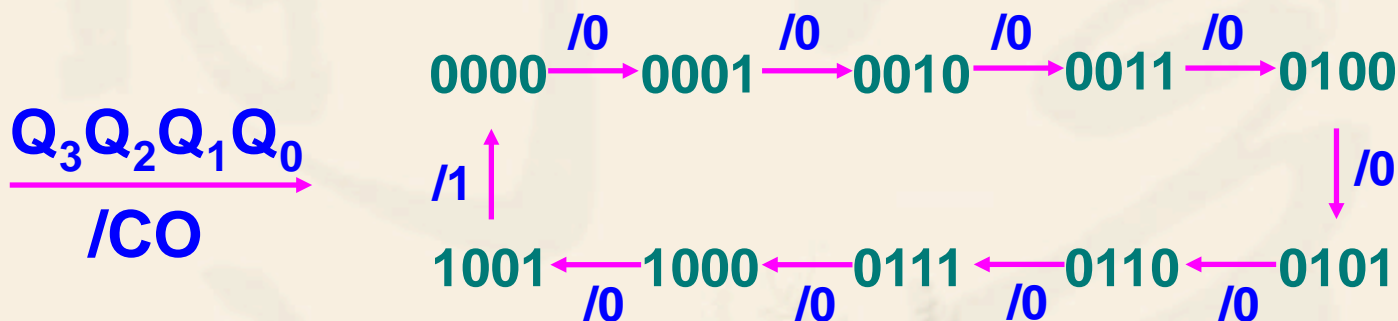




## 15.4.4 集成十进制计数器

集成十进制计数器一般有74160或CC40160，以74160为例

状态图如下：

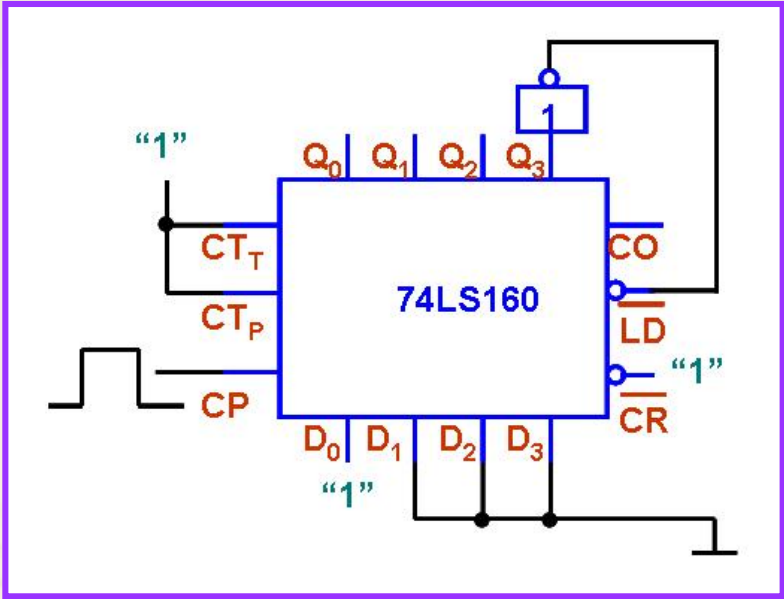
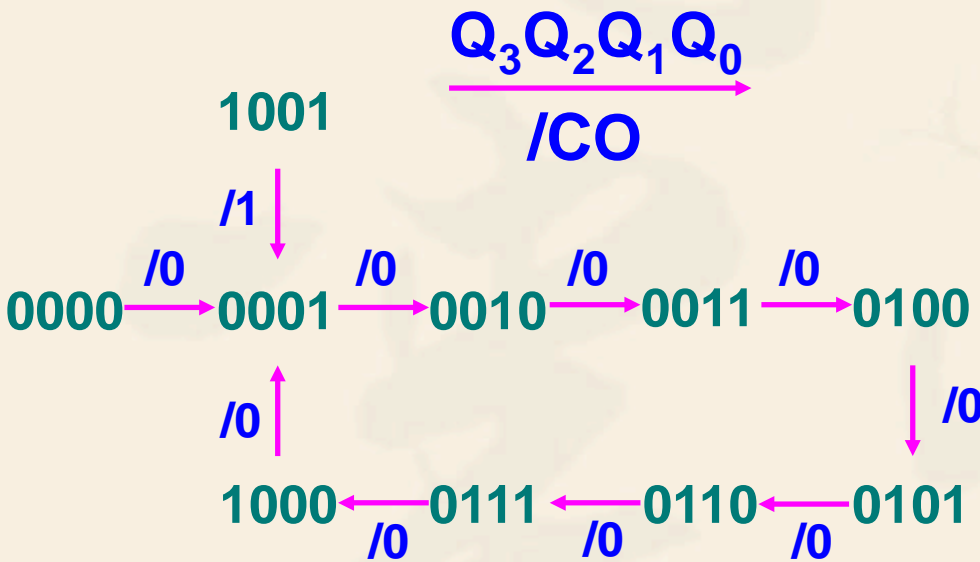


74160用法和74161一样，只是计数容量不同

例1：74LS160为十进制计数器，试画出下图的状态转换图，并说明是几进制计数器。

注意：

- (1) 由状态转换图判断为几进制计数器时，判断依据为有效循环中含有几个CP脉冲
- (2) 画状态转换图时应将所有状态列全



由状态转换图可知，该电路是八进制加法计数器

## 15.4.5 二一五一十进制计数器

以74290为例，其功能表如下：

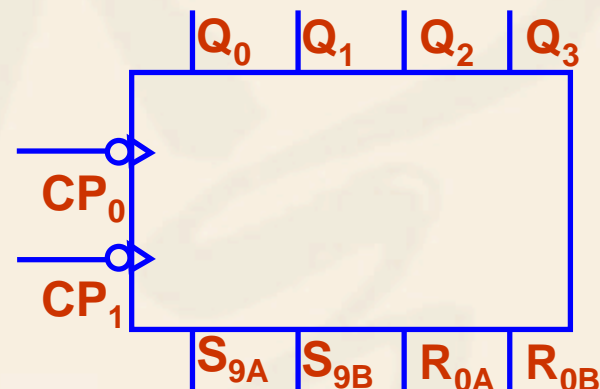
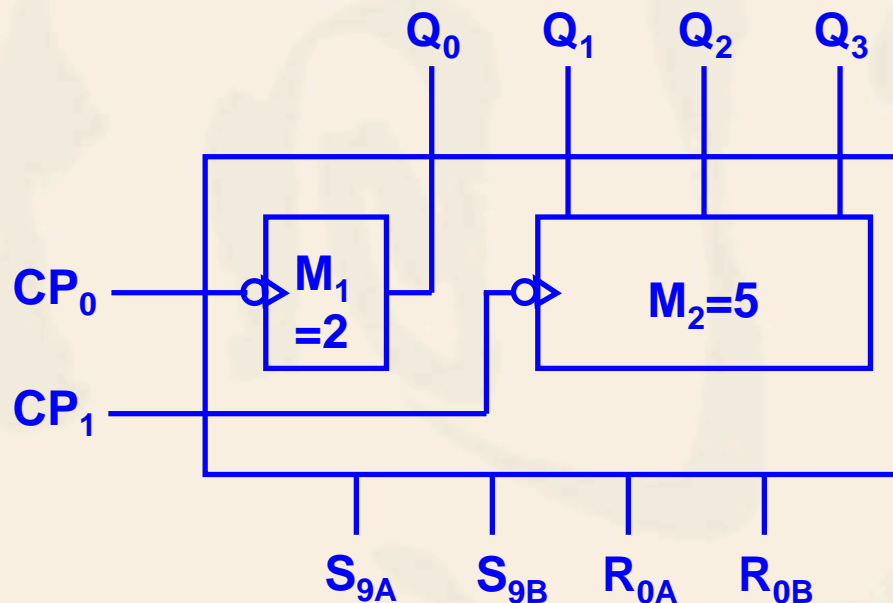
74290 的功能表

复位输入		置位输入		时钟	输出				工作模式
$R_{0A}$	$R_{0B}$	$S_{9A}$	$S_{9B}$	$CP$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	
1	1	0	×	×	0	0	0	0	异步清零
1	1	×	0	×	0	0	0	0	
×	×	1	1	×	1	0	0	1	异步置数
0	×	0	×	↓	计 数				加法计数
0	×	×	0	↓	计 数				
×	0	0	×	↓	计 数				
×	0	×	0	↓	计 数				

若 $S_{9A}S_{9B}=0$ ，且 $R_{0A}R_{0B}=1$ ，则异步清“0” 若 $S_{9A}S_{9B}=0$ ，且 $R_{0A}R_{0B}=0$ ，则计数。

若 $S_{9A}S_{9B}=1$ ，异步置“9”

74290结构框图和逻辑功能示意图分别如下：

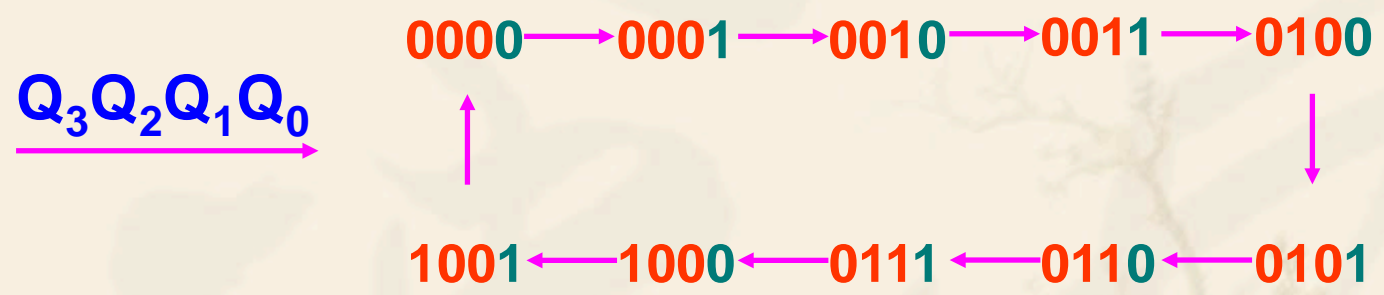
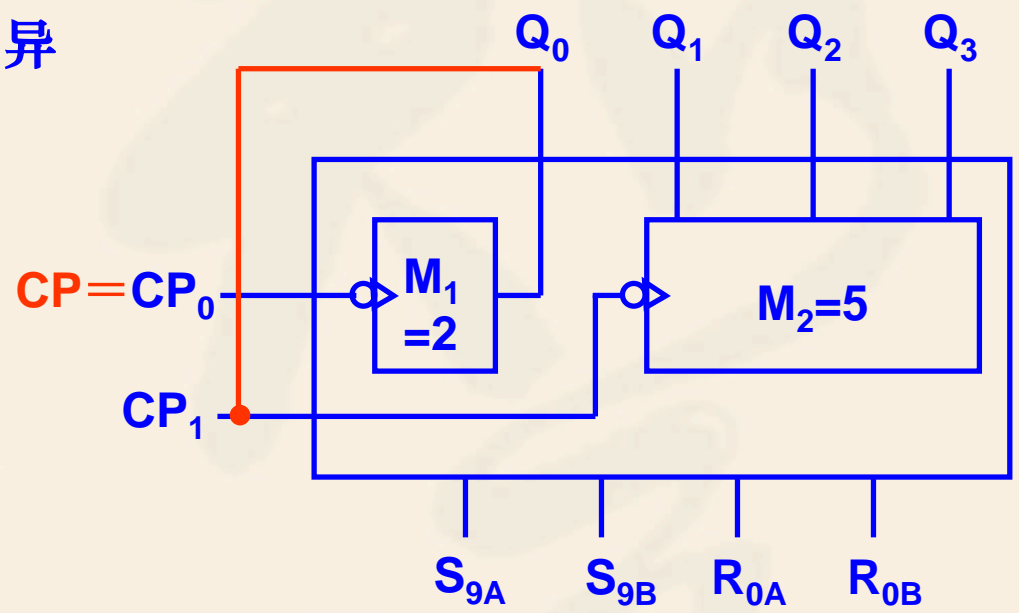
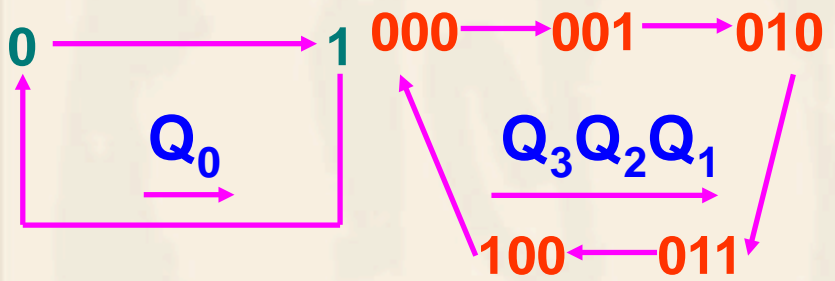


下面对其功能进行分析：

- (1)  $CP_0$ 接CP时，与 $Q_0$ 共同构成二进制计数器
- (2)  $CP_1$ 接CP时，与 $Q_3$ 、 $Q_2$ 、 $Q_1$ 共同构成五进制计数器

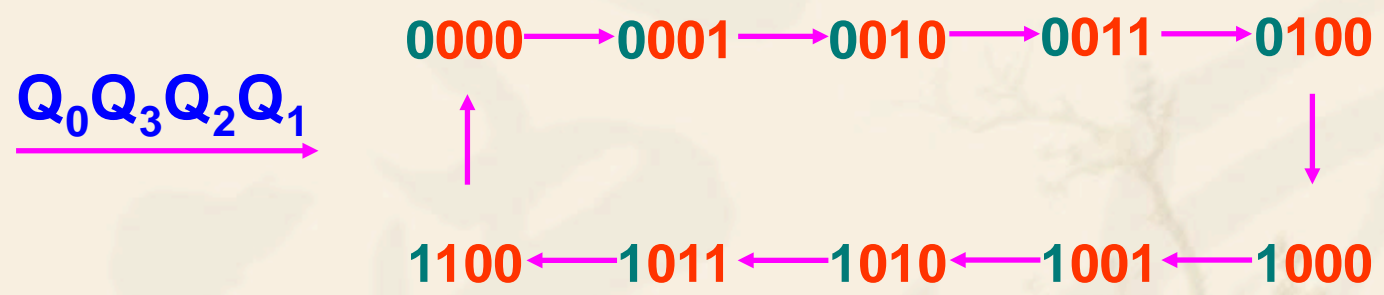
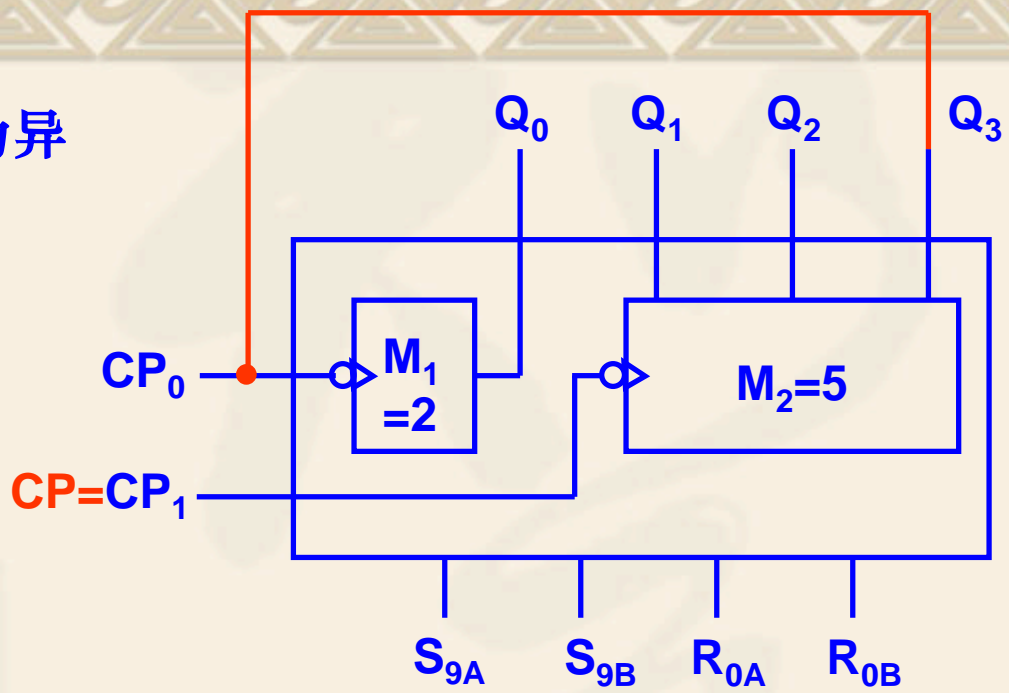
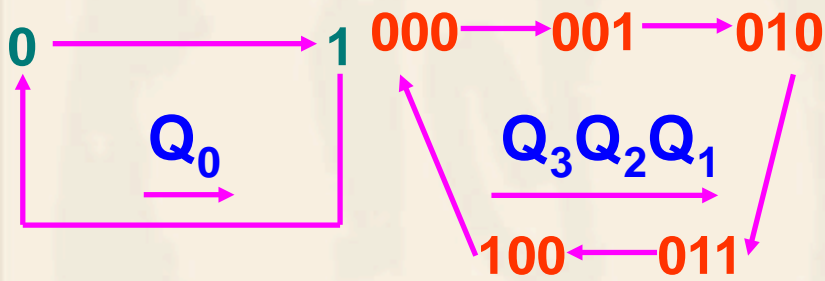


(3)  $CP_0$ 接CP,  $CP_1$ 接 $Q_0$ 时, 则为异步的十进制 (8421码) 计数器



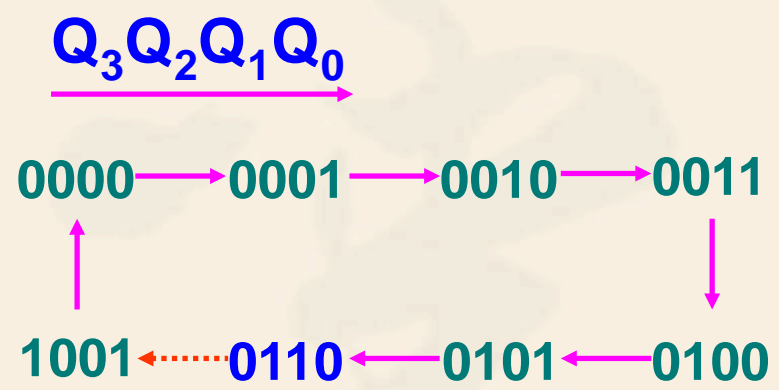
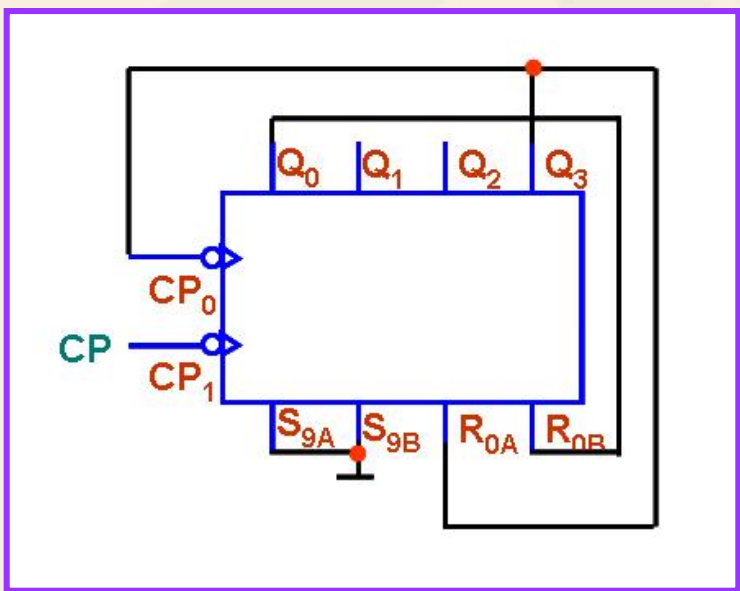
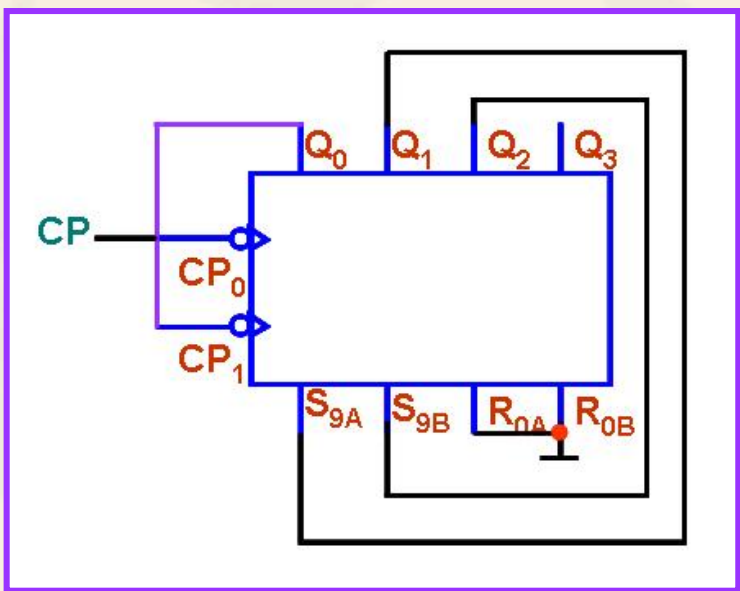
当 $Q_0$ 出现1→0下降沿, 即 $CP_1$ 出现计数脉冲时, 五进制计数器加一

(4)  $CP_1$ 接 $CP$ ,  $CP_0$ 接 $Q_3$ 时, 则为异步的十进制 (5421码) 计数器

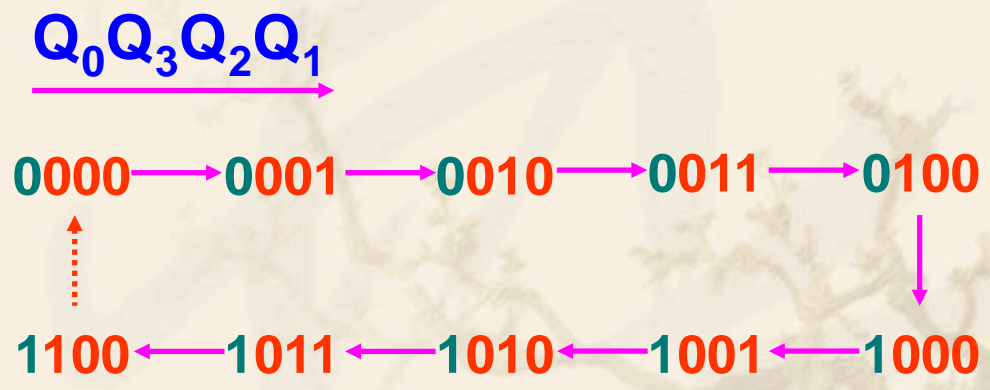


当 $Q_3$ 出现1→0下降沿, 即 $CP_0$ 出现计数脉冲时, 二进制计数器加一

例1：分析下图所示电路的计数长度M为多少，并画出相应的状态转换图。



因异步置数，故M=7



因异步清零，故M=9

## 15.4.5 中规模集成计数器构成任意进制计数器

目前，常见的计数器成品芯片有：十进制，十六进制（四位二进制），七位二进制等。我们可以用已有的N进制计数器构成M进制计数器。下面分为 $M < N$ 和 $M > N$ 两种情况进行介绍。

下面分为 $M < N$ 和 $M > N$ 两种情况进行介绍。

### 1. $M < N$ 时的设计

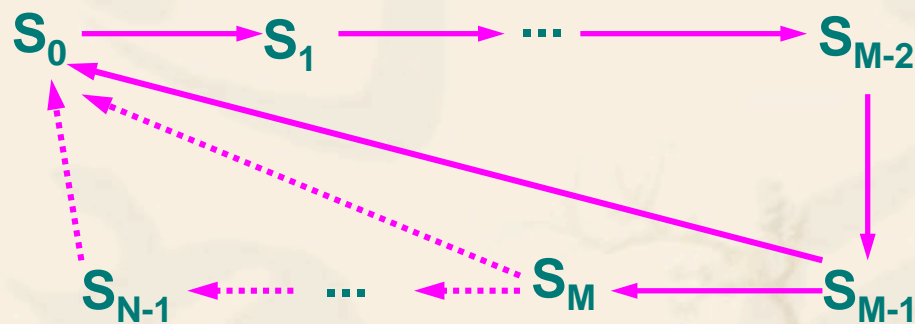
众所周知，N进制计数器共有N个状态，用N进制计数器设计M进制计数器，实际上就是设法使N进制计数器跳过 $N - M$ 个状态。

实现跳越的方法有两种：**复位法**和**置数法**



## (1)复位法

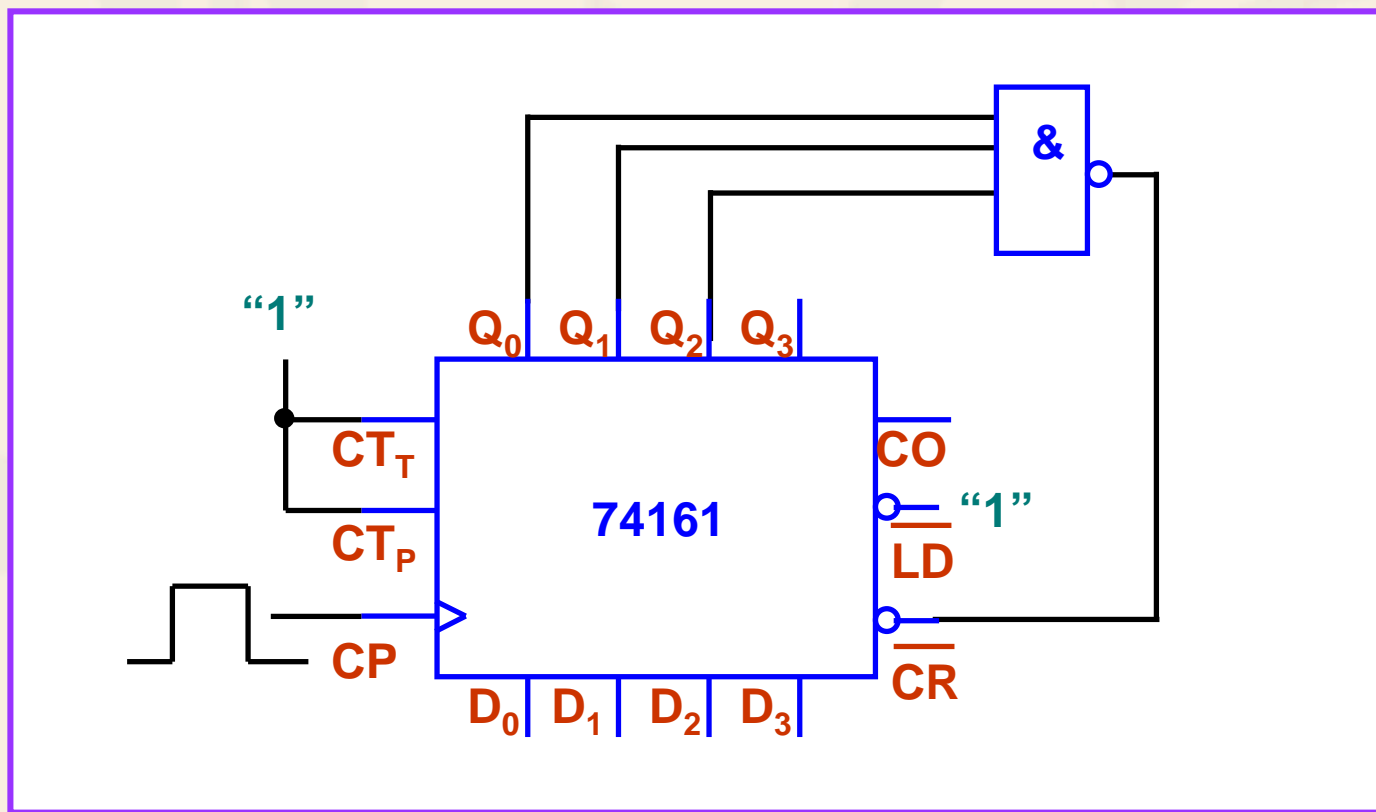
复位法适合于有异步清零端的计数器。其设计思想是：设N进制计数器从全“0”状态 $S_0$ 开始计数，当计数了M个计数脉冲后，电路进入 $S_M$ 。如果此时将 $S_M$ 状态译码，从而产生一个清零信号加到异步清零输入端，计数器将立即进入 $S_0$ 。如下：



这样，计数器就可以跳过 $N-M$ 个状态，得到一个M进制计数器。由于计数器一进入 $S_M$ 态，又立即置成 $S_0$ ，所以， $S_M$ 态只是瞬时出现。在稳定的循环状态中应不包含 $S_M$ 态。

### 例1：试用复位法将74161计数器设计成七进制计数器

解：74161是十六进制计数器，它有异步清零端，故可设计一门电路，在计数器进入 $S_7=0111$ 时产生一个清“0”信号加清零端。显然用一与非门即可。



## (2)置数法

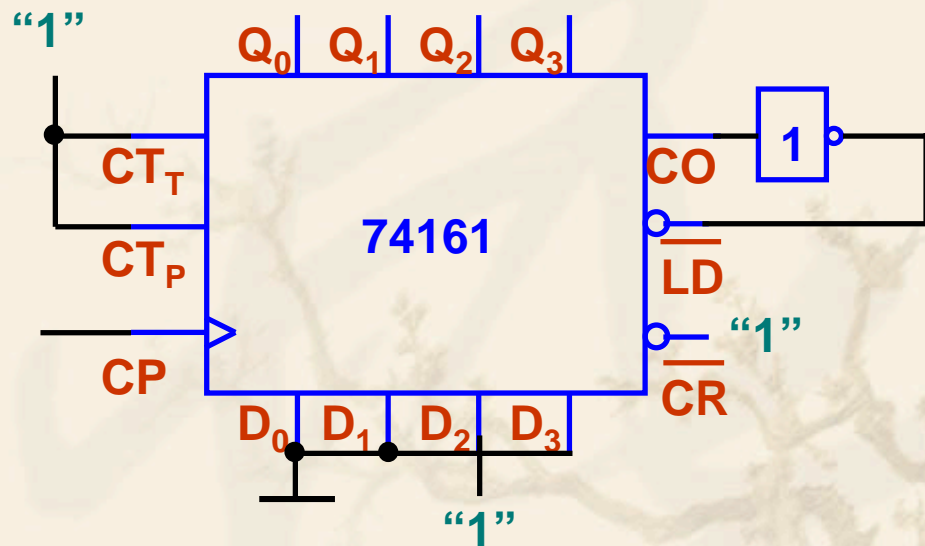
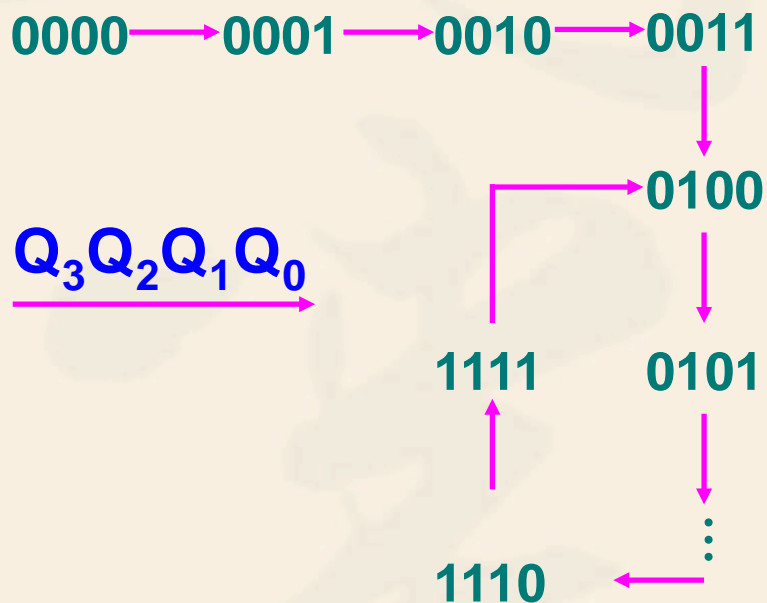
~就是通过计数器的预置数功能，重复置入某个数，从而跳过N-M个状态的方法。

根据所置入的数的不同又分为置入最小数、置入最大数和置入中间数三种情况。

下面以74161采用置数法来构成十二进制计数器。（三种情况）

## ①置入最小数法

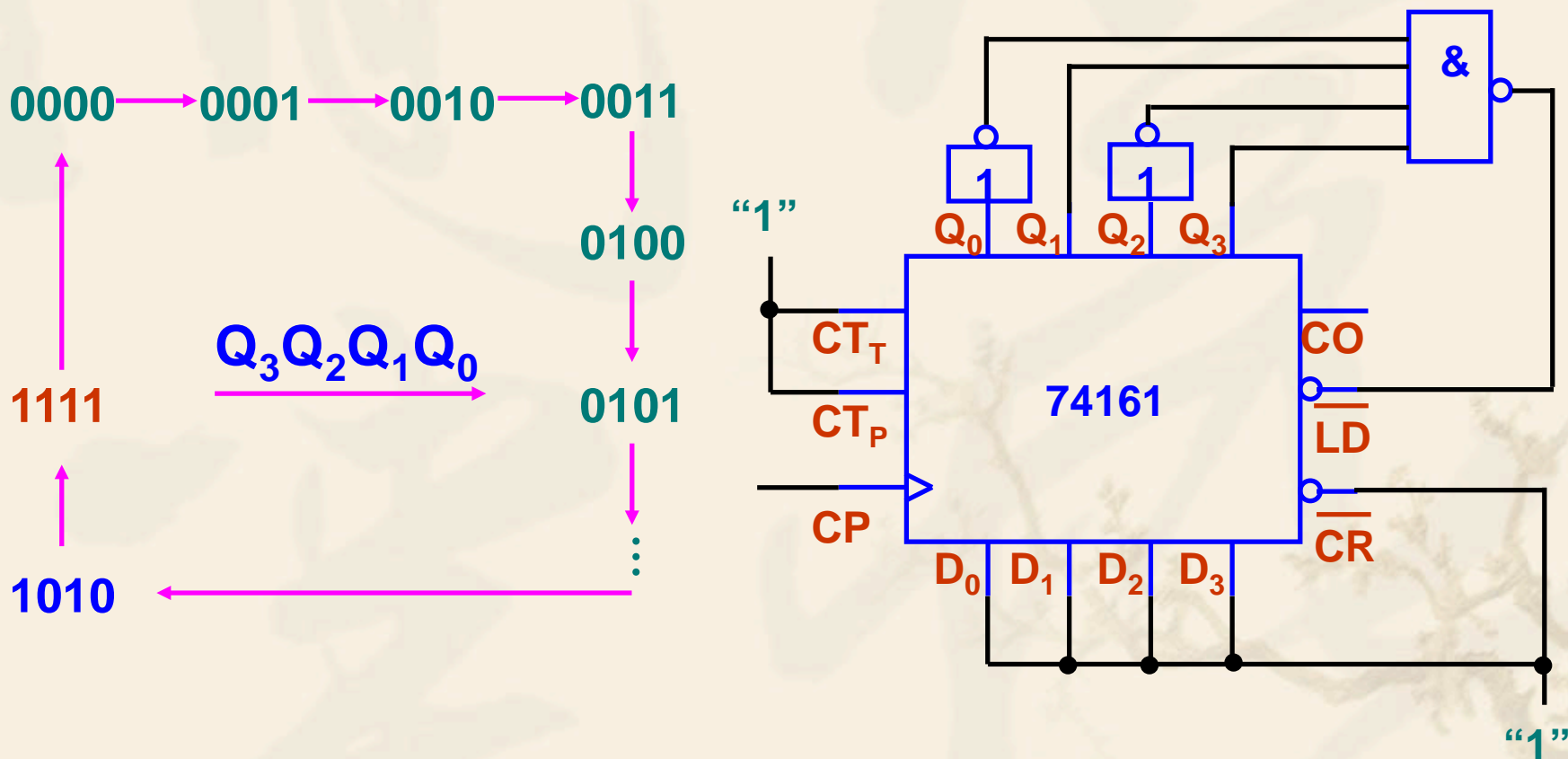
由16进制计数器构成12进制计数器，这决定了预置数应为 $16-12=4$ ，即 $D_3D_2D_1D_0=0100$ ，即计数器计到最大数之后，应使计数器处于预置数状态。又因CO在 $Q_3Q_2Q_1Q_0=1111$ 时为1，故可将其取反接到置数端。





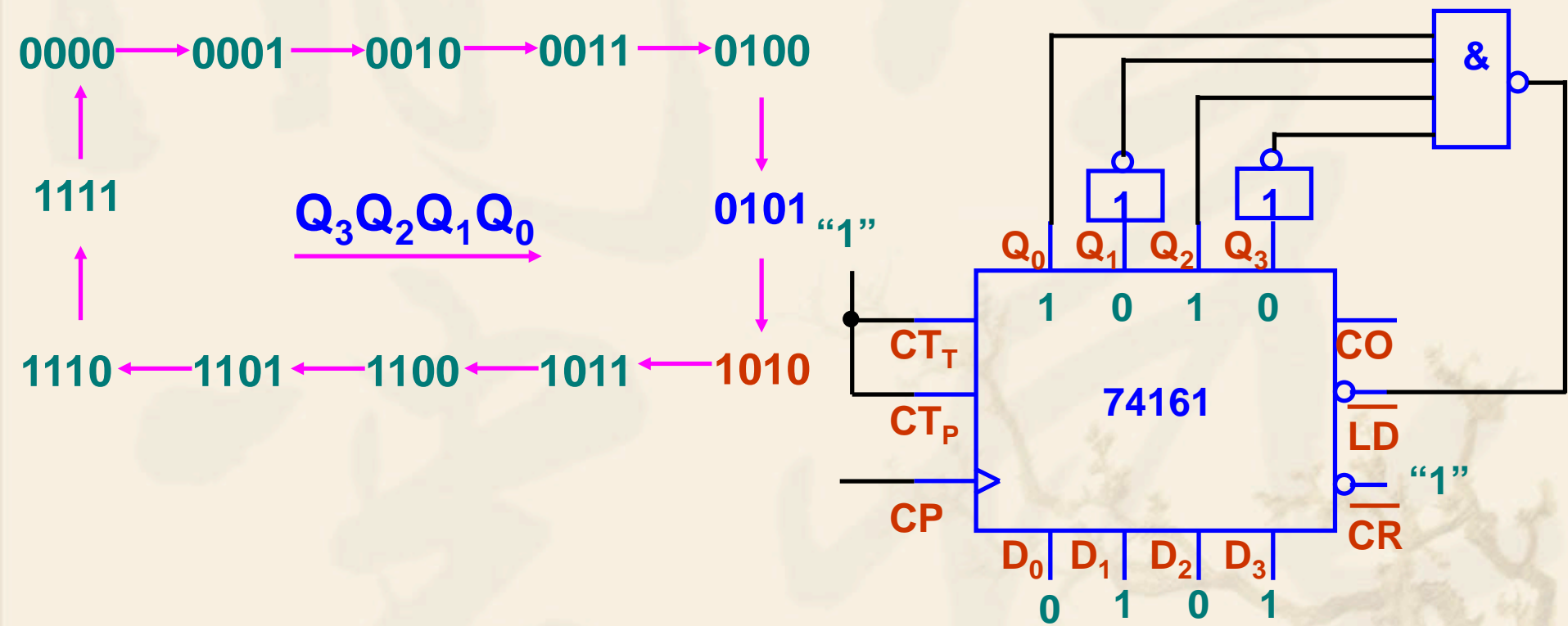
## ②置入最大数法

从0开始计数，预置入最大数1111，故应跳过1110、1101、1100、1011这四个状态。可在 $Q_3Q_2Q_1Q_0=1010$ 时令置数端=0即可。



### ③置入中间数法

假如跳过的四个状态取0110、0111、1000、1001，就得在  $Q_3Q_2Q_1Q_0=0101$  时，使置数端=0， $D_3D_2D_1D_0=1010$ 。



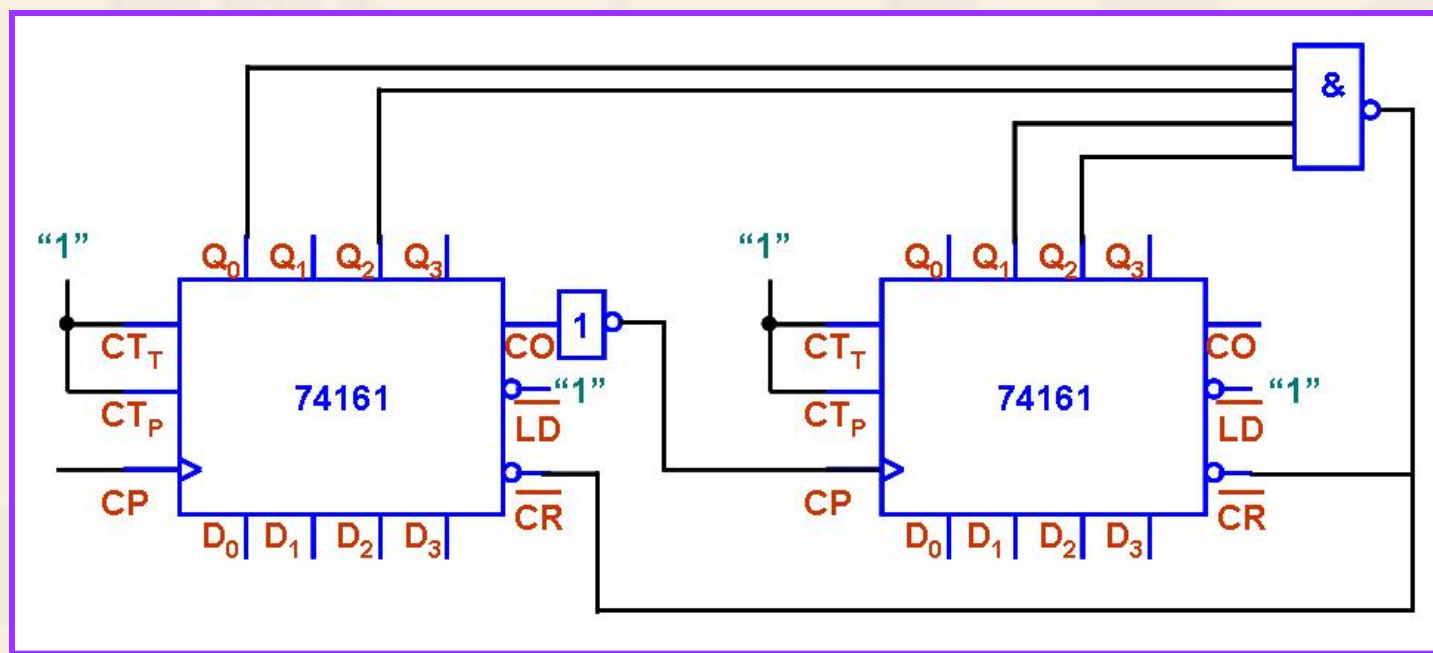
## 2.M>N时的设计

若M可以分解成两个小于N的因数相乘，即 $M=N_1 \times N_2$ ，则可以先构成 $N_1$ 进制计数器和 $N_2$ 进制计数器，然后对低位片进位采用并行进位方式将两个计数器连接起来，就可构成M进制计数器。

若M是大于N的素数时，则可以用两片或多片N进制计数器先构成一个大于M进制的计数器，然后再用复位法或置数法构成M进制计数器。

**例2：**试用两片74161设计一个“101”进制计数器

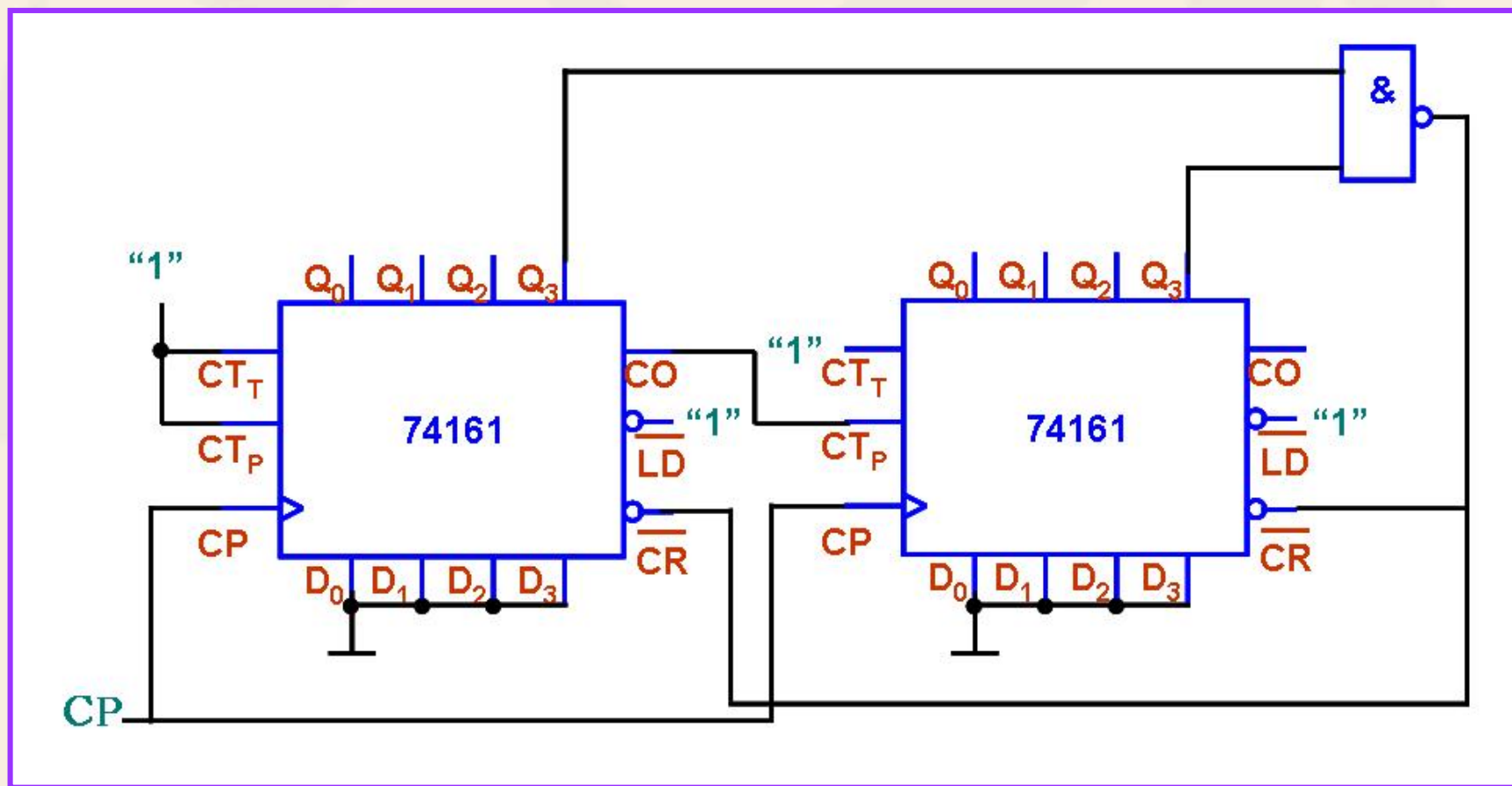
**解：**先用两片74161构成一个256进制计数器，然后用复位法构成  
 $101 = (65)_{\text{H}} = (01100101)_{\text{B}}$



**思考：**若用同步方式该如何实现？



### 例3：分析下图为几进制的计数器

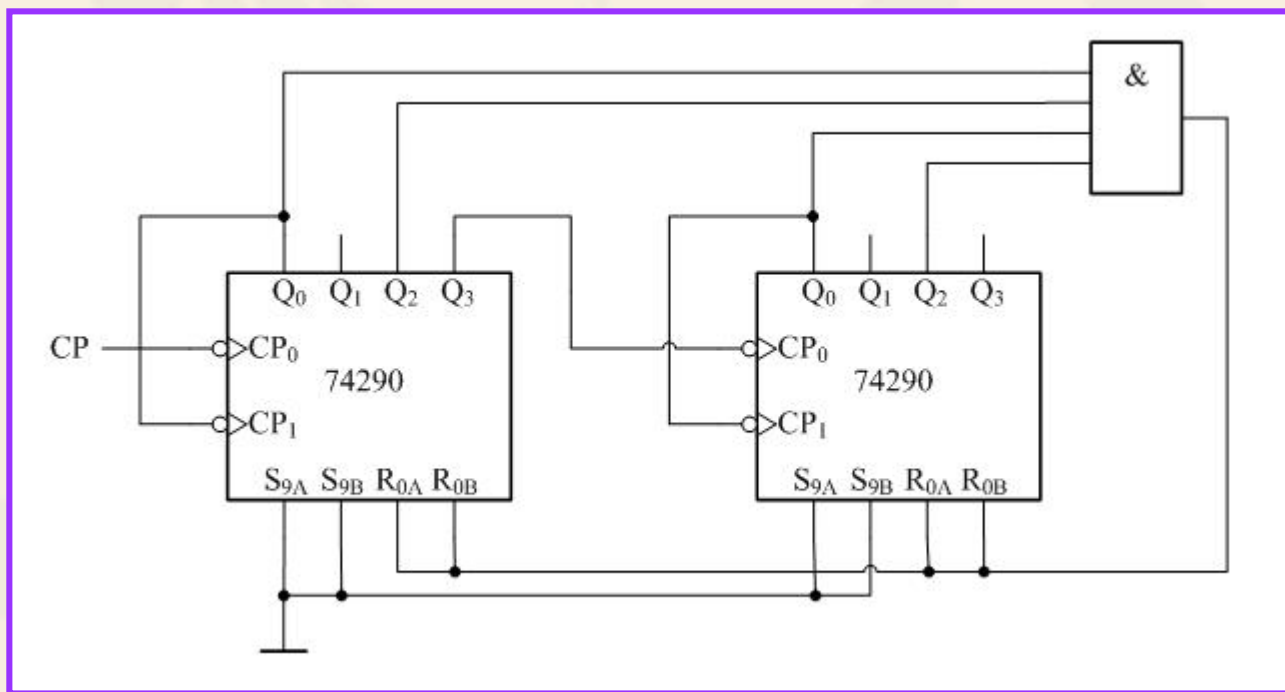


输出为10001000=(88)<sub>H</sub>时，异步清零端同时起作用，故为136进制计数器。

若在保证上述电路仍为同步方式的前提下，使用同步置数端实现此136进制计数功能，需对上述电路做何改动？

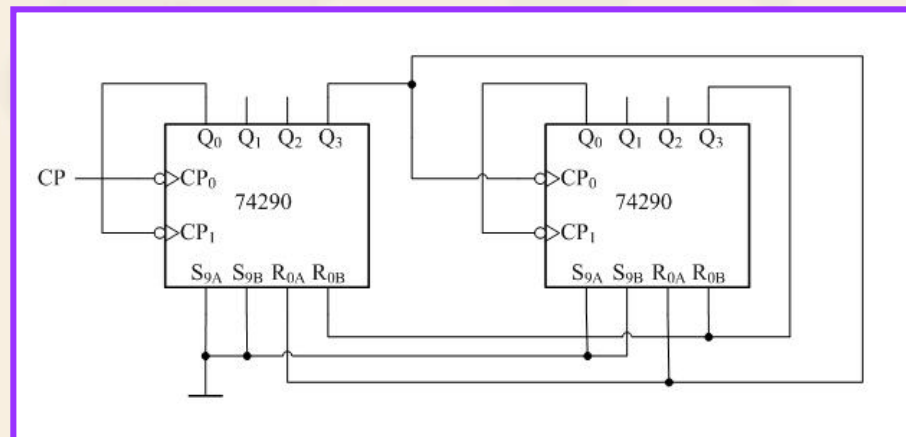
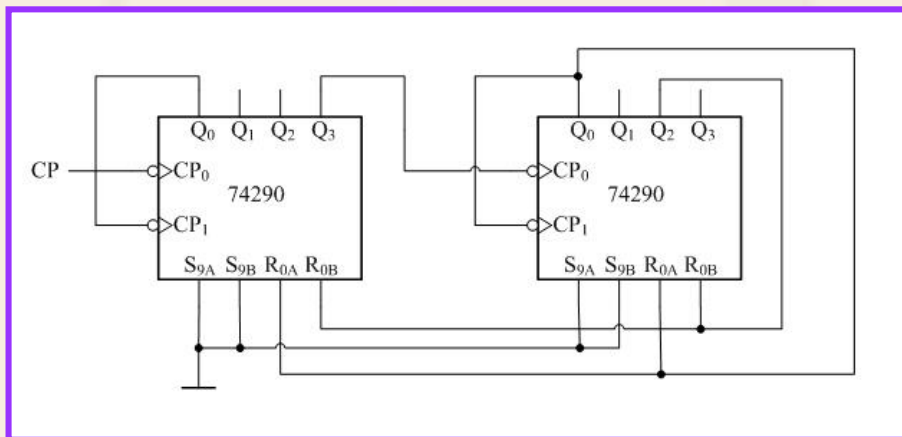
**例4：**试用两片74290设计一个“55”进制计数器

**解：**先用两片74290构成一个100进制计数器，然后用异步清零法构成  
 $55=(01010101)_{8421BCD}$



**思考：**对于74290一般会采用同步方式实现计数器？

### 例5：分析下面两图为几进制的计数器



左图当输出为01010000时，异步清零端起作用，故为50进制计数器。

右图当输出为10001000时，异步清零端起作用，故为88进制计数器。

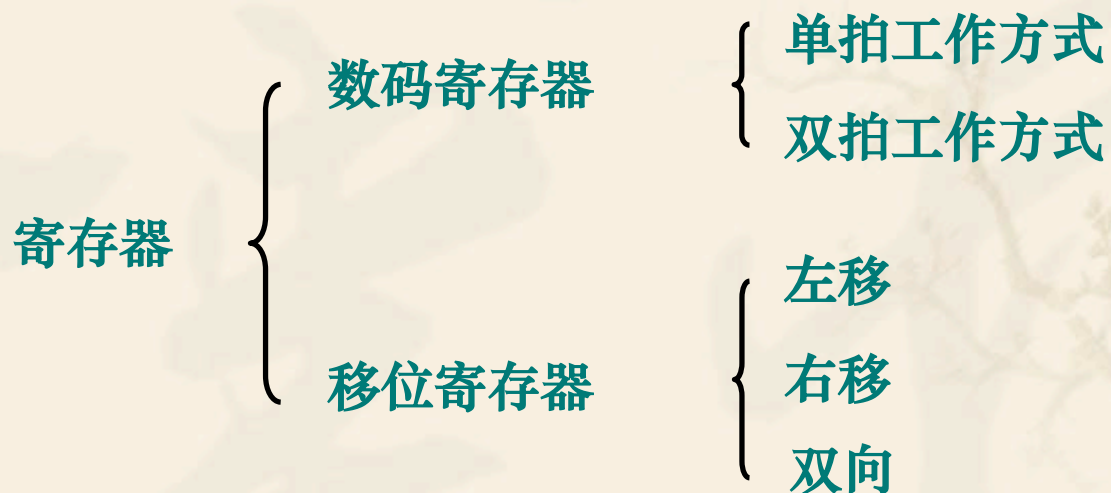
将上面两计数器与例4相比较可看出，若待实现的计数长度对应的8421BCD码较简单时，可利用74290两清零或置数引脚的“与”的关系简化电路。

## 15.5 寄存器

### 15.5.1 寄存器的概念及分类

寄存器是用来存储二进制代码的电路。它的主要组成部分是**触发器**。

一个触发器能存储1位二进制代码，要存储  $n$  位二进制代码，就需要用  $n$  个触发器，所以寄存器实际上是若干触发器的集合。



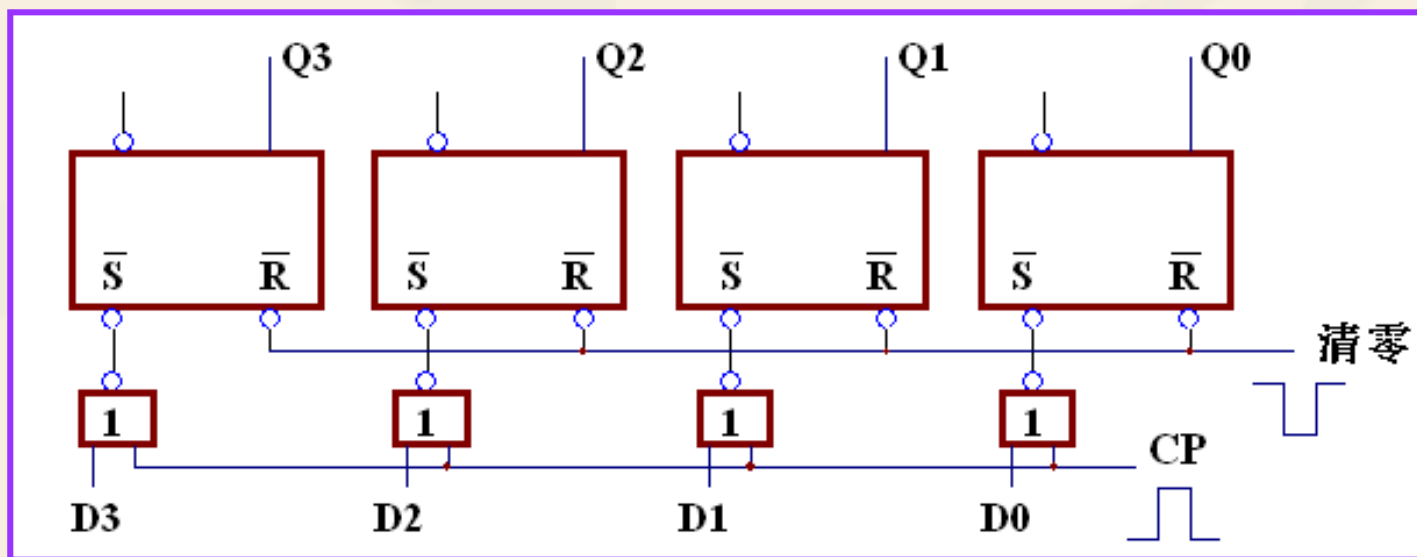


## 15.5.2 数码寄存器

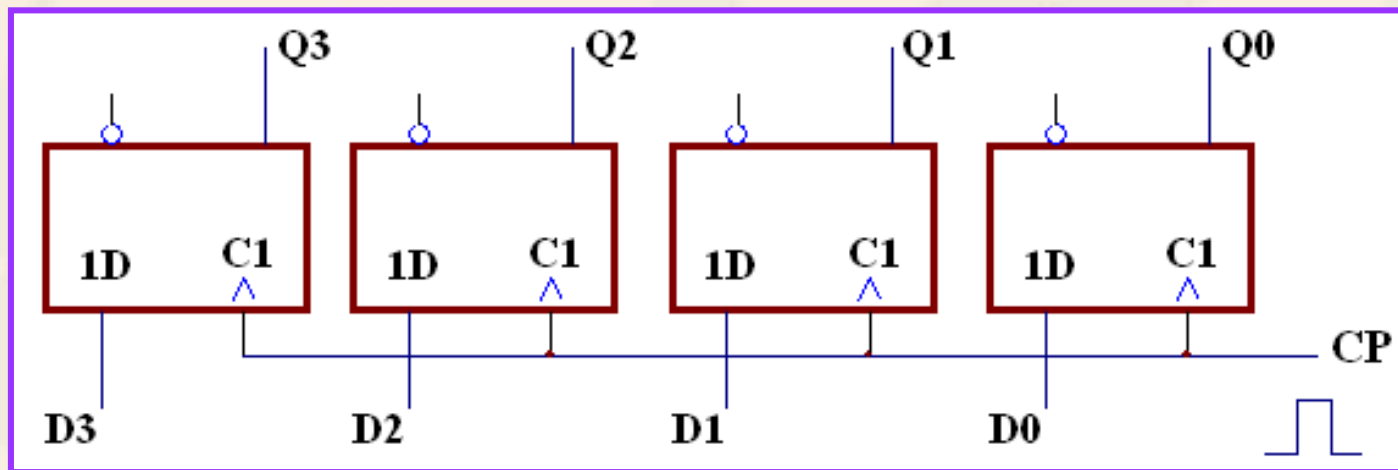
数码寄存器也称为基本寄存器，其用来存放一组二进制代码，它只能在时钟脉冲作用下，实现数据的并行接收、存储和发送。

单拍 —— 只要接收指令到，就可存贮。多用D触发器。

双拍 —— 需要清零和接收两步完成，多RS触发器



下面以单拍接收寄存器为例：



单拍接收寄存器由四个边沿D触发器构成。

$Q^{n+1}=D \uparrow$ ，在CP  $\uparrow$  到来时， $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}=D_3D_2D_1D_0$

故下一个接收脉冲CP  $\uparrow$  到来之前数据得以暂时保存。

单拍寄存器不用清零，有一个接收脉冲就存放一数据。

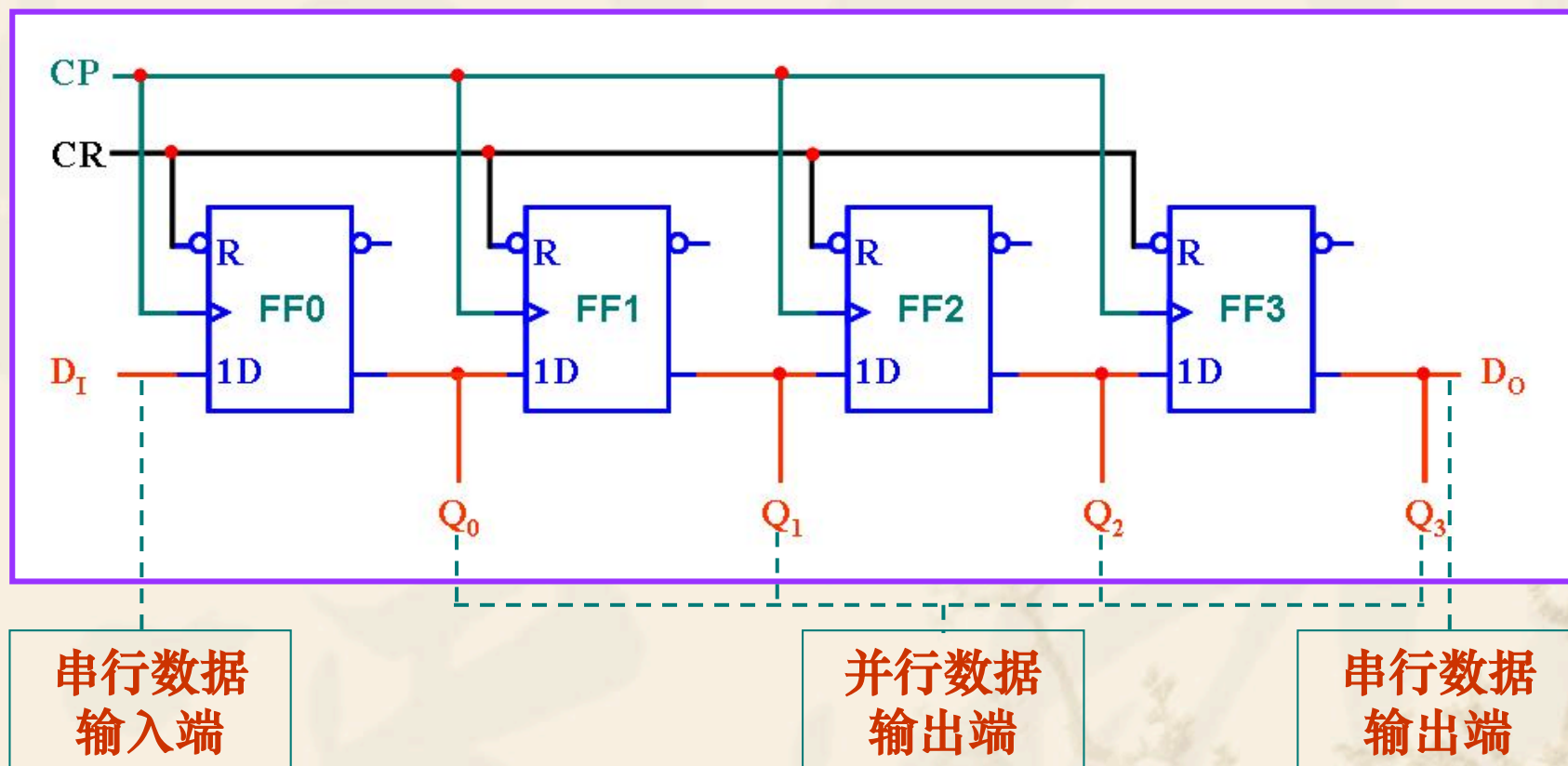
### 15.5.3 移位寄存器

所谓移位，就是指寄存器所存的代码能在移位脉冲作用下依次左移或右移。因此，移位寄存器不仅可用来寄存代码，还可用来实现数据的串行——并行转换，数值的运算及数据的处理等。

**移位方式：**串入串出，串入并出，并入串出，并入并出

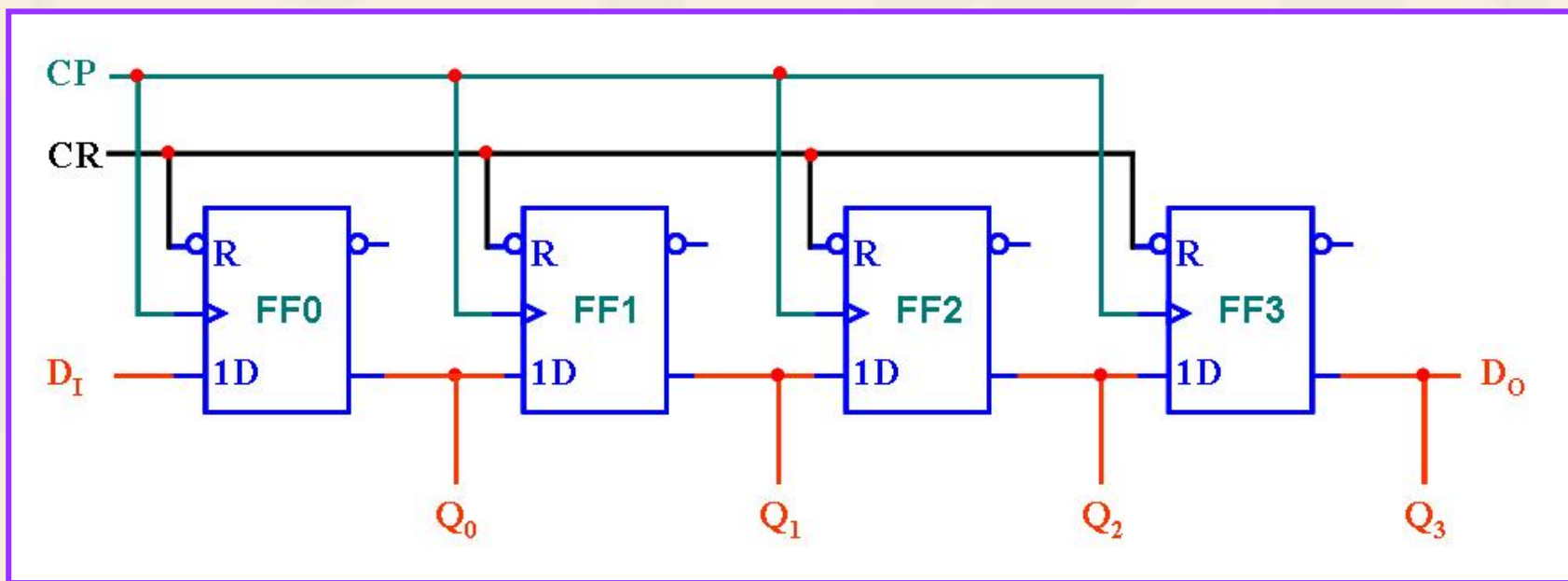
**移位类型：**单向左移，单向右移，双向移位

下面以单向移位寄存器为例进行说明：





## 工作原理:



驱动方程:

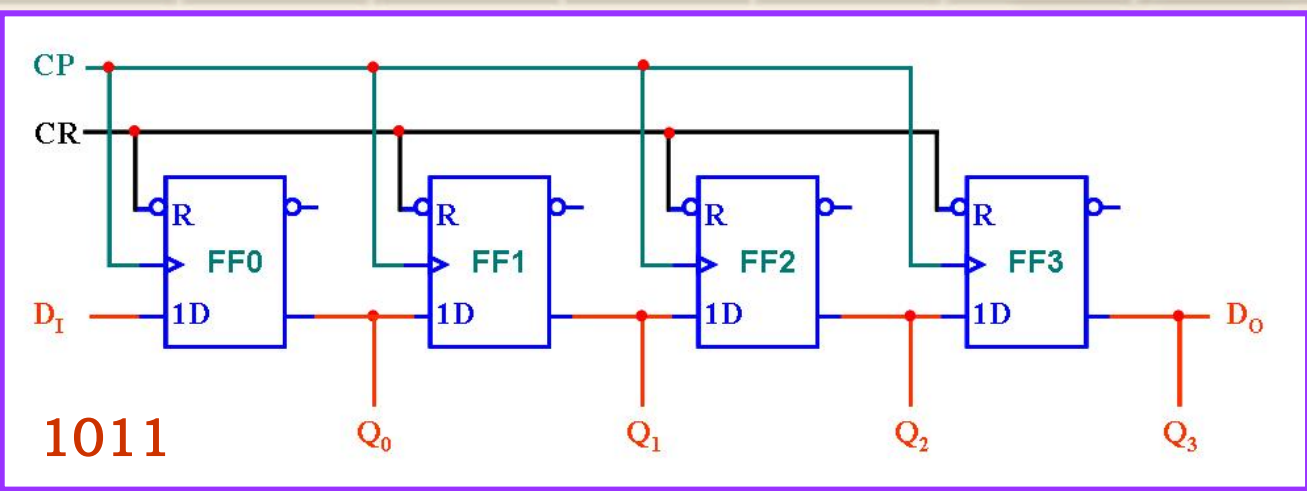
$$D_0 = D_I \quad D_1 = Q_0^n \quad D_2 = Q_1^n \quad D_3 = Q_2^n$$

次态方程:

D触发器的特性方程:  $Q^{n+1} = D$

$$Q_0^{n+1} = D_I \quad Q_1^{n+1} = Q_0^n \quad Q_2^{n+1} = Q_1^n \quad Q_3^{n+1} = Q_2^n$$

设  $D_I = Q_0 Q_1 Q_2 Q_3 = 1011$



CR=0

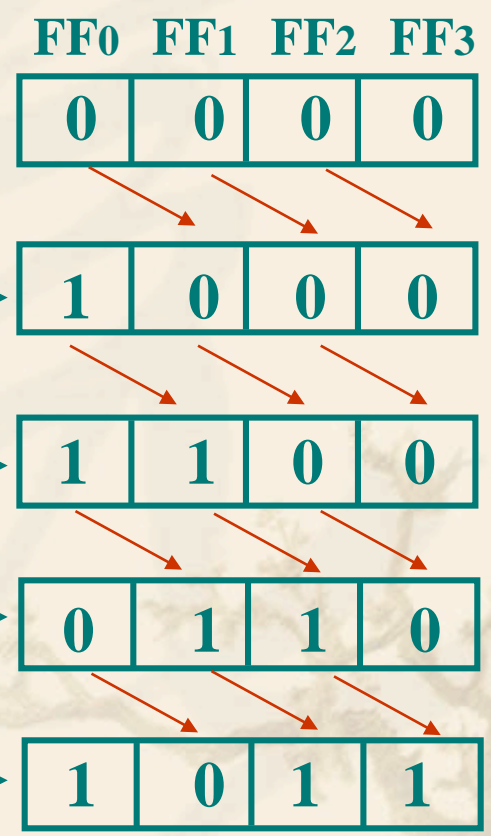
4个CP后，输入端的数据“1011”，串行送入寄存器，并行输出；再经过4个CP，串行输出（数码移出寄存器）。

$$Q_0^{n+1} = D_I$$

$$Q_1^{n+1} = Q_0^n$$

$$Q_2^{n+1} = Q_1^n$$

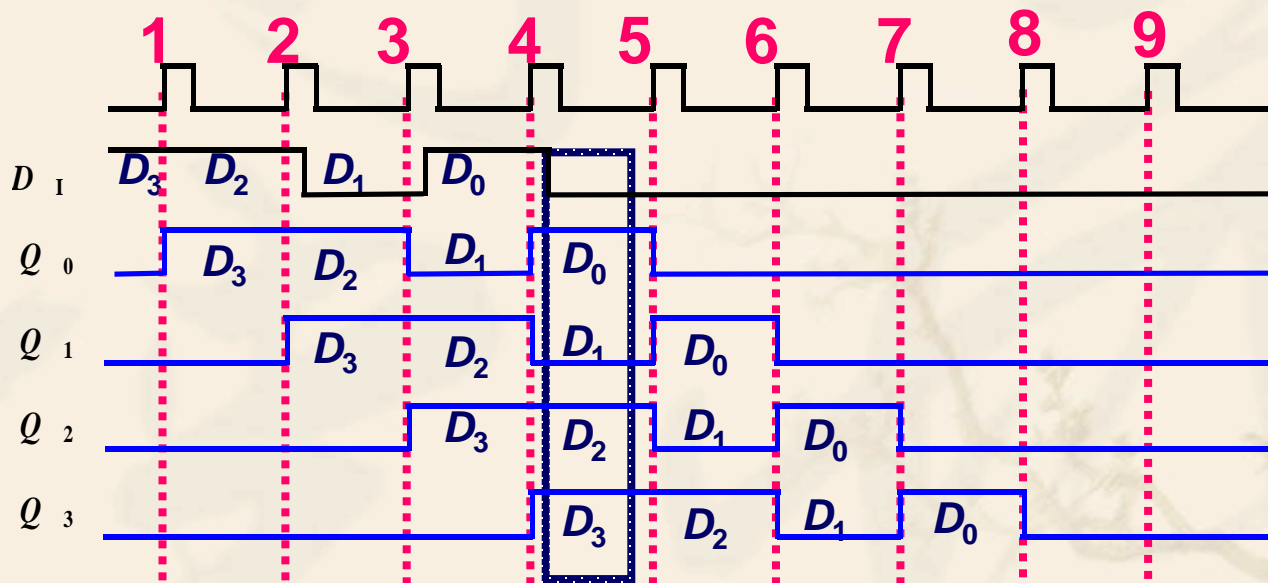
$$Q_3^{n+1} = Q_2^n$$



## 工作波形:

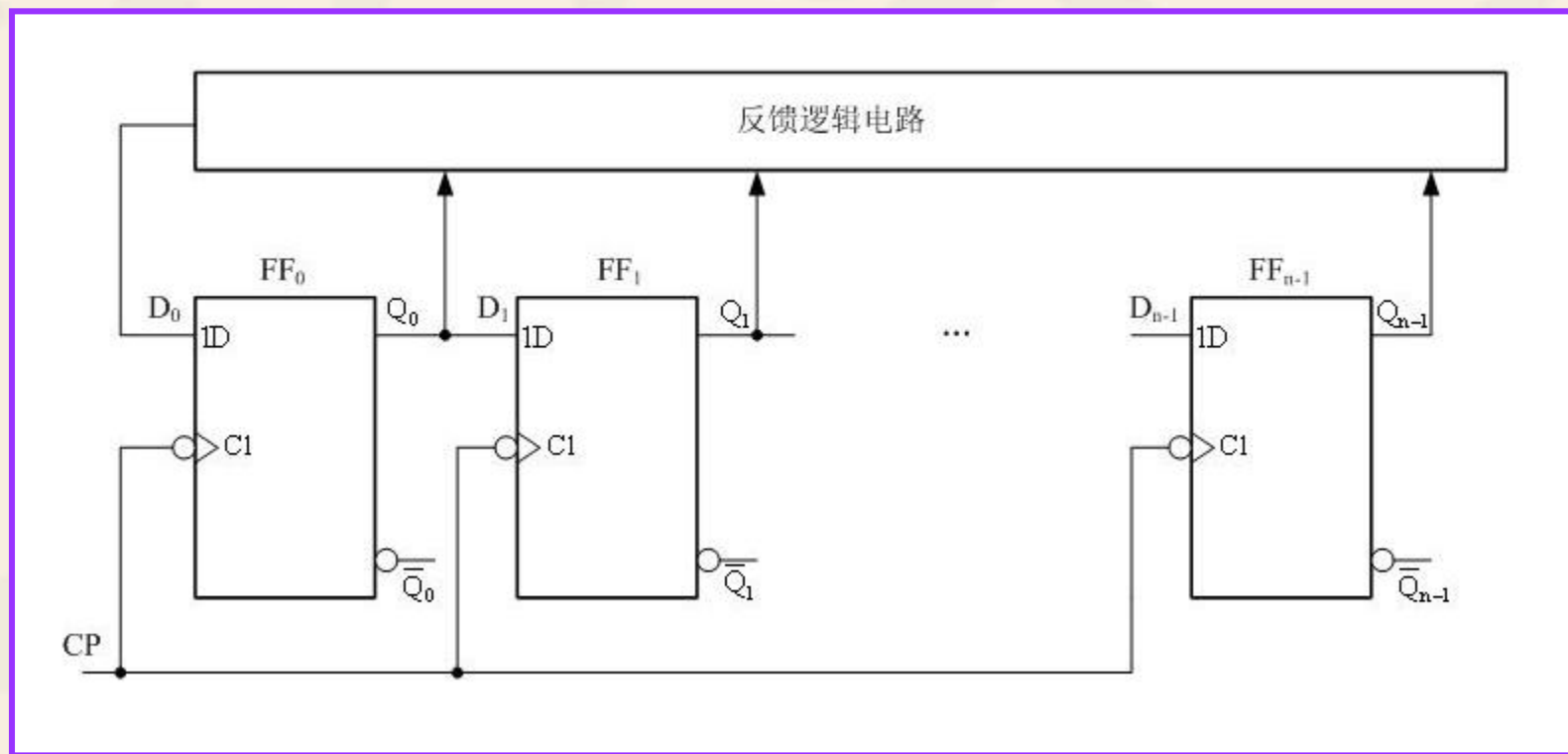
从图中可看出：经过4个CP作用后，从 $D_I$ 端串行输入的数据从 $Q_0$   $Q_1$   $Q_2$   $Q_3$ 并行输出。 串入→并出

再经过4个CP后，从 $D_I$ 端串行输入的数据从 $D_O$ 端串行输出。 串入→串出



## 15.5.4 移位寄存器型计数器

若把移位寄存器的输出以一定方式馈送到串行输入端，则可得到一些电路连接十分简单、编码别具特色、用途极为广泛的移位寄存器型计数器。



$FF_0$ 的驱动方程为： $D_0 = F(Q_0^n, Q_1^n, \dots, Q_{n-1}^n)$

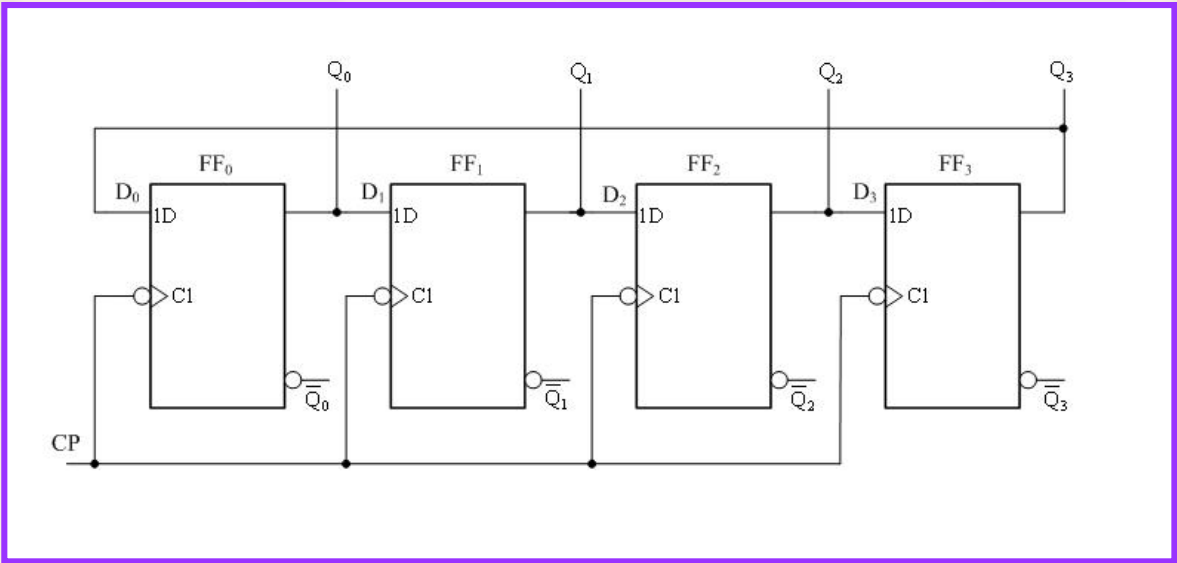
随着该式的不同，电路也会各异。下面介绍几种常用电路。



# 一、环形计数器

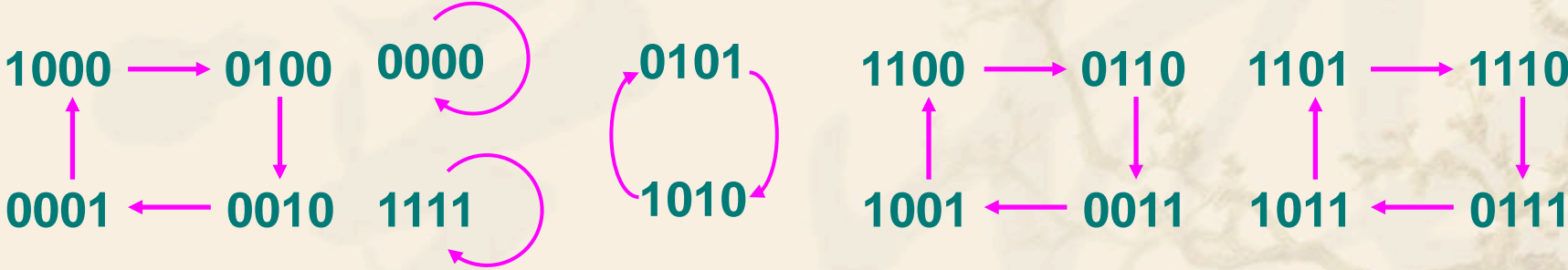
## 1.电路组成

特点:  $D_0=Q_{n-1}^n$



## 2.工作原理

$Q_0^n Q_1^n Q_2^n Q_3^n$



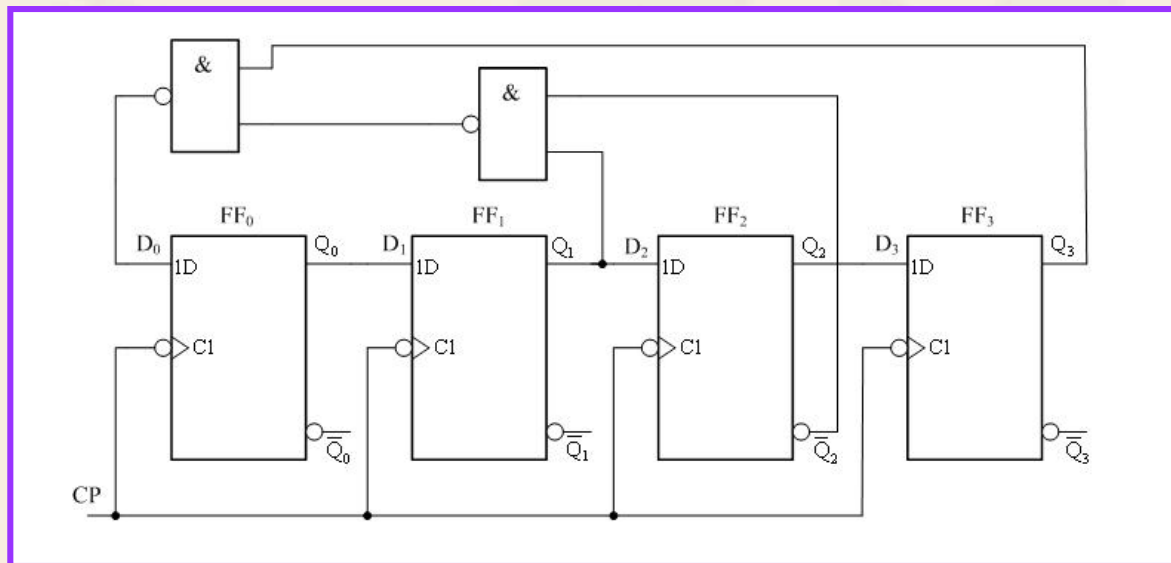
有效循环

无效循环

可看出, 该电路不能自启动

### 3.自启动问题

$$\begin{cases} D_0 = \overline{Q_0^n Q_1^n Q_2^n} \\ D_1 = Q_0^n \\ D_2 = Q_1^n \\ D_3 = Q_2^n \end{cases}$$



将该驱动方程带入特性方程，可得状态方程：

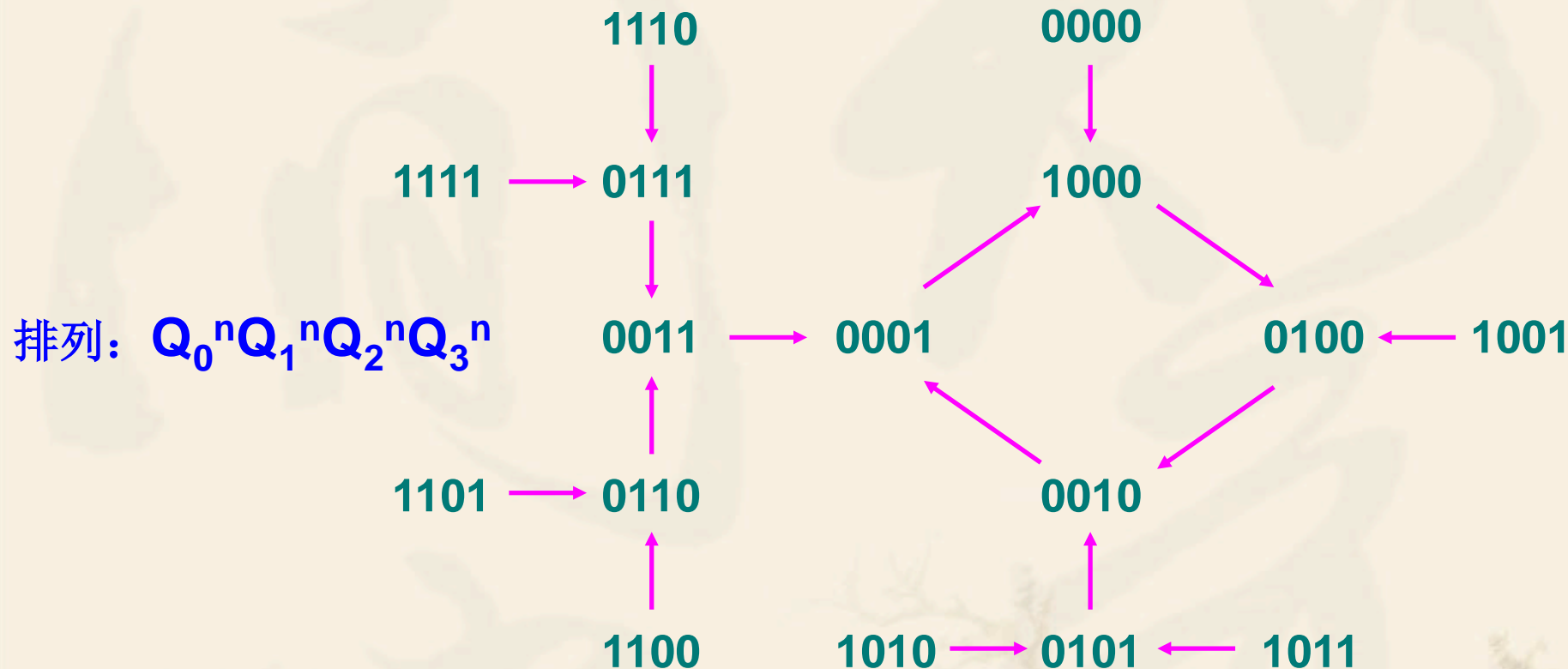
$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n Q_1^n Q_2^n} \\ Q_1^{n+1} = Q_0^n \\ Q_2^{n+1} = Q_1^n \\ Q_3^{n+1} = Q_2^n \end{cases}$$

由状态方程，可列写状态表：

$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n Q_1^n Q_2^n} \\ Q_1^{n+1} = Q_0^n \\ Q_2^{n+1} = Q_1^n \\ Q_3^{n+1} = Q_2^n \end{cases}$$

$Q_0^n$	$Q_1^n$	$Q_2^n$	$Q_3^n$	$Q_0^{n+1}$	$Q_1^{n+1}$	$Q_2^{n+1}$	$Q_3^{n+1}$
0	0	0	0	1	0	0	0
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	0	0	0	1
0	1	0	0	0	0	1	0
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	0	1	1
1	0	0	0	0	1	0	0
1	0	0	1	0	1	0	0
1	0	1	0	0	1	0	1
1	0	1	1	0	1	0	1
1	1	0	0	0	1	1	0
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1

继而可得状态转换图：



#### 4.基本特点

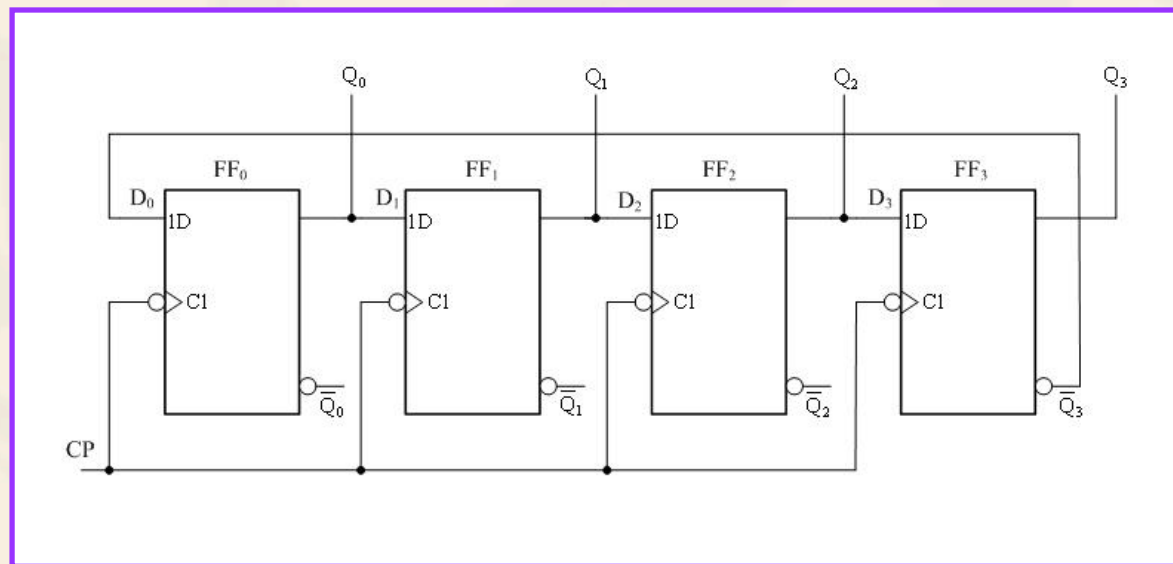
该环形计数器的突出优点是，正常工作时所有触发器只有一个是1（或0）状态，因此，可以直接利用各个触发器的Q端作为电路的状态输出，不需要附加译码器。当连续输入CP脉冲时，各个触发器的Q端或其互补端将轮流地出现矩形脉冲，所以又常常把这种电路称为环形脉冲分配器。

该电路缺点为状态利用率低，记N个数需要N个触发器，使用触发器多。



## 二、扭环形计数器

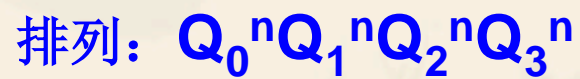
$$D_0 = \overline{Q_{n-1}^n}$$



排列:  $Q_0^n Q_1^n Q_2^n Q_3^n$

0000 → 1000 → 1100 → 1110  
↑                      ↓  
有效循环  
0001 ← 0011 ← 0111 ← 1111

0100 → 1010 → 1101 → 0110  
↑                      ↓  
无效循环  
1001 ← 0010 ← 0101 ← 1011



0000 → 1000 → 1100 → 1110 ← 1101 ← 1010 ← 0100 ← 1001 ← 0010

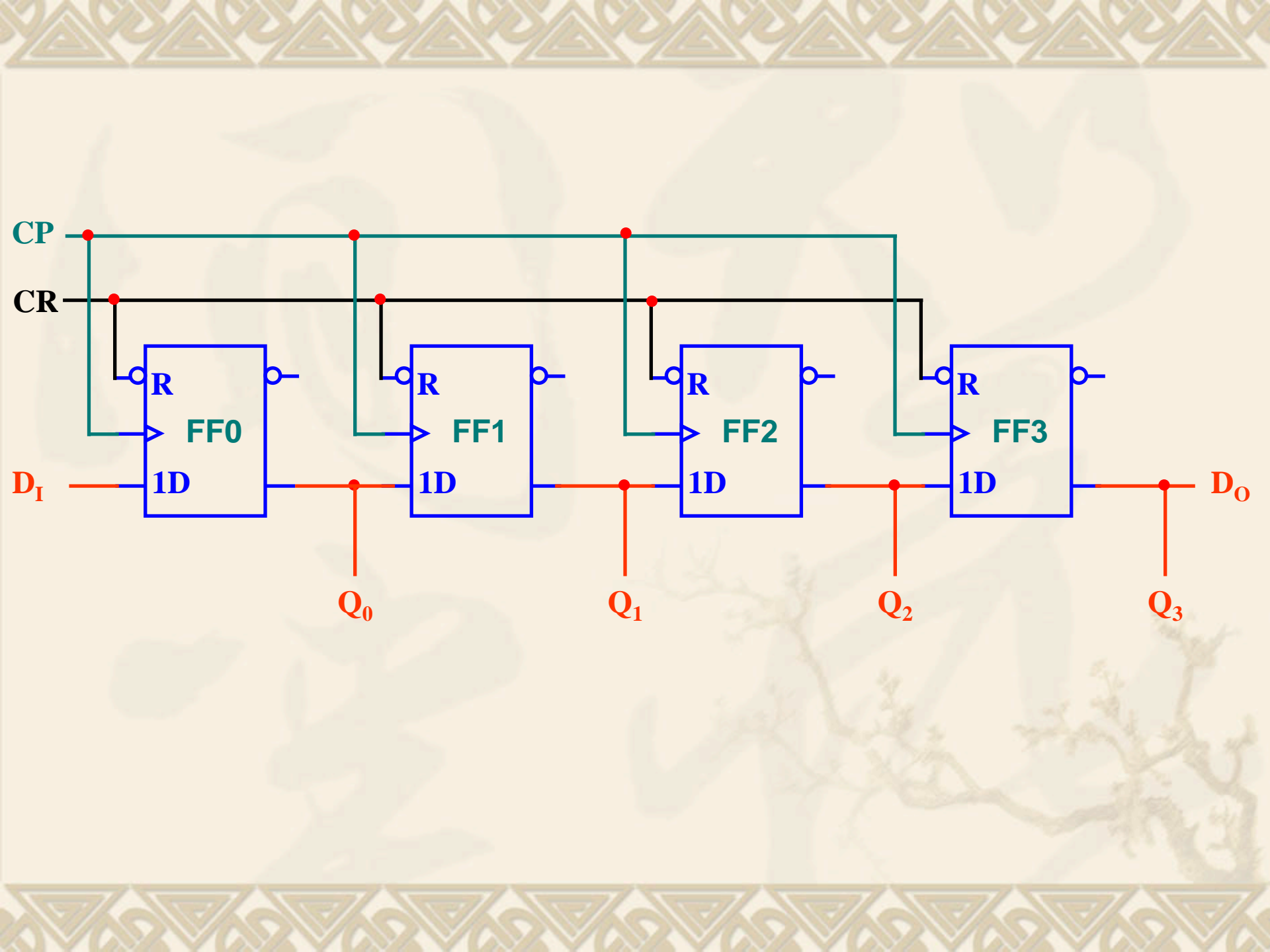
0001 ← 0011 ← 0111 ← 1111

Vertical arrows: 0001 → 0000, 1110 → 1111

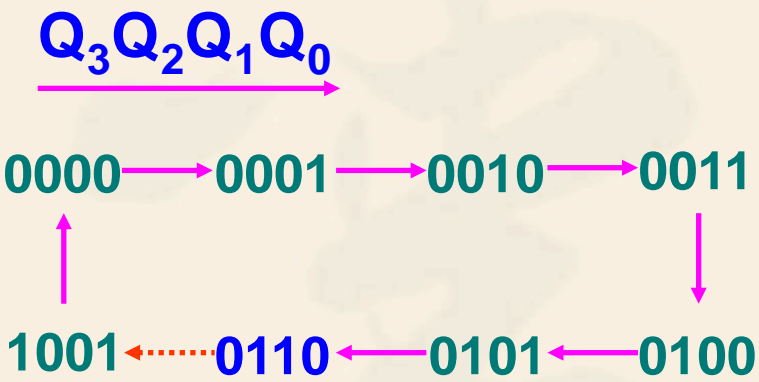
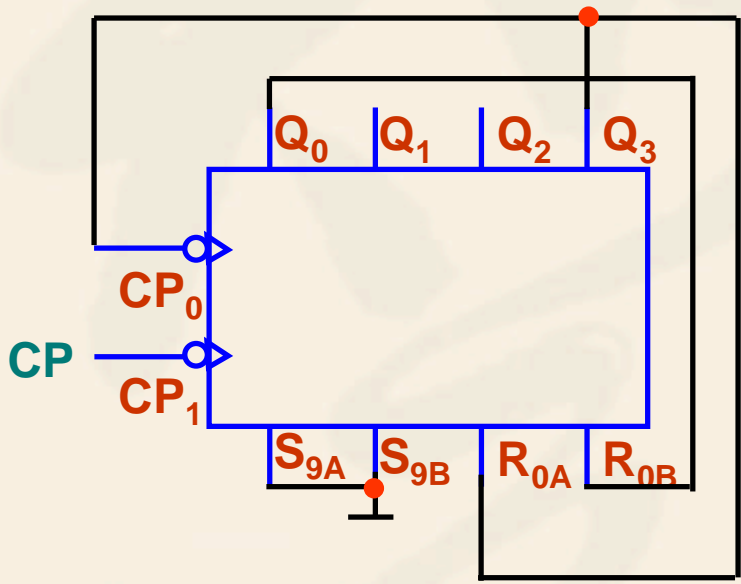
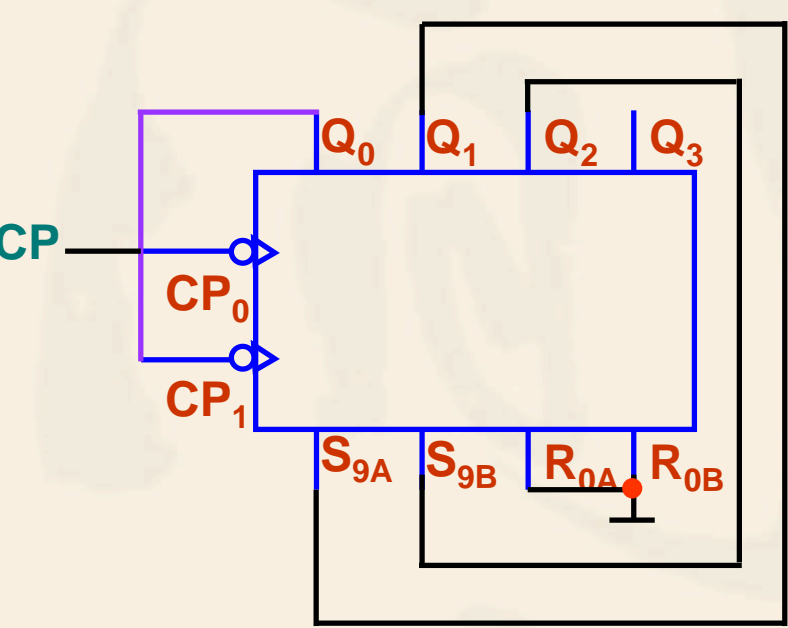
扭环形计数器的特点是每次状态变化时仅有一个触发器翻转，因此译码时不存在竞争冒险，而且所有的译码门都只需要两个输入端。其缺点仍然是没有能够利用计数器的所有状态，在 $n$ 位计数器中（当 $n \geq 3$ 时），有 $2^n - 2n$ 个状态没有利用。

# 以下为课件所用 素材

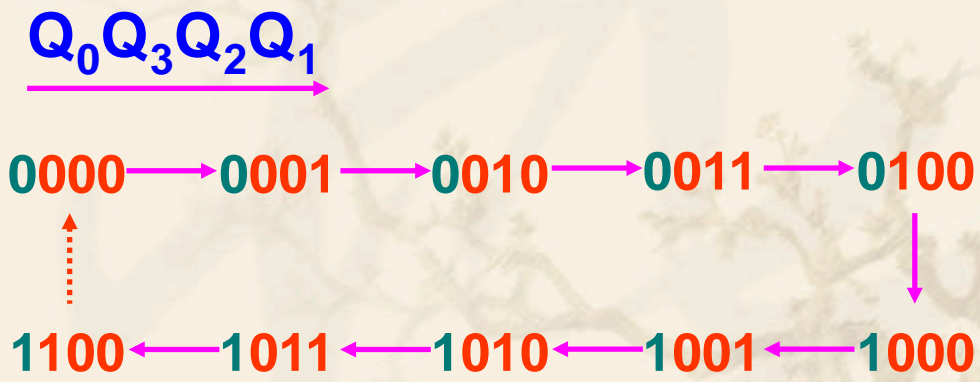




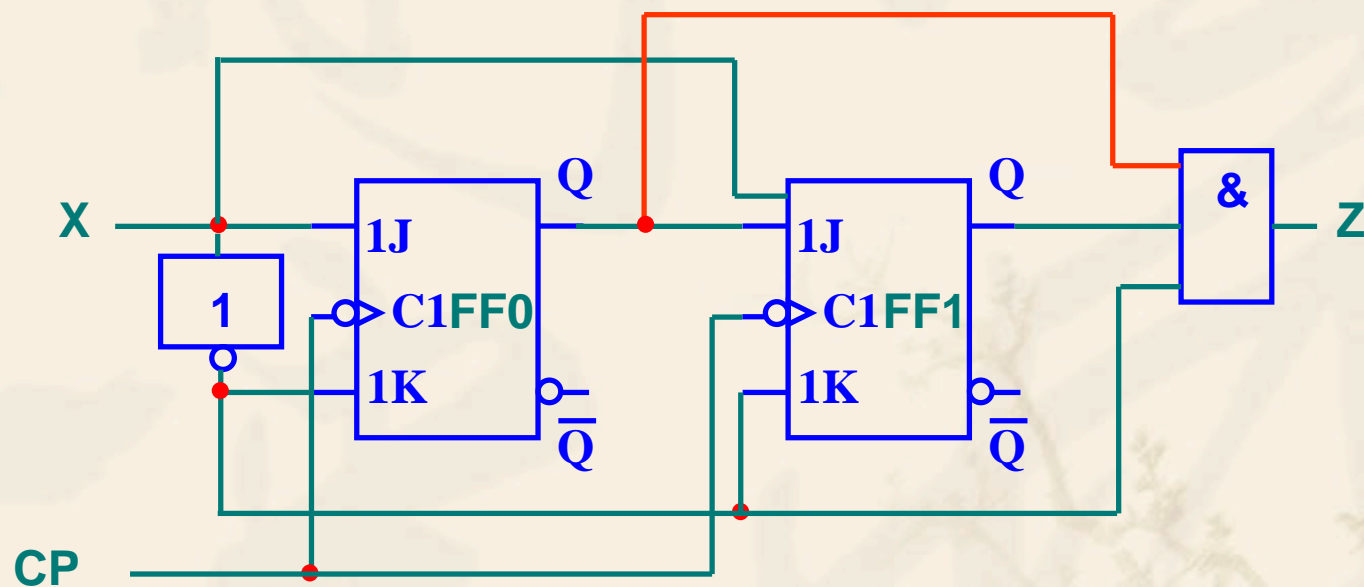
例1：分析下图所示电路的计数长度M为多少，并画出相应的状态转换图。

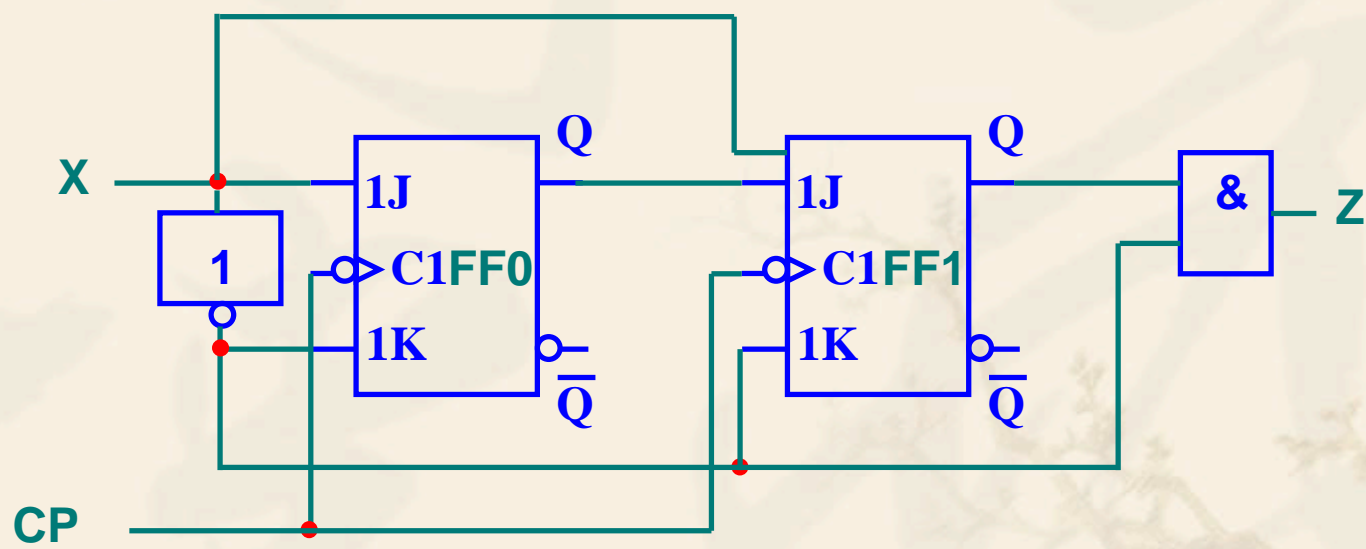


因异步置数，故M=7

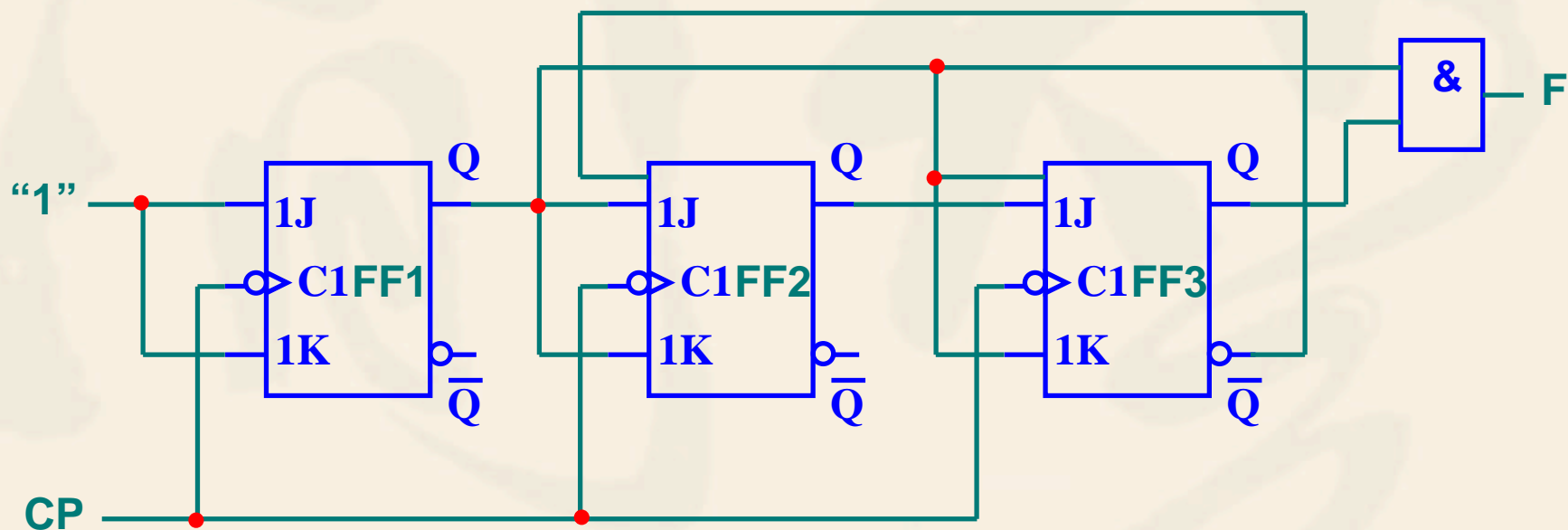


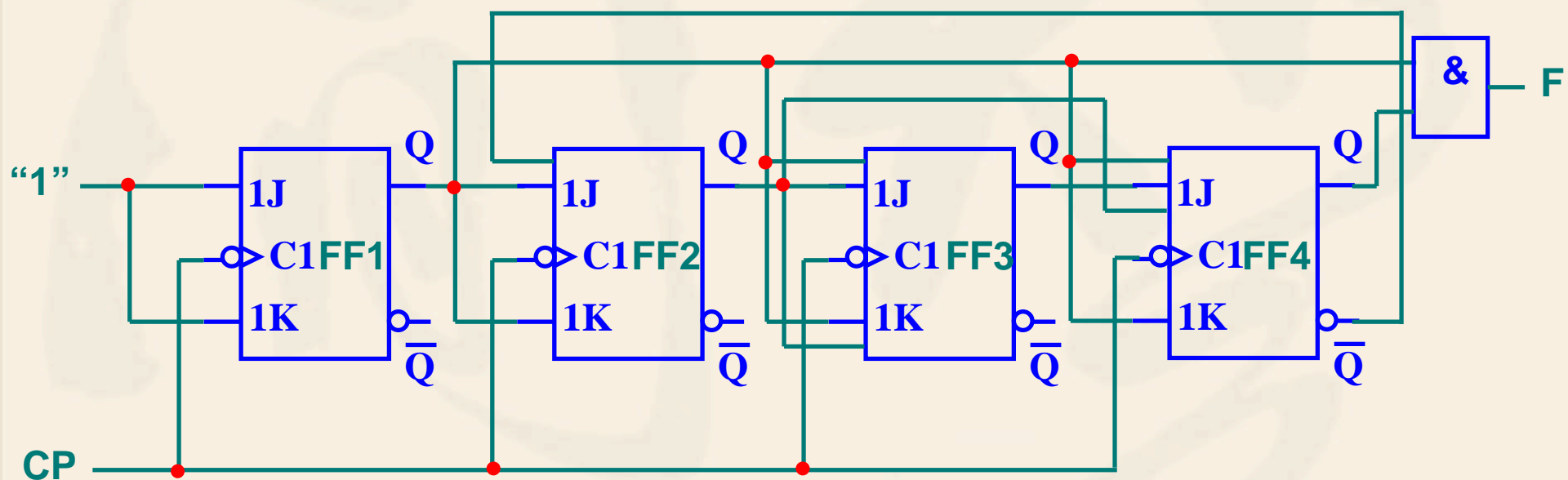
因异步清零，故M=9

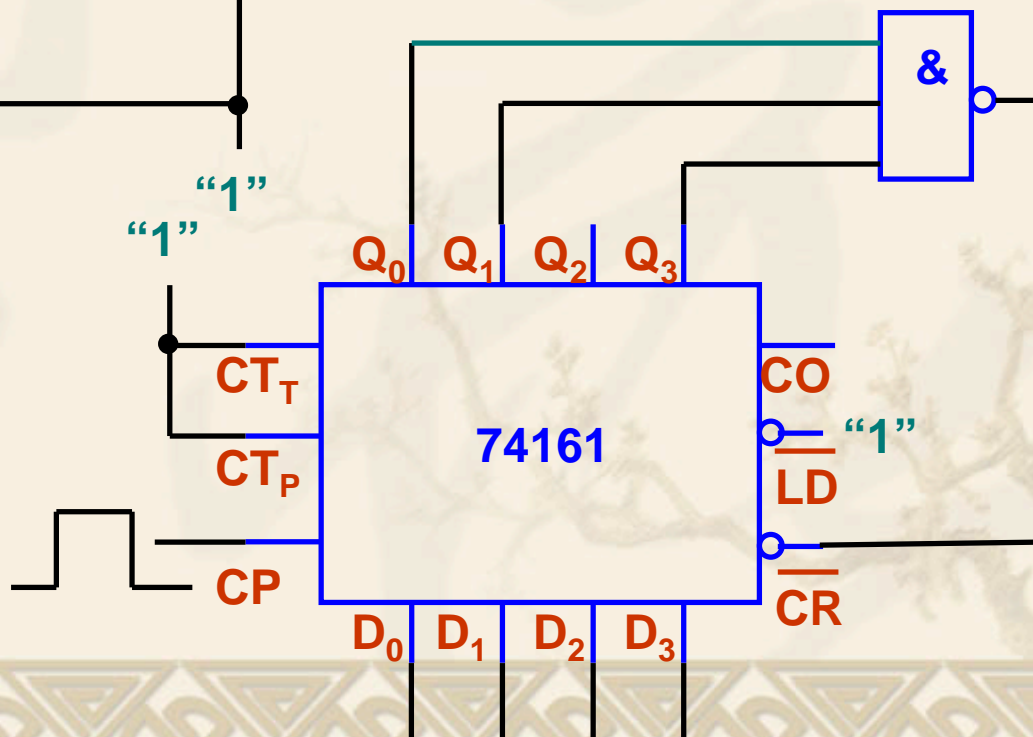
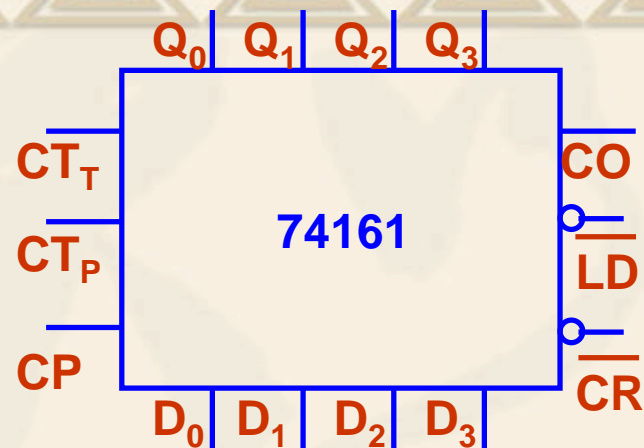
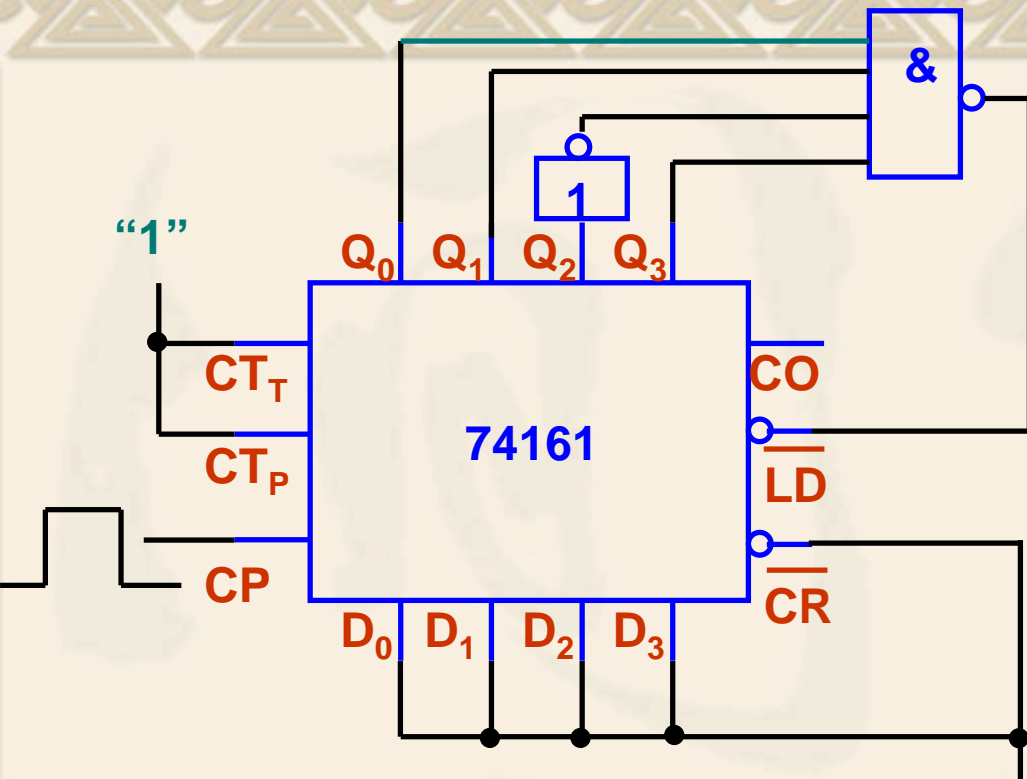


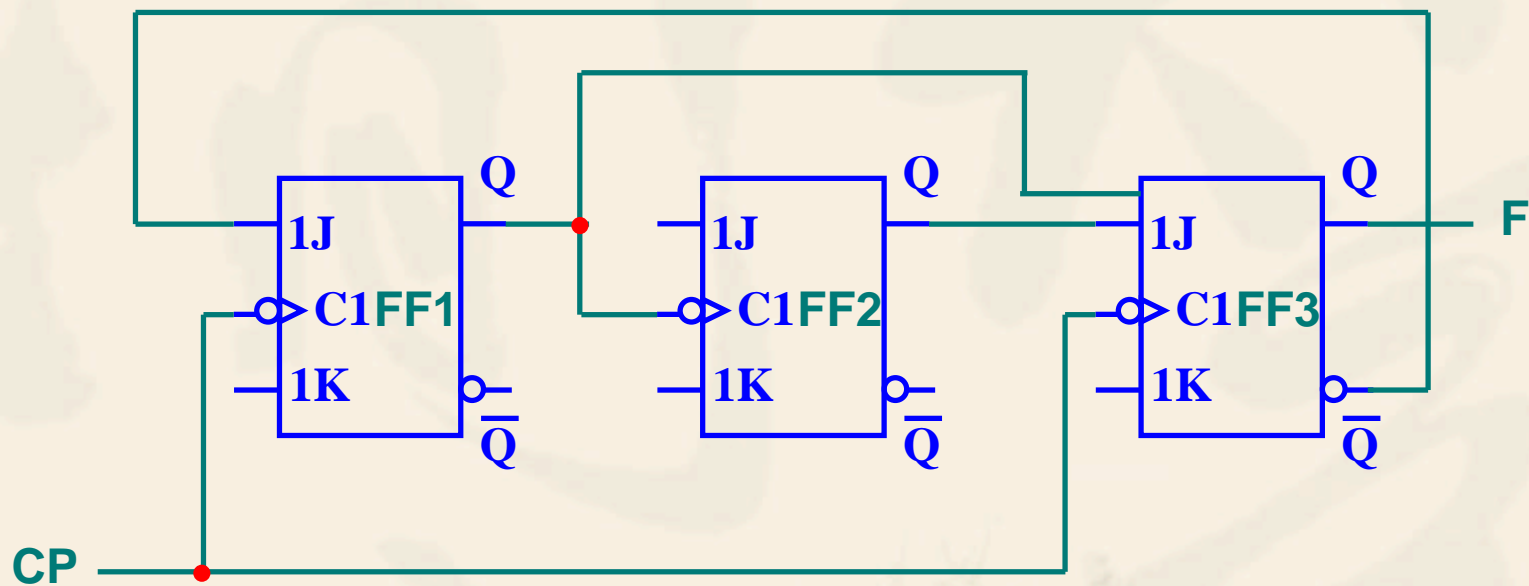




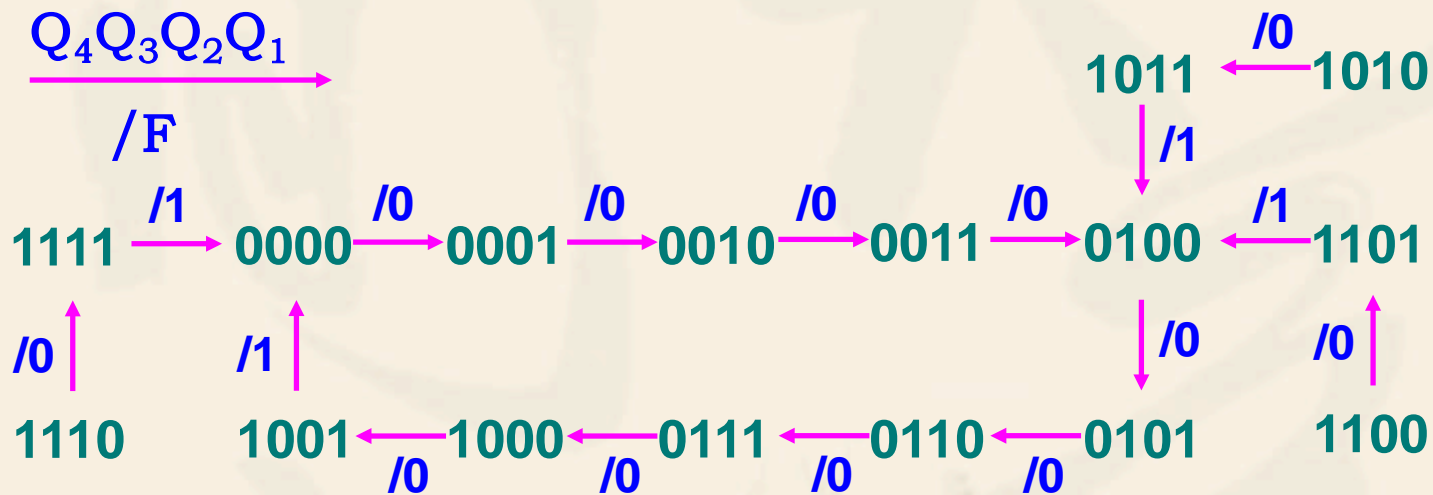


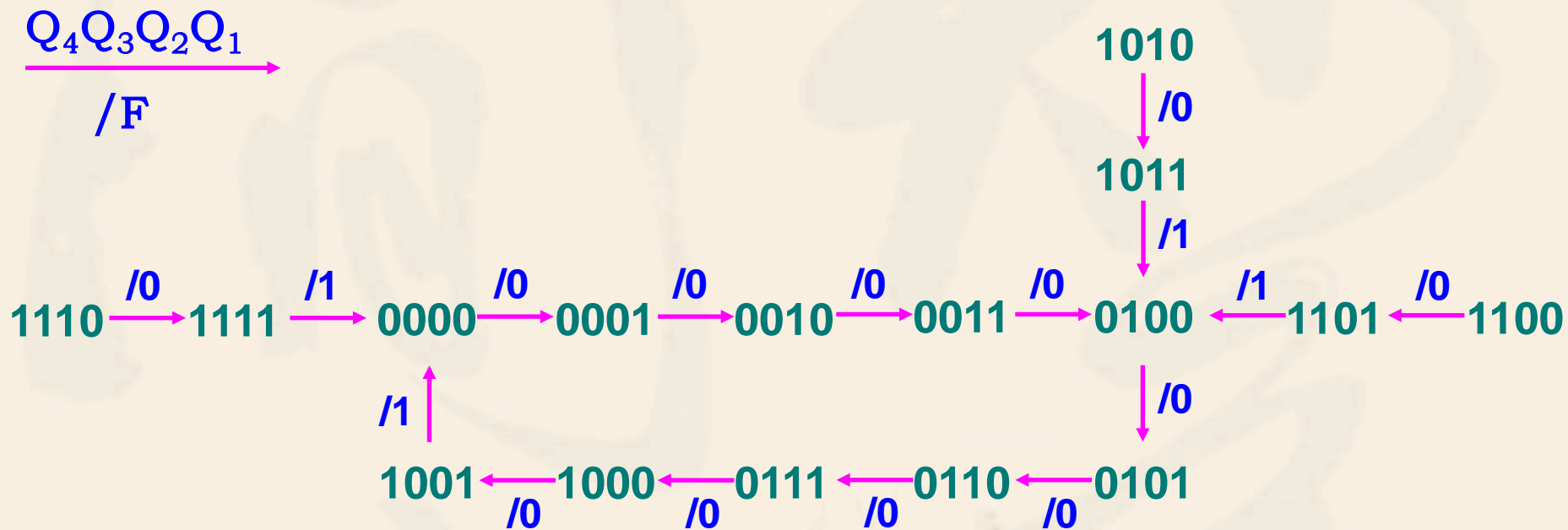


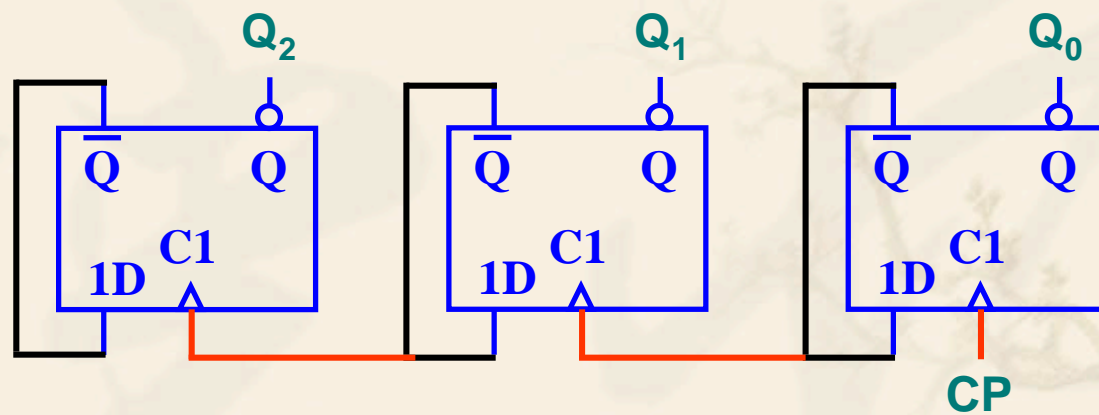
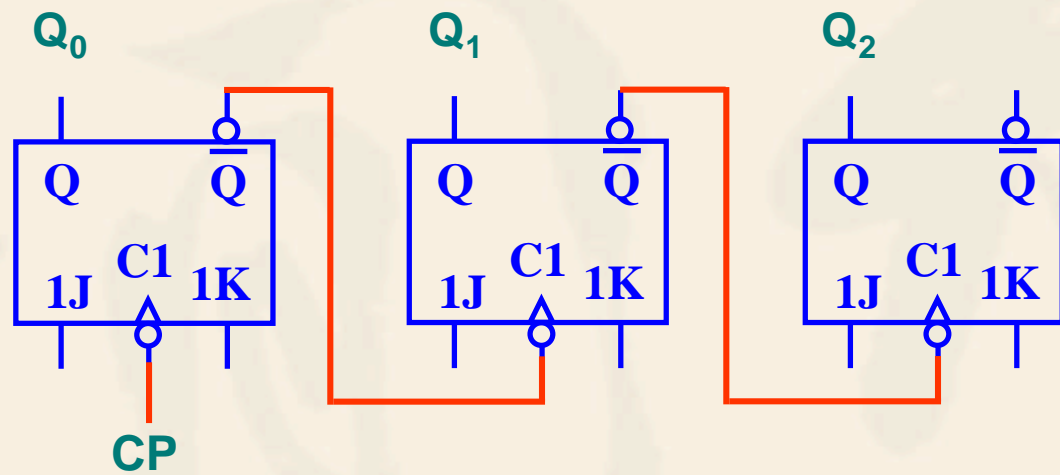










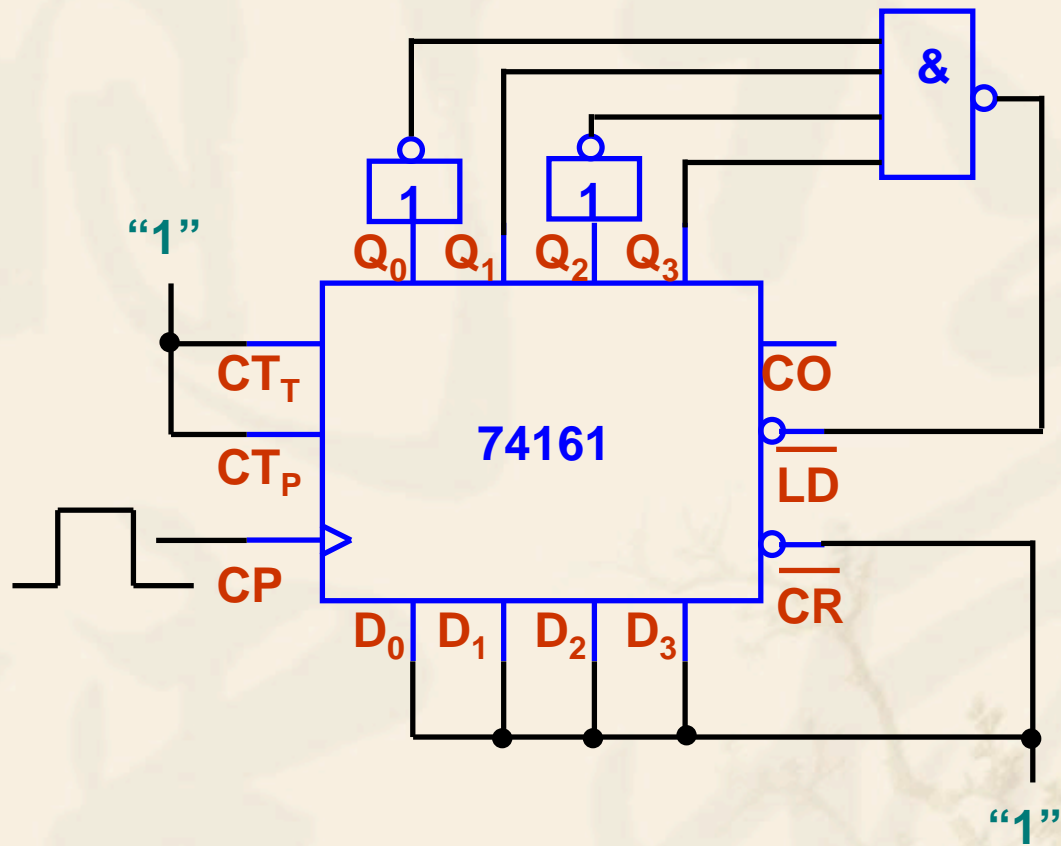


# 一、异步二进制计数器的设计（以三位二进制为例）

## 1. 加计数器设计

态序	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0





>

