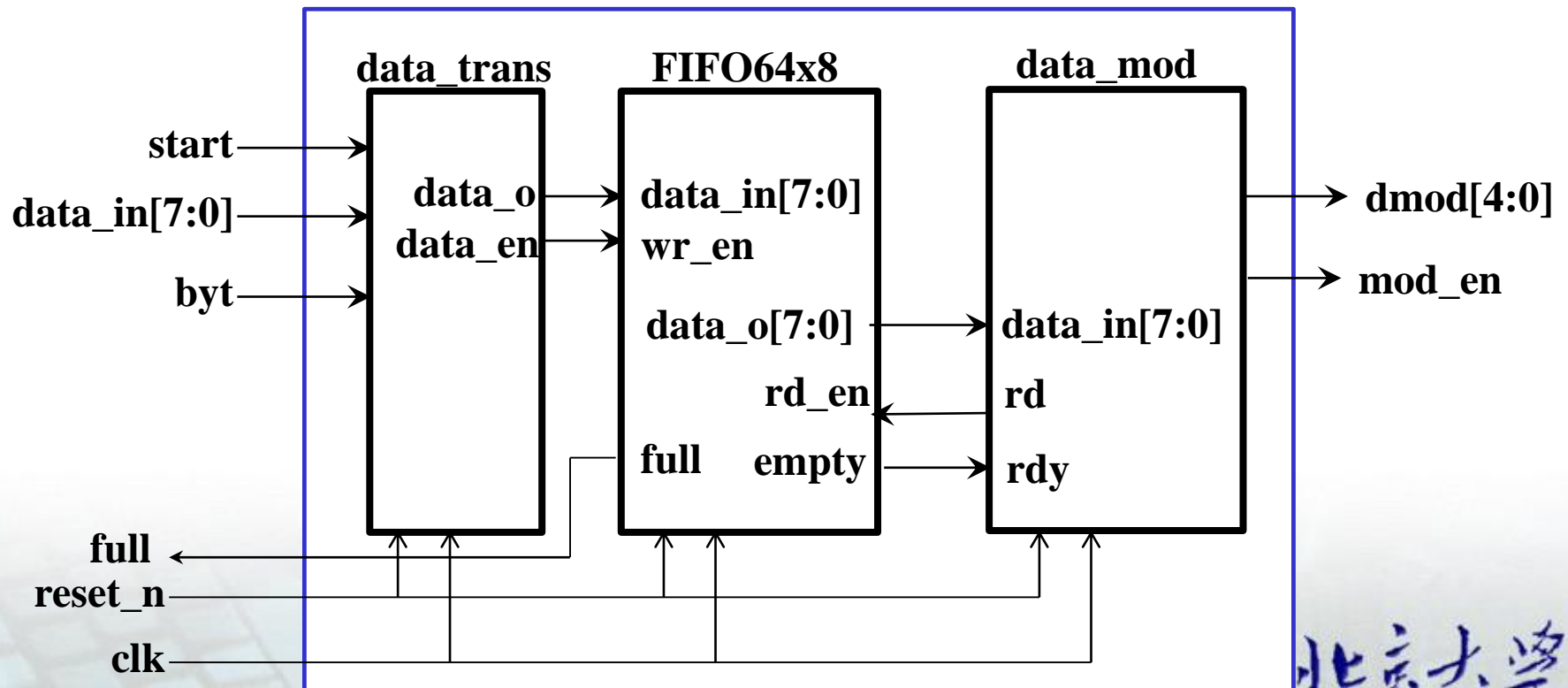


作业：数据转换器

某系统的电路如图蓝色框内所示，包括三个模块：data_trans、FIFO64x8、data_mod。其中：

- reset_n：低电平异步复位信号
- clk：时钟信号

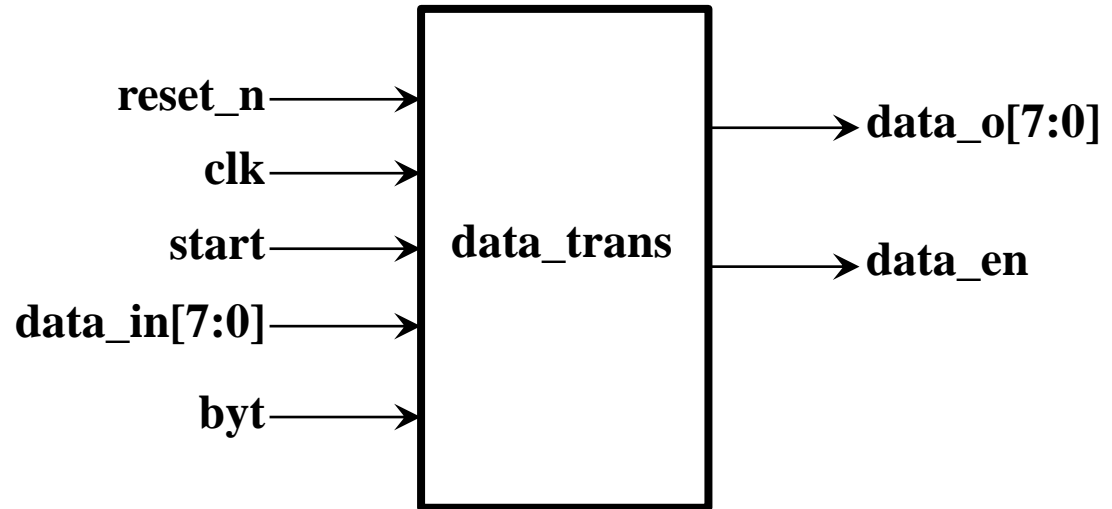
三个模块的连接关系如图所示。



模块：data_trans

某电路如图所示，其中：

- reset_n：低电平异步复位信号
- start：启动信号
- clk：时钟信号，
- data_in[7:0]：数据输入
- byt：字节有效的指示



电路复位结束后，当start信号为1时表示data_in送来数据，为0时表示没有数据。当byt为1时表示data_in的8位数据都是有效数据位，为0时表示只有[3:0]是有效数据位。这些有效数据位以8位方式从data_o送出，当在data_o输出有效数据时，置输出信号data_en为1，否则为0。比如，以下以16进制表示的8位数据，其中X表示无效的4位数：

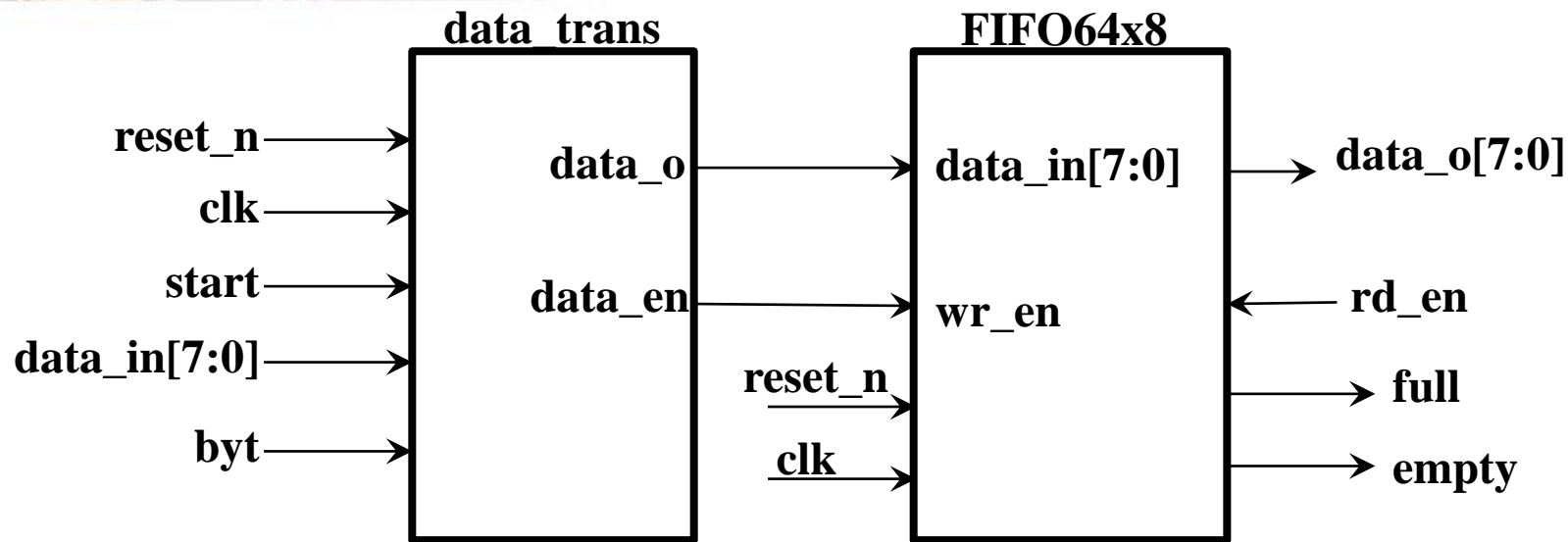
输入数据：数据10是第一个数据

输出数据

87 X6 95 43 X2 10 =>

87 56 39 24 10

模块：FIFO



如图所示，FIFO64x8是一个深度为64，位宽为8的先进先出存储器。

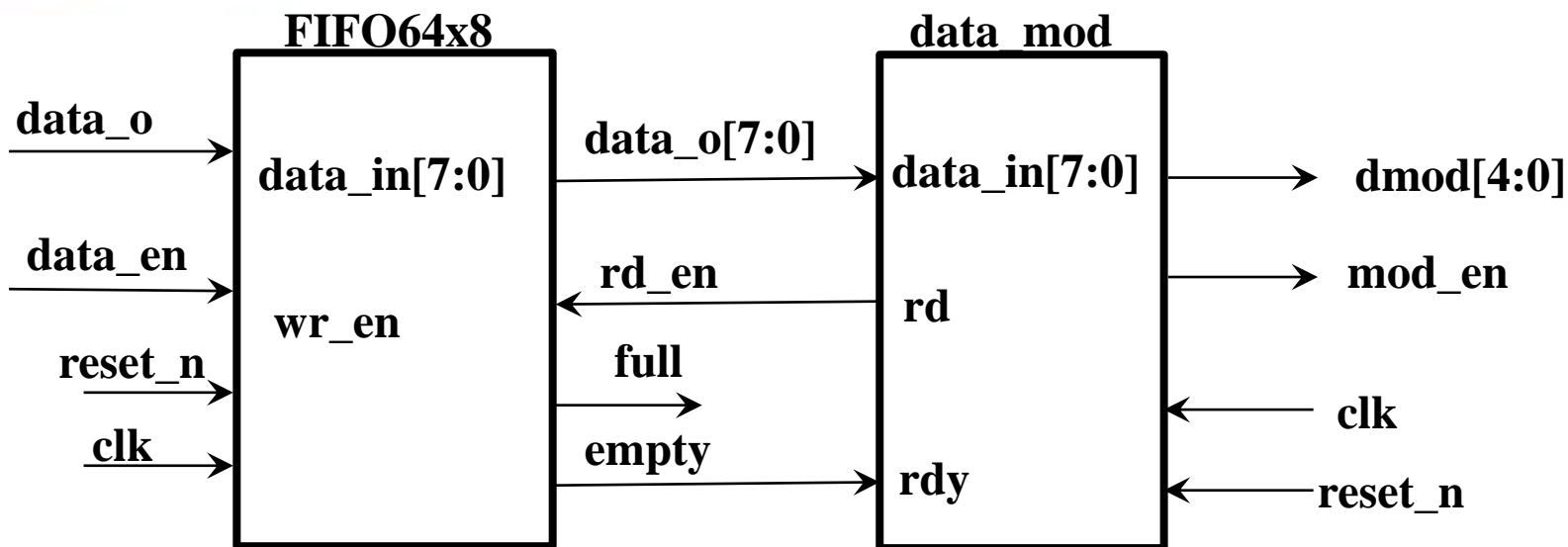
当wr_en为1时，在时钟clk上升沿将数据data_in写入FIFO；当rd_en为1时将FIFO中的数据读出到data_o。

当在FIFO中数据个数小于等于16时，empty为1，停止读出FIFO数据，直到empty为0时重新开始读出。

当FIFO中数据个数大于等于48时，full为1。系统收到full信号时暂停数据写入，直到full为0时又重新开始写数据。

请使用SMIC双端口存储器S65NLLHS2PH64x8，建立此FIFO的Verilog模型。

模块：data_mod



如图所示，当在FIFO中数据个数小于等于16时，empty为1，data_mod模块则置信号rd为0，停止读出数据，直到empty为0时置信号rd为1，继续读出数据。

data_mod模块读出的8位数据data_in[7:0]，从低位开始以5位为一组，每个时钟周期输出一组，即第一个时钟周期输出data_in[4:0]位，第二个周期输出下一个数据的[1:0]位和data_in的[7:5]位，以此类推。当输出数据dmod[4:0]有效时，输出信号mod_en为1，否则为0。

