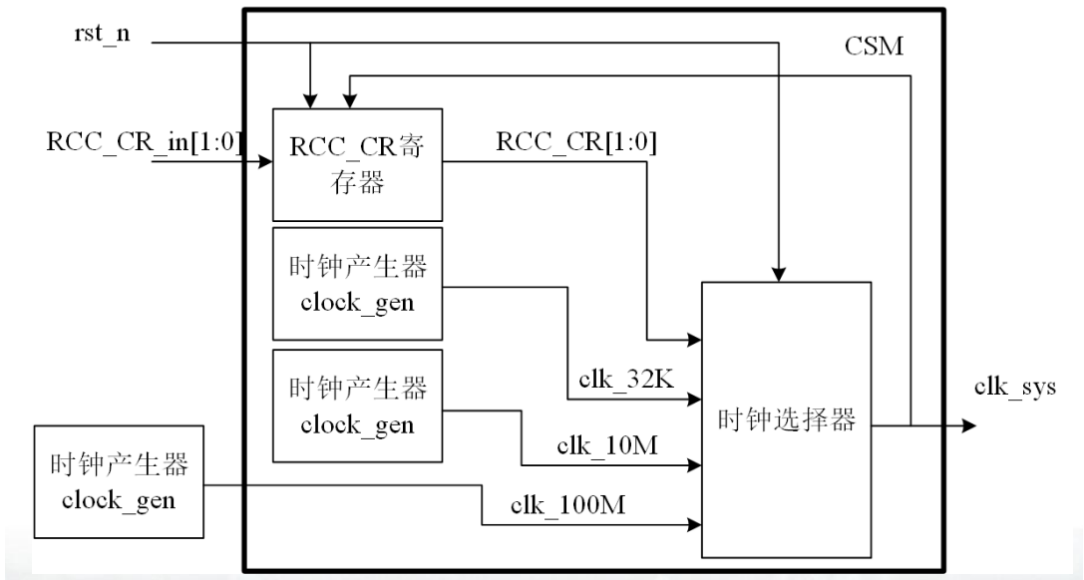


时钟切换电路CSM

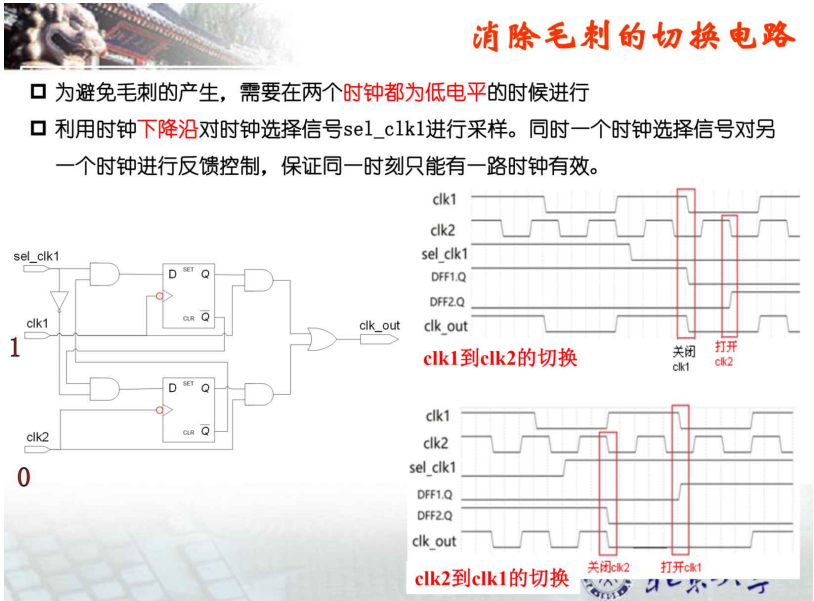
设计目标



设计注意点

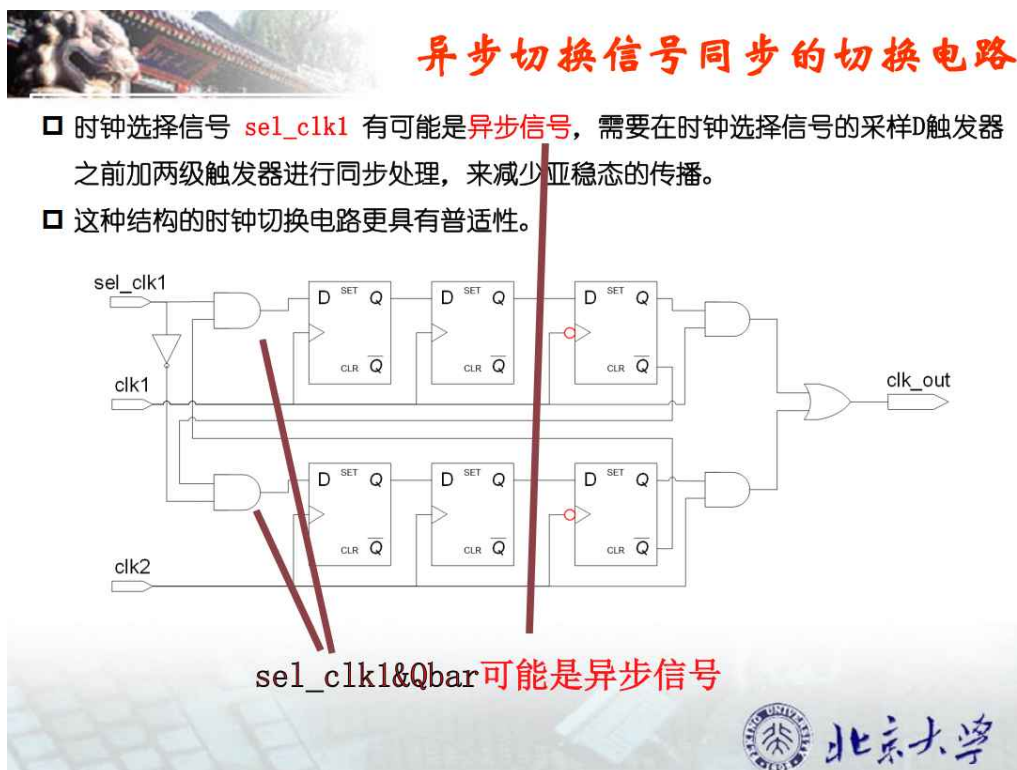
1. 消除毛刺的时钟切换电路（时钟选择器）的设计

课上所讲的2个时钟的消除毛刺的时钟切换电路，如下图所示，其中每个D触发器的Q端都是对应时钟信号的使能信号。当当前正在使用的时钟使能信号拉低后，其他时钟的使能信号才有可能被拉高。



首先本次作业设计需要增加一路时钟信号。本次作业当中，因为要从3个时钟当中切换，因此需要在上图的基础上做改动，以增加一个时钟信号。

同时，本次作业设计需要像下图的同步电路一样，增加同步电路，原因是下图里面与门的输出可能和时钟是异步信号。



2. 自动切换至clk_100MHz时钟电路

题目要求当clk_100MHz稳定后，将时钟由clk_10MHz切换至clk_100MHz。这个自动切换时钟功能可以通过设置一个计数器，由clk_10MHz计数，理想情况下，在计数到29950（即计时到clk_100MHz的3ms起振时间）之后由计数器产生一个时钟切换信号脉冲clk_shift_when_initial，通知MCU改写RCC_CR_in的值为b10实现。但是一般情况下，起振时时钟的输出可能是有很多毛刺的不稳定的，因此计数器按理来说要有比29950更大的裕量。

3. 复位信号rst_n的异步复位、同步释放处理

rst_n是来自外部的异步复位信号。只要电路内有时序电路（寄存器或者锁存器），就需要对异步复位信号进行同步释放处理，避免在复位信号拉高刚好在时钟有效边沿前一瞬间情况下，造成局部电路的复位不成功。

异步复位、同步释放电路如下图所示：

