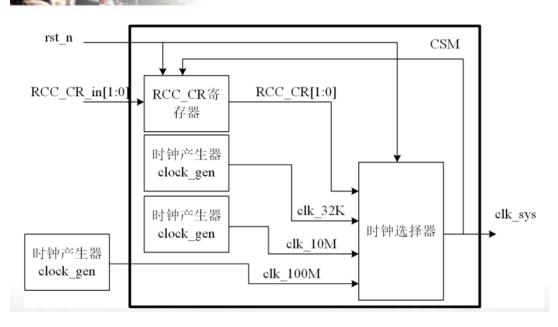
时钟切换电路CSM

设计目标

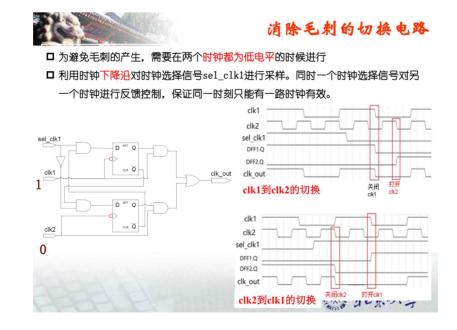
异步切换信号同步的切换电路的实例



设计注意点

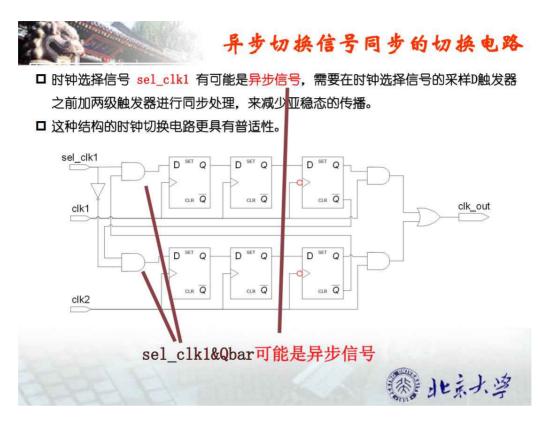
1. 消除毛刺的时钟切换电路(时钟选择器)的设计

课上所讲的2个时钟的消除毛刺的时钟切换电路,如下图所示,其中**每个D触发器的Q端都是对应时钟信号的使能信号**。当当前正在使用的时钟使能信号拉低后,其他时钟的使能信号才有可能被拉高。



首先**本次作业设计需要增加一路时钟信号**。本次作业当中,**因为要从3个时钟当中切换**,因此需要在上图的基础上做改动,以增加一个时钟信号。

同时,**本次作业设计**需要像下图的同步电路一样,**增加同步电路**,原因是下图里面**与门的输出**可能和时钟是异步信号。



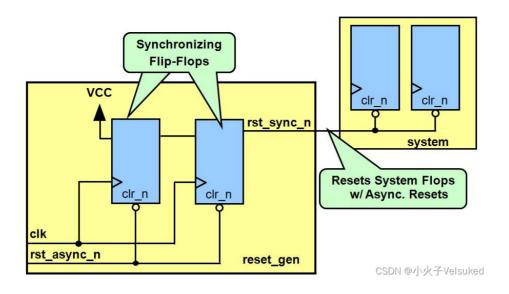
2. 自动切换至clk_100MHz时钟电路

题目要求当clk_100MHz稳定后,将时钟由clk_10MHz切换至clk_100MHz。这个**自动切换时钟功能**可以通过**设置一个计数器**,由clk_10MHz计数,理想情况下,在计数到29950(即计时到clk_100MHz的3ms起振时间)之后由计数器产生一个时钟切换信号脉冲clk_shift_when_initial,**通知MCU改写RCC_CR_in**的值为b10实现。但是一般情况下,起振时时钟的输出可能是有很多毛刺的不稳定的,因此计数器按理来说要有比29950更大的裕量。

3. 复位信号rst n的异步复位、同步释放处理

rst_n是来自外部的异步复位信号。只要电路内有时序电路(寄存器或者锁存器),就需要对异步复位信号进行同步释放处理,避免在复位信号拉高刚好在时钟有效边沿前一瞬间情况下,造成局部电路的复位不成功。

异步复位、同步释放电路如下图所示:



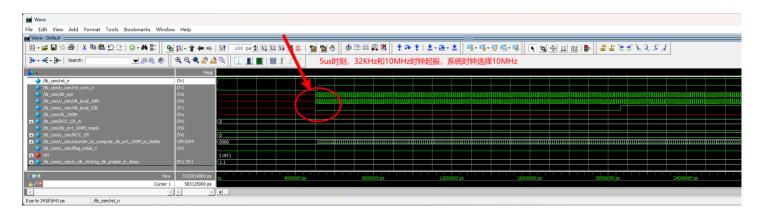
其中同步时钟使用clk_sys。值得分析一下的是,加入了异步复位、同步释放电路之后,只有在clk_sys起振后复位信号才能被释放,这一点会不会对整个系统有不利影响?事实上是不会有什么不利影响。首先解释一下只有在clk_sys起振后才能释放的原因:如果在上电之后RCC_CR_in[1:0]位b00所选择的内部时钟(即clk_10M)起振之前,rst_n拉低,那么rst_sync_n会被一直拉低,RCC_CR寄存器和时钟选择器一直在被复位,直到clk_10M起振,释放复位信号。为什么clk_sys起振之前系统一直在复位没有什么不利影响呢?道理很简单,因为系统时钟clk_sys起振之前,整个电路无法做任何行为,因此一直处于复位状态是没问题的。

4. RCC_CR寄存器不需要对输入信号RCC_CR_in[1:0]进行同步化处理

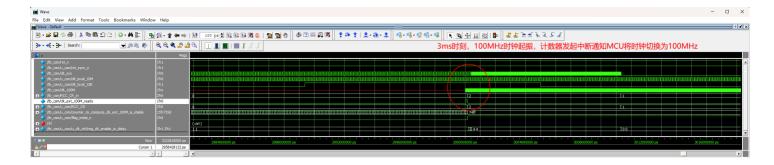
RCC_CR_in[1:0]信号由MCU控制产生,因此RCC_CR_in[1:0]和系统时钟clk_sys同步。因此同步信号不需要进行多位异步信号的同步化处理。

Testbench验证

5us时刻,32KHz和10MHz时钟起振,系统时钟选择10MHz



3ms时刻,100MHz时钟起振,CSM发起中断,通知MCU将时钟切换为100MHz



改变RCC_CR_in的值为b01,系统时钟切换至32KHz

