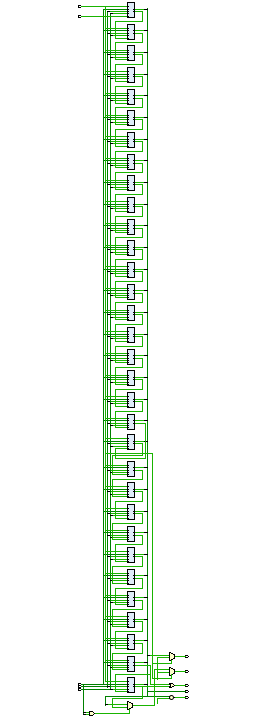
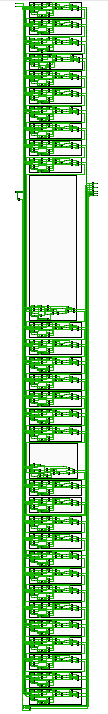
本次作业在课程介绍的4位ALU原理基础上，独立设计了32位ALU，通过了测试用例的测试，可以正确产生输出数据D0、进位信号C、溢出指示信号V、DO符号位输出信号N、DO全为0指示信号Z。

# 电路结构

在写RTL时，首先描述了单个1bit计算单元的电路，之后采用generate语句生成32位ALU的电路。最终实现的电路网表如下图所示：

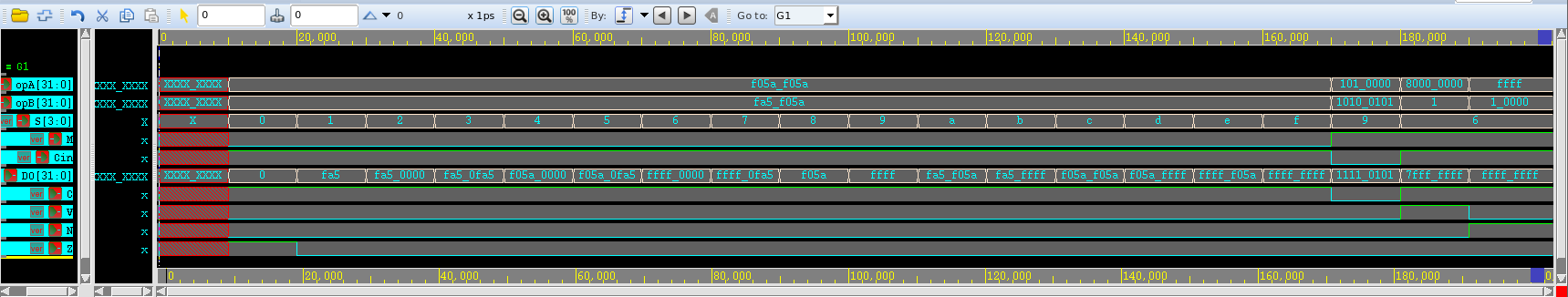
 

图左为未展开1bit计算单元的网表。图右为展开1bit计算单元的网表。网表与设计预期相符。

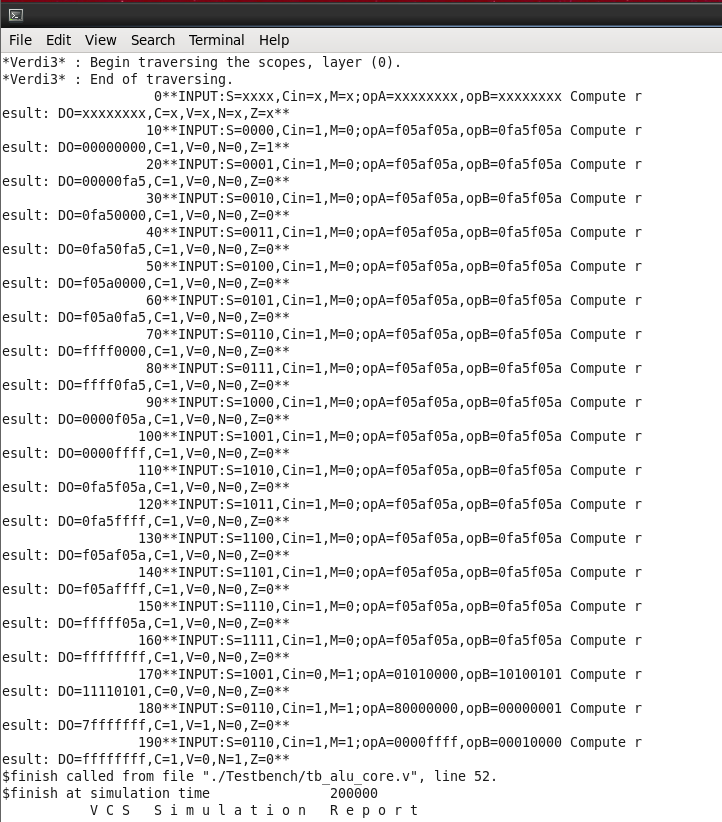
# 仿真波形

在进行功能验证时，首先编写Testbench，因为电路输入数据的位宽很大，因此如果进行完整覆盖率的测试，仿真时间会无法接受的长。因此专门设计了19个测试用例来测试电路功能（减法用了2个，其余情况各1个测试用例）。

19个测试用例的仿真波形如下图所示：



每个测试用例的输入输出结果如下所示：



经过检查，结果均符合预期。