# 第二、三次数集作业设计报告

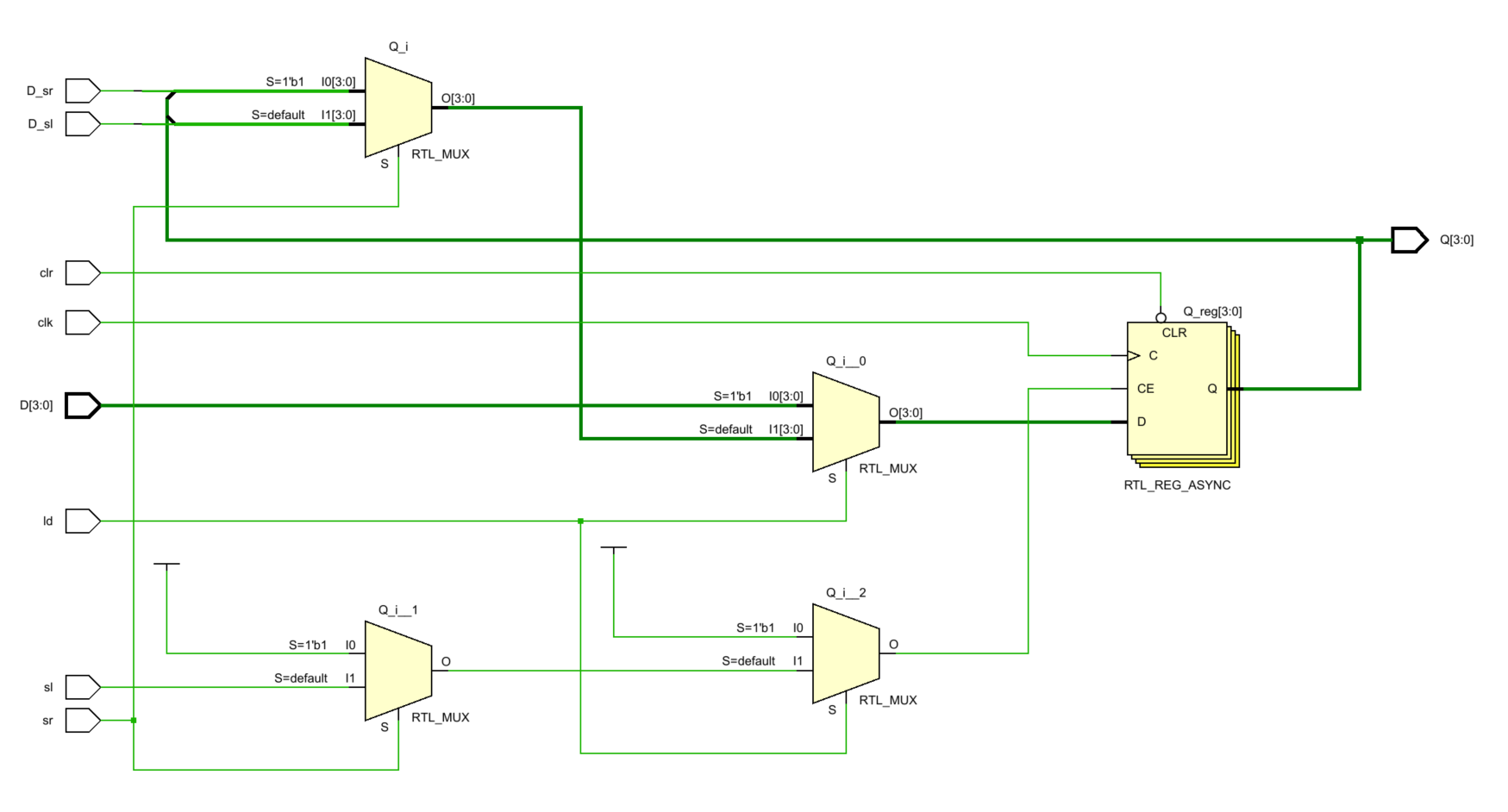
黎李汶娟 2301210275

# 作业二、4位移位器设计

设计了一个具有左移并移入新数据、右移并移入新数据、LOAD三个功能的4位双向移位器。

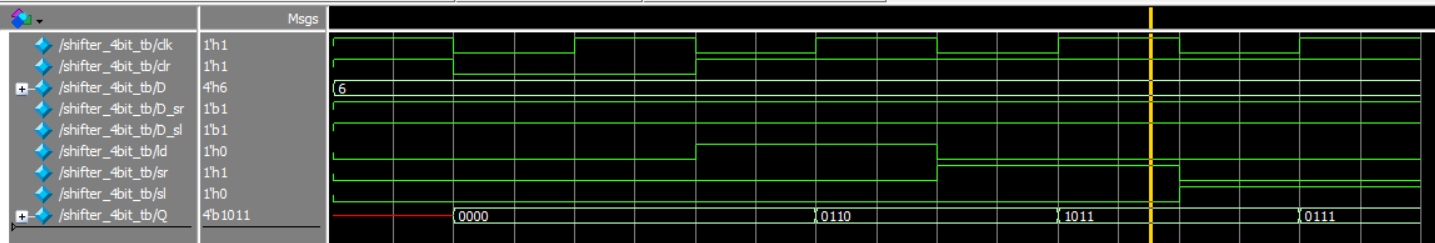
# 电路结构

实现的电路原理图如下图所示：



题目没有规定输入控制信号ld、sr、sl的优先级，设计时采用的优先级从高到低是ld、sr、sl。设计电路时海加入了低有效异步复位信号clr，对D触发器进行复位。

# 仿真波形



编写Testbench测试电路的装载、右移、左移功能是否正确。

Testbench代码如下：

initial begin

    clk         <=  1'b1    ;

    clr         <=  1'b1    ;

    D           <=  4'b0110 ;

    D\_sr        <=  1'b1    ;

    D\_sl        <=  1'b1    ;

    ld          <=  1'b0    ;

    sr          <=  1'b0    ;

    sl          <=  1'b0    ;

end

always #10 clk =  ~ clk ;

initial begin

    #10 clr = 1'b0 ;

    #20 clr = 1'b1 ;

        ld  = 1'b1 ;sr  = 1'b0 ;sl  = 1'b0 ;

    #20 ld  = 1'b0 ;sr  = 1'b1 ;sl  = 1'b0 ;

    #20 ld  = 1'b0 ;sr  = 1'b0 ;sl  = 1'b1 ;

    #20

    $finish;

end

观察波形的变化情况：

第一个时钟周期，电路装载了“0110”。

第二个时钟周期，移位器右移进新数据“1”。

第三个时钟周期，移位器左移进新数据“1”。

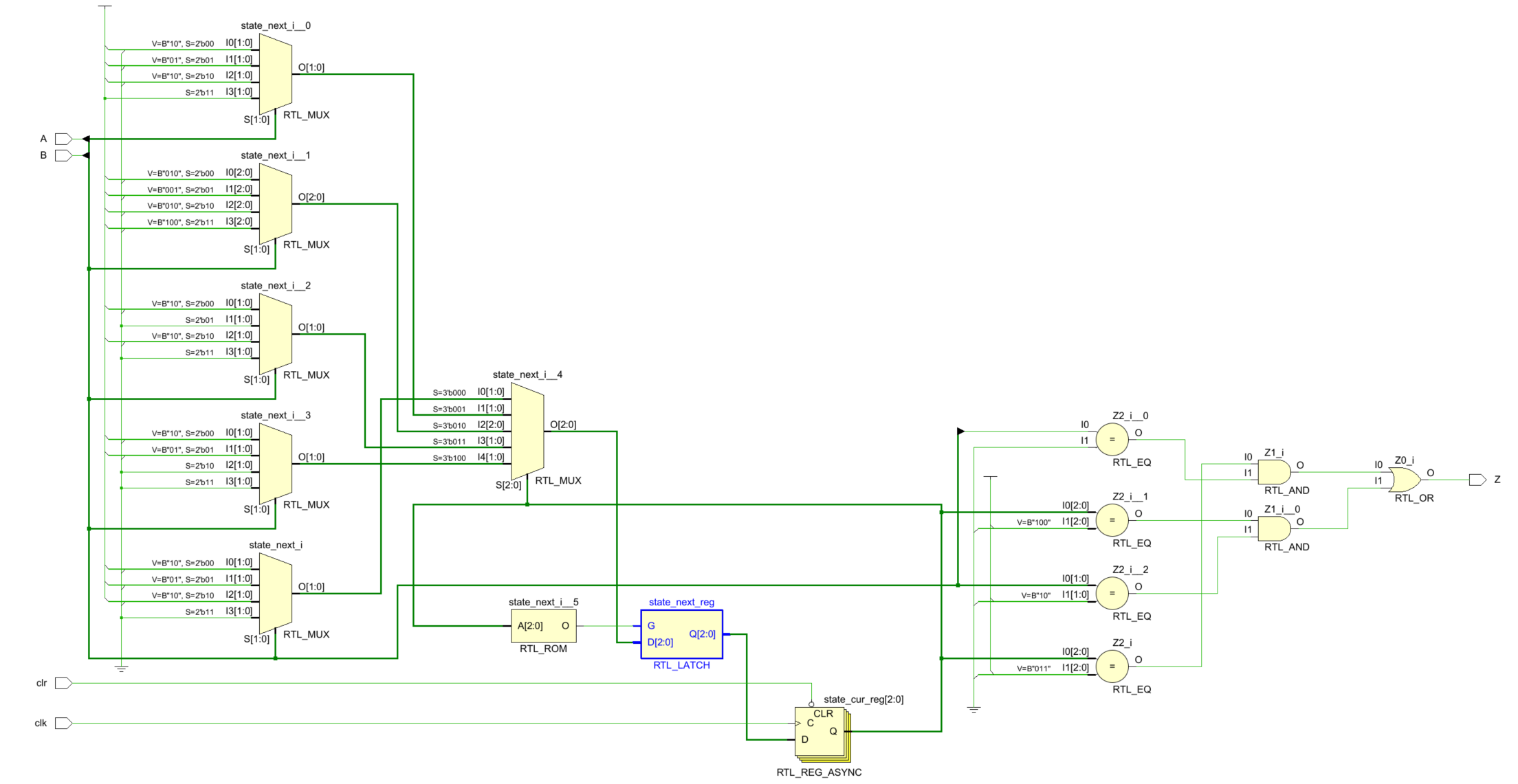
均与预期相符。

# 作业三、序列检测电路设计

题目要求为，设计 “01110”序列检测电路，数据以两位一组的顺序送入电路，D0送入到A，D1送入到B，以此类推，每发现一个“01110”相邻的“01110”不重叠，在Z输出一个时钟周期宽度的高电平脉冲。

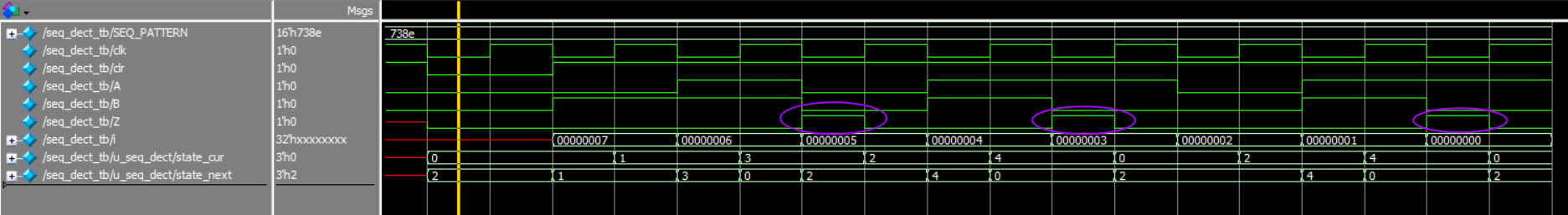
# 电路结构

实现的电路原理图如下图所示：



# 仿真波形

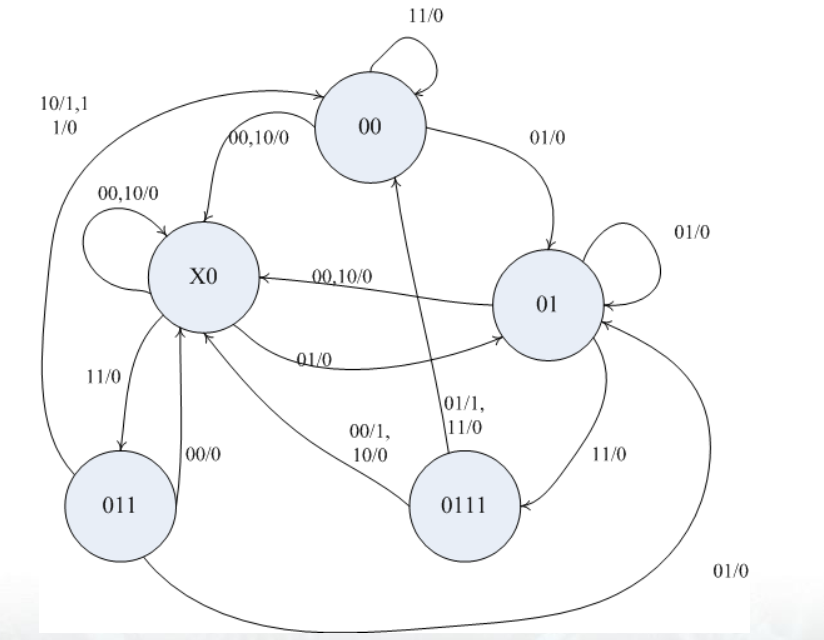
用测试序列“01110\_01110\_0\_01110”进行仿真，根据每发现一个“01110”相邻的“01110”不重叠的原则，理论上电路应该检测出该序列三次“01110”序列。进行仿真，仿真波形如下图所示：



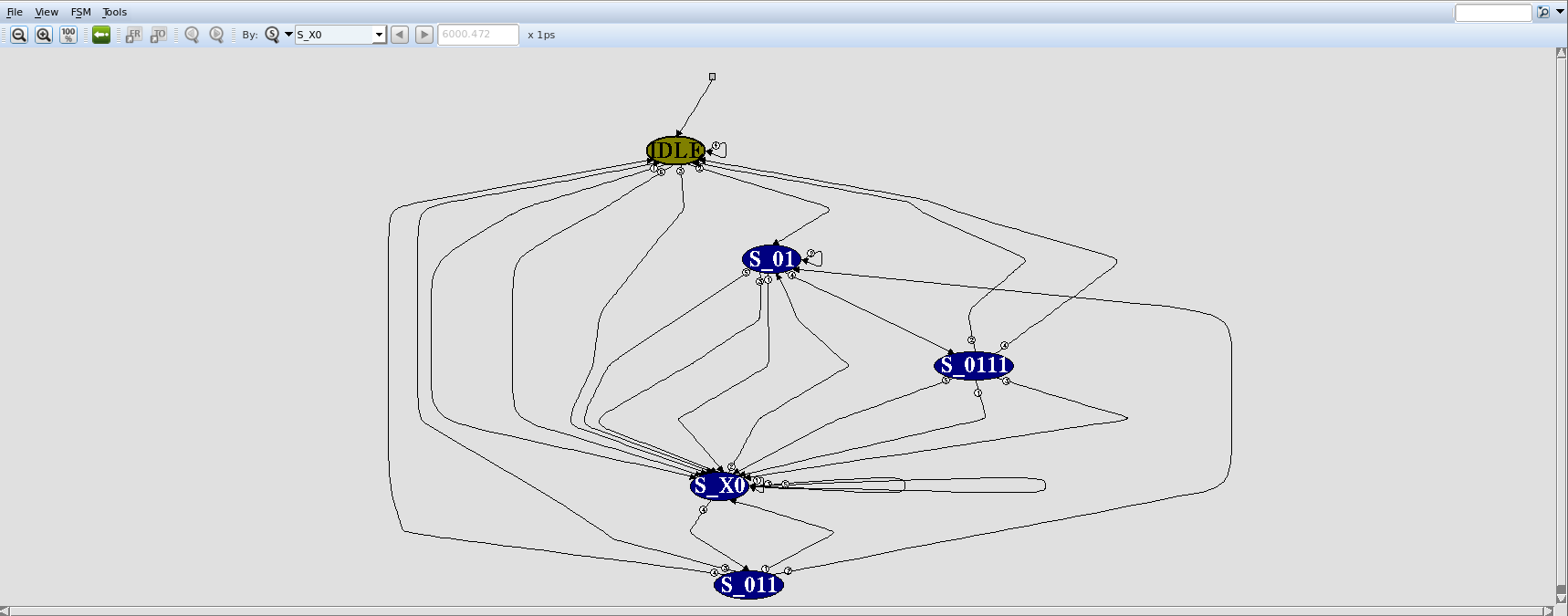
可以看到，Z一共输出了三个高电平脉冲信号，与理论预期相符。

# 状态转换图

题目要求的状态转换图：



用verdi查看的状态转换图：



IDLE最上方的状态是clr信号带来的状态复位。

可见与预期相符，状态转换功能正确。