

上课笔记

海洋探测数据测量

7.22

- 中心点
- 上跨零点
- 下跨零点
- 波长：相邻两个上跨零点间距
 - 周期：相邻两个上跨零点时间
 - 波高：相邻两个上跨零点之间最高-最低
- 平均波高
 - 累计率波高
 - 如1000个波，大小排列，第10最大波高2m，1%波高为2m
 - 部分大波波高
 - 1/3大波波高，取前1/3
 - 有效波高（1/3大波平均波高）

$$H_i = \frac{3}{N} \sum_{i=1}^{N/3} H_i$$

- 连续15min左右，可以满足统计需要
- 波向
 - 单一波向无意义，需要得出波浪统计率
- 振幅 波陡?? 波龄??

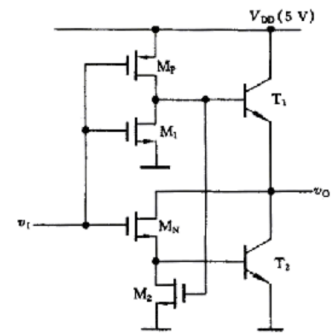
7.22+7.26 海洋探测的讲座，在我看来，其实更多是李培良教授想要给我们的科研之路上一课。因为我们并不是海洋科学（物理海洋）相关方向上的学生，所以无法深刻理解李老师给我们讲解的技术细节，但是单单听李老师科研路上的种种坎坷，我们就能深刻感受到科研的不易。李老师给我们讲解的这段科研旅途其实并不是他自己本身的研究范围，其主要的研究领域应该是海洋传感器这一块，但是当他接到这个关于出海进行海洋探测的任务的时候，其对待任务的认真程度的确是令人钦佩。我们现在在日常学习当中遇到不喜欢的课程，都会选择水水了事，但是这绝对不是一个科学的态度。

VHDL

Very-High-Speed Integrated Circuit Hardware Description Language

- - 数字系统
 - 数字技术 传输处理信息（不包括传感器数字化）
 - 硬件构成 IC
 - IC分类
 - 生产工艺
 - Bipolar 双极性 空穴/电子（PN结晶体管）
 - TTL (transistor- transistor Logic)
 - 工速、驱动能力比ECL小，IIL大；功耗集成度比ECL强 IIL弱
 - ECL(Emitter Coupled Logic) 发射极耦合逻辑-军用
 - Integrate injection logic (IIL) 集成注入逻辑
- - 金属氧化物半导体 MOS

- MOS 工速、驱动能力最弱（较双极性）
 - Complementary mos(互补性), 工作电压展宽（较p,n相比）
 - CMOS最主流的IC
- Bi-MOS
 - 输出之外用MOS（输出用双极性，驱动能力大）

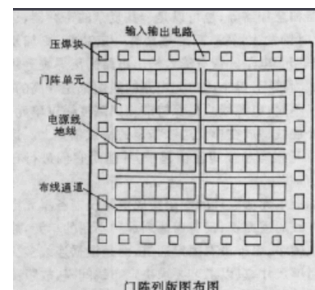


- 高速缓冲暂存器Cache
 - 现在用高速CMOS-SRAM TTL (计算机)
 -
- 计算机5个部分
 - 运算器 控制器 存储器 输入系统 输出系统
 - CPU结合了运算器和控制器
 - Micro processor 将运算器和控制器做在单片上的（CPU的子集）

7.23 听课感想：总觉得在短短的一周不到的接触时间当中，我们充分感受到了指导老师知识的渊博。感觉这位老师从数字电路设计到信号处理，从通信原理到计算机原理真的是无所不能，且总是给我们带来各种各样的惊喜。今天的课程，虽然并没有非常深入地讲解那些晦涩难懂的工科知识，但确实确实让我们对于之前学到的微机原理相关内容有了更加深刻的理解。他将微计算机的发展历程与我们娓娓道来，将intel公司的发展为我们展现了出来，其中穿插了计算机系统的发展过程，这让我们对之前微机原理学习的计算机部分有了更加完整的理解，并有了一个直观的印象。之后，为我们揭示了各种各样的集成电路设计方式，填补了我们的知识盲区。

7.24

- 按生产目的分（知识产权）
 - 通用集成电路
 - 供应市场为目的
 - 知识产权公开
 - 专用集成电路（ASIC）
 - 知识
 - 产权不公开
- 按制造方式分
 - 全定制方式
 - 通用集成电路/成熟的ASIC
 - 半定制方式
 - 元件+连线
 - 布局 布连线
 - 预制元件 定制连线
 - 处于研制阶段，或小批量试制阶段会用ASIC
 - AISC
 - 门阵列法
 - 牺牲元件（无通道，骑过元件）
 - 门海
 - 牺牲元件（无通道，骑过元件）
 - 标准单元
 - 等高不等宽



- PLD 可编程逻辑器件
 - 预制元件定制连线
 - 结构区分
 - 乘积项结构
 - 输入缓冲+与阵列+或阵列+输出缓冲
- (FPGA) Field – Programmable Gate Array 现场可编程门阵列
 - 查找表结构
 - 多路开关结构
 - 多级与非门结构(异或门反相器)
- 按不同制造分类分
 - 熔丝/反熔丝
 - 工作速度高，双极性，功耗大，集成度低
 - 编程后无法修改，定型设计
 - 熔丝提高结温
 - 反熔丝（反向偏置） 击穿
 - 好惨—PN结
 - UVCMOS工艺
 - UV: ultraviolet 紫外线 能级阶跃
 - 可擦除，但擦除时间长
 - 通过控制栅极改变电子分布，进而改变栅压
 - 悬浮栅工艺
 - EECMOS

- 电擦除，缩短擦除时间，可以不全部擦除
- FLASH CMOS
 - 块设备读写的寻址方式，擦写时间减短
- SRAM CMOS工艺
 - 随时改写，工作速度较高，遗失性（断电丢失）
- 按不同集成度划分
 - 低密度PLD
 - PROM 可编程只读存储器（BIOS）
 - 见PPT。与门不可编程 或门可编程（最简单的就是熔丝/反熔丝，以x表示是否连通）
 - 但是反应比较慢
 - PLA programmable logic array
 - 与，或阵列均可编程；因此资源利用率低
 - 见PPT
 - PAL programmable array logic
 - 与阵列可编程，或阵列固定
 - 只能做组合逻辑电路
 - GAL Generic Array Logic,
 - 高密度PLD
 - EPLD Erasable Programmable Logic Device
 - CPLD Complex PLD
 - FPGA

- EPLD 互联能力弱-> 可编程内部互联
- 很难预测其内部传输时延
- 嵌入式应用中 添加大量乘法器

- DSP模块 (processor)
 - 与普通CPU区别
 - 硬件上 乘法器特别多
 - 软件上 对乘加运算设计 指令系统

- 数字系统的设计工具和设计流程
 - 数字系统设计自动化技术的发展历程
 - CAD -> CAE
 - CAD+CAM+CAT+CAE = EDA (Electronics Design Automation)
 - 设计输入模块
 - 设计数据库模块
 - 综合模块
 - 分析验证模块
 - 布局布线模块

7.24 感想： 在下午，我们又听取了VHDL的相关讲座。今天的内容主要包括各种数字系统IC的分类。这一块的内容很好地将之前我们在模电/数电课上所得到的知识融会贯通。之前我们的学习过程当中，可能仅仅是了解了一些特定的元件的原理，比如三极管、场效应管等的原理。在这次的课程当中，我们进一步了解到了这些元件如何组成最基本的数字系统，也了解到了他们到底怎么样定制成有效的电路（例如最基本的门电路）。我们也简单了解了一下如何将电路元件通过不同的定制方式应用到系统中

去。比如全定制与半定制系统。同时，在半定制系统之下，老师给我们介绍了ASIC、门阵列法、门海等等功能。这些都让我们获益匪浅。

7.26

- 数字系统设计流程的发展历程
 - Top down
 - 提出系统功能
 - 系统设计
 - 功能描述，性能描述
 - 模块设计
 - 子系统 的功能性能描述，进一步获取子模块
 - 器件设计
 - IC/ASIC实现
 - 版图设计
 - ASIC版图设计
 - PCB版图设计
 - 描述
 - 几何描述（PCB/芯片版图）
 - 结构描述（电路级/门级）
 - RTL描述（寄存器传输级） 寄存器 存储器 算术逻辑单元，逻辑表达式，逻辑方程
 - 行为描述（算法级描述），真值表，状态图
 - Bottom up
 - 小模块逐级构造完整系统

-
- 划分基本原则
 - 在同一层次的模块之间，尽量使模块均匀
 - 尽量减少模块之间的接口信号
 - 划分模块的细度应该适合于描述
 - 对于功能相似的逻辑模块，应设计成共享模块
 - 避免考虑与器件/工艺相关的特性
- 综合
 - 将高层次的描述转换为低层次的描述，分析与综合是两个逆过程
 - 行为综合、（行为描述->RTL描述）
 - 逻辑综合、（RTL描述->结构描述）
 - 版图综合（结构描述->几何描述）
- 验证
 - 验证原始描述的正确性
 - 验证综合结果的逻辑功能是否符合原始描述
 - 验证综合的结果中是否含有违反设计规则的错误
 - 方法：
 - 逻辑模拟（仿真）、规则检查、形式验证
 - 逻辑仿真的局限性
 - 设计者给出外部激励信号，其优劣决定查出的错误多少
 - 设计者必须有丰富的经验分析模拟结果
 - 难以穷举激励信号，因此无法确保仿真正确=无误
 - DDR：一个节拍干两件事（上升沿做一次，下降沿做一次。）

- 规则检查
- 形式验证

感想：

今天李欣老师给我们介绍的主要内容是VHDL系统设计的相关知识。虽然我们之前学过数字电路设计相关的内容，但是对于数字系统整体的设计还是有所欠缺，而李老师给我们介绍的则是一个数字系统整体的内容。李老师给我们介绍了从数字系统的设计工具与设计流程的整体架构内容，为我们讲解了数字系统设计流程的发展历程和基本结构，包括Top down 和Button up两种结构。

而到了下午，我们第一次接触到了VHDL设计的核心部分，即硬件描述语言的具体实现。限于时间限制，我们并不能完整地按照上课的套路将整个语言从语法到应用一步一步地完成。但是李老师用了一种非常巧妙的方法，即直接以一个抢答器电路作为例子，来进行相关的讲解。虽然之前是真的毫无这方面的背景知识，但是在这次的课程之后基本上也能有了七七八八的理解。不过，毕竟只是一个introduction性质的讲座，我们也只是对于VHDL有了一点点的概念性理解，想要应用，还是需要进一步学习。

7.29

Very-High-Speed Integrated Circuit Hardware Description Language

- VHDL入门
 - 电路延迟
 - 总延迟=固有延迟+传输延迟+负载延迟+输入波行斜度延迟
 - 固有延迟（惯性）
 - 输入端施加脉冲宽度小于该门电路固有延迟的激励

- 固有频率决定了工作频率上限
- 传输延迟由连线造成
- 负载延迟 门电路的输出端由于负载电容产生
- 输入波形斜度延迟- 上升沿的斜度所产生的延迟
-

- VHDL抢答器设计

Very-High-Speed Integrated Circuit Hardware Description Language

代码范例：

```
LIBRARY IEEE;
USE IEEE.Std_logic_1164.ALL;
ENTITY Responder IS                                —实体声明
    PORT(Key: IN Std_logic_Vector(7 DOWNT0 1);
          Led: OUT Std_logic_Vector(7 DOWNT0 1));    —端口声明
END Responder
ARCHITECTURE rtl OF Responder IS                    —结构体声明
BEGIN
    Led<=NOT Key;
END rtl;
```

- 结构体必属于一个实体
 - 结构体每一个语句并行执行，没有先后
 - 缓冲器（buffer）= 驱动器（driver）= 两个反向器串联
- Std_Ulogic 标准逻辑，9状态（U,X,0,1,Z,W,L,H,-）
 - U 未知初始值，上电时刻值
 - X 强未知值：强逻辑0与强逻辑1的结果
 - 防止出现X，可以两个三态门连接，两者时分复用
 - 0 强逻辑0
 - 1 强逻辑1
 - H 弱逻辑1

- 存在上拉电阻
- L 弱逻辑0
 - 存在下拉电阻
- W 弱未知
- ‘-‘ 无关，不可能值
- VHDL抢答器设计
 - 简单7位抢答器设计
 - out类型信号不能作为in信号
 - buffer信号的输出能力不如out类型
 - CASE语句：多路选择器
 - 频率：分频器

VHDL编译得到结果：结构描述（电路图）

但是由于综合器设计困难，因此不一定能综合

System verlog VHDL: 添加验证语言