

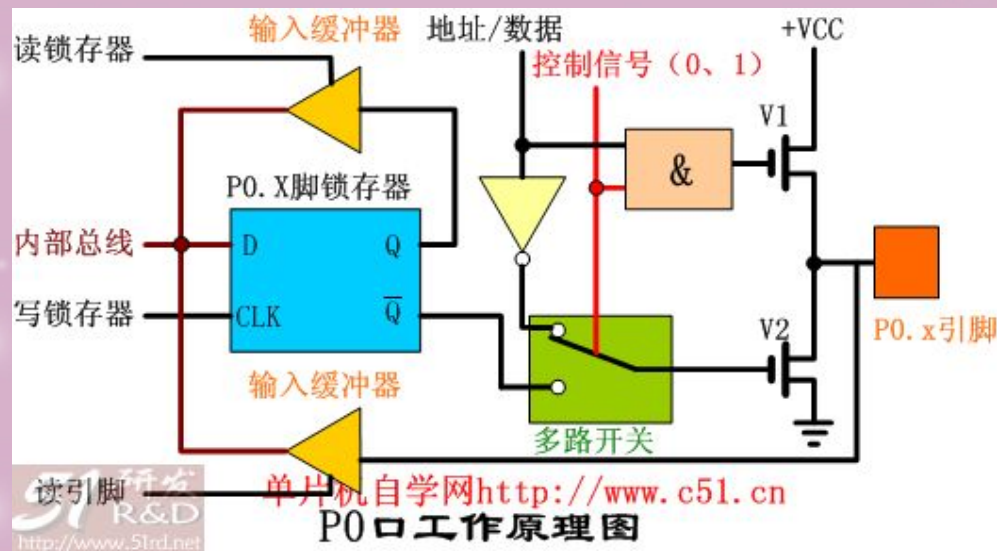
## 51端口的结构及工作原理

这是我看到过的最详细的介绍!!

比好多的教课书讲的要清楚,明白,详细,易懂的多!

## 一、P0端口的结构及工作原理

P0端口8位中的一位结构图见下图：



由上图可见，P0端口由锁存器、输入缓冲器、切换开关、一个与非门、一个与门及场效应管驱动电路构成。再看图的右边，标号为P0.X引脚的图标，也就是说P0.X引脚可以是P0.0到P0.7的任何一位，即在P0口有8个与上图相同的电路组成。

下面，我们先就组成P0口的每个单元部份跟大家介绍一下：

先看输入缓冲器：

在P0口中，有两个三态的缓冲器，在学数字电路时，我们已知道，三态门有三个状态，即在其的输出端可以是高电平、低电平，同时还有一种就是高阻状态（或称为禁止状态），大家看上图，上面一个是读锁存器的缓冲器，也就是说，要读取D锁存器输出端Q的数据，那就得使读锁存器的这个缓冲器的三态控制端（上图中标号为‘读锁存器’端）有效。下面一个是读引脚的缓冲器，要读取P0.X引脚上的数据，也要使标号为‘读引脚’的这个三态缓冲器的控制端有效，引脚上的数据才会传输到我们单片机的内部数据总线上。

D锁存器：

构成一个锁存器，通常要用一个时序电路，时序的单元电路在学数字电路时我们已知道，一个触发器可以保存一位的二进制数（即具有保持功能），在51单片机的32根I/O口线中都是用一个D触发器来构成锁存器的。大家看上图中的D锁存器，D端是数据输入端，CP是控制端（也就是时序控制信号输入端），Q是输出端，Q非是反向输出端。

对于D触发器来讲，当D输入端有一个输入信号，如果这时控制端CP没有信号（也就是时序脉冲没有到来），这时输入端D的数据是无法传输到输出端Q及反向输出端Q非的。如果时序控制端CP的时序脉冲一旦到了，这时D端输入的数据就会传输到Q及Q非端。数据传送过来后，当CP时序控制端的时序信号消失了，这时，输出端还会保持着上次输入端D的数据（即把上次的数据锁存起

来了)。如果下一个时序控制脉冲信号来了，这时D端的数据才再次传送到Q端，从而改变Q端的状态。

多路开关：

在51单片机中，当内部的存储器够用（也就是不需要外扩展存储器时，这里讲的存储器包括数据存储器及程序存储器）时，P0口可以作为通用的输入输出端口（即I/O）使用，对于8031（内部没有ROM）的单片机或者编写的程序超过了单片机内部的存储器容量，需要外扩存储器时，P0口就作为‘地址/数据’总线使用。那么这个多路选择开关就是用于选择是做为普通I/O口使用还是作为‘数据/地址’总线使用的选择开关了。大家看上图，当多路开关与下面接通时，P0口是作为普通的I/O口使用的，当多路开关是与上面接通时，P0口是作为‘地址/数据’总线使用的。

输出驱动部份：

从上图中我们已看出，P0口的输出是由两个MOS管组成的推拉式结构，也就是说，这两个MOS管一次只能导通一个，当V1导通时，V2就截止，当V2导通时，V1截止。

与门、与非门：

这两个单元电路的逻辑原理我们在第四课数字及常用逻辑电路时已做过介绍，不明白的同学请回到第四节去看看。

前面我们已将P0口的各单元部件进行了一个详细的讲解，下面我们就来研究一下P0口做为I/O口及地址/数据总线使用时的具体工作过程。

### 1、作为I/O端口使用时的工作原理

P0口作为I/O端口使用时，多路开关的控制信号为0（低电平），看上图中的线线部份，多路开关的控制信号同时与与门的一个输入端是相接的，我们知道与门的逻辑特点是“全1出1，有0出0”那么控制信号是0的话，这时与门输出的也是一个0（低电平），与门的输出是0，V1管就截止，在多路控制开关的控制信号是0（低电平）时，多路开关是与锁存器的Q非端相接的（即P0口作为I/O口线使用）。

P0口用作I/O口线，其由数据总线向引脚输出（即输出状态Output）的工作过程：

当写锁存器信号CP有效，数据总线的信号 锁存器的输入端D 锁存器的反向输出Q非端 多路开关 V2管的栅极 V2管的漏极到输出端P0.X。前面我们已讲了，当多路开关的控制信号为低电平0时，与门输出为低电平，V1管是截止的，所以作为输出口时，P0是漏极开路输出，类似于OC门，当驱动上接电流负载时，需要外接上拉电阻。

下图就是由内部数据总线向P0口输出数据的流程图（红色箭头）。

读锁存器

输入缓冲器

地址/数据

控制信号 (0, 1)

+VCC

V1

P0. X脚锁存器

内部总线

写锁存器

CLK

Q

$\bar{Q}$

输入缓冲器

多路开关

V2

P0. x引脚

51 研发 R&D

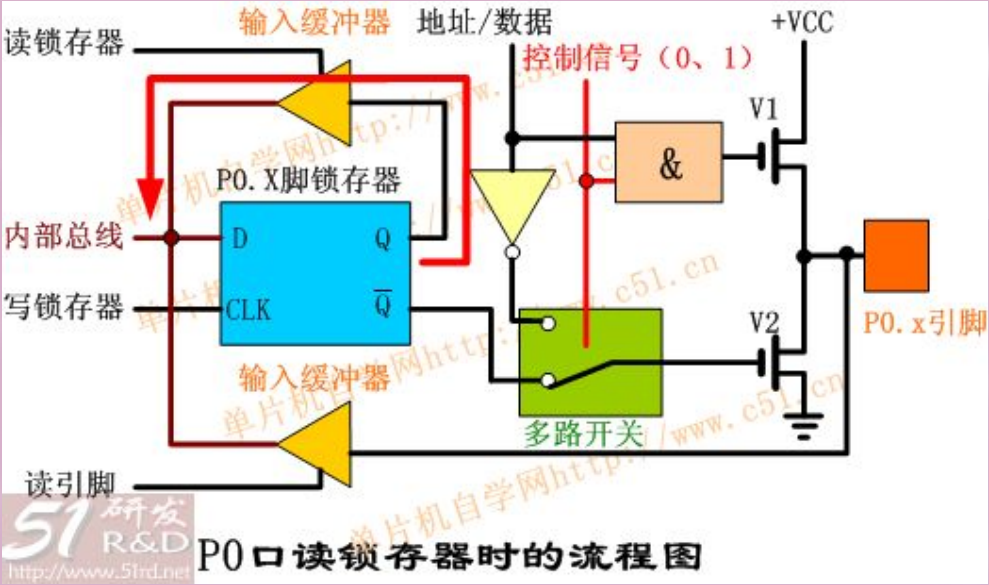
http://www.51rd.net

单片机自学网

P0口读引脚时的流程图

[http://hi.baidu.com/mark\\_zhang021/blog/item/b1be42d498a70e08a08bb7f7.html](http://hi.baidu.com/mark_zhang021/blog/item/b1be42d498a70e08a08bb7f7.html) (第 4 / 13 页) 2009-8-13 17:38:05





在输入状态下，从锁存器和从引脚上读来的信号一般是一致的，但也有例外。例如，当从内部总线输出低电平后，锁存器Q = 0，Q非 = 1，场效应管T2开通，端口线呈低电平状态。此时无论端口线上外接的信号是低电平还是高电平，从引脚读入单片机的信号都是低电平，因而不能正确地读入端口引脚上的信号。又如，当从内部总线输出高电平后，锁存器Q = 1，Q非 = 0，场效应管T2截止。如外接引脚信号为低电平，从引脚上读入的信号就与从锁存器读入的信号不同。为此，8031单片机在对端口P0—P3的输入操作上，有如下约定：为此，8051单片机在对端口P0—P3的输入操作上，有如下约定：凡属于读-修改-写方式的指令，从锁存器读入信号，其它指令则从端口引脚线上读入信号。

读-修改-写指令的特点是，从端口输入(读)信号，在单片机内加以运算(修改)后，再输出(写)到该端口上。下面是几条读--修改-写指令的例子。

\*/P>

ANL P0,#立即数	;P0 立即数P0
ORL P0,A	;P0 AP0
INC P1	;P1+1 P1
DEC P3	;P3-1 P3
CPL P2	;P2 P2

这样安排的原因在于读-修改-写指令需要得到端口原输出的状态，修改后再输出，读锁存器而不是读引脚，可以避免因外部电路的原因而使原端口的状态被读错。

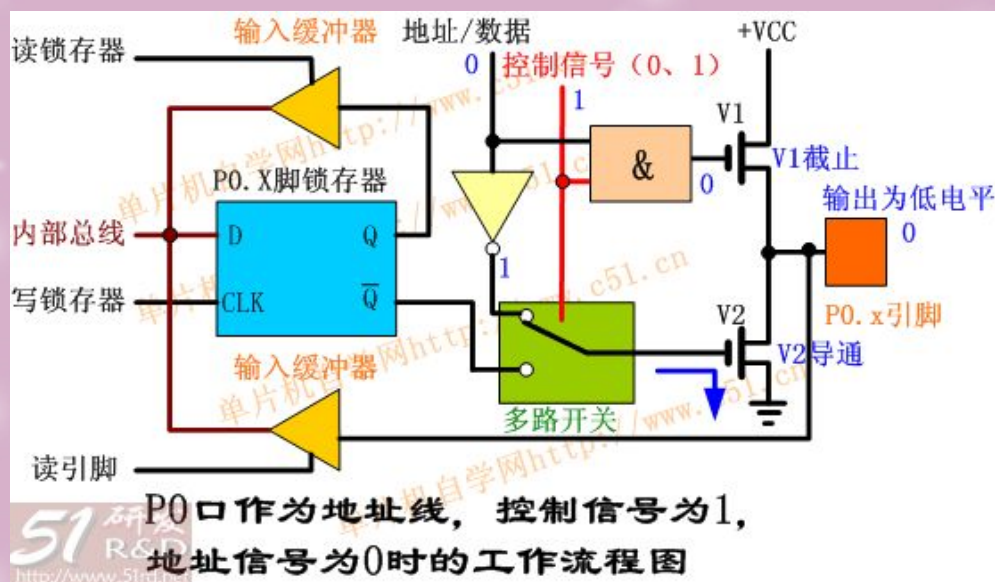
P0端口是8031单片机的总线口，分时出现数据D7—D0、低8位地址A7—A0，以及三态，用来接口存储器、外部电路与外部设备。P0端口是使用最广泛的I / O端口。

2、作为地址/数据复用口使用时的工作原理

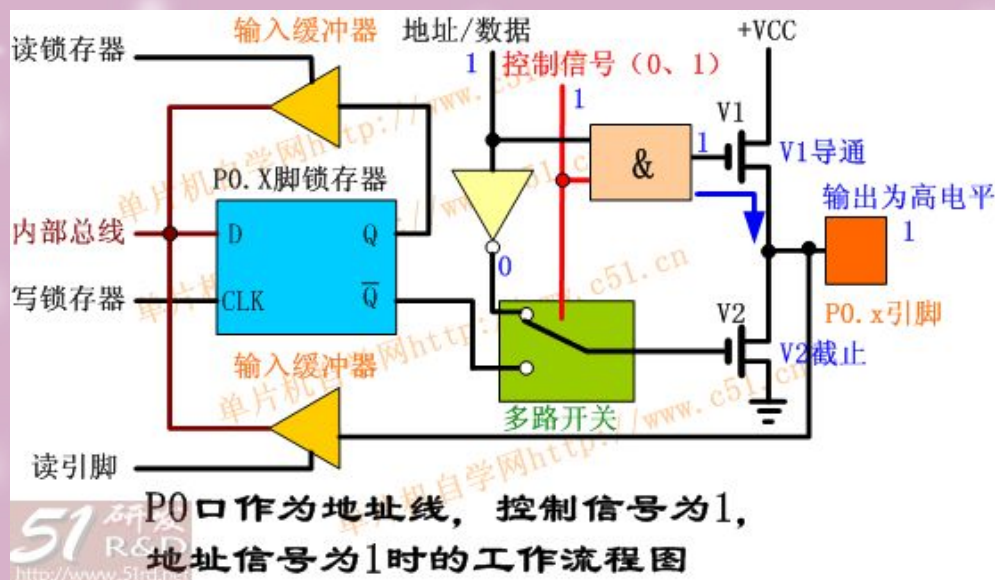
在访问外部存储器时P0口作为地址/数据复用口使用。

这时多路开关‘控制’信号为‘1’，‘与门’解锁，‘与门’输出信号电平由“地址/数据”线信号决定；多路开关与反相器的输出端相连，地址信号经“地址/数据”线反相器 V2场效应管栅极 V2漏极输出。

例如：控制信号为1，地址信号为“0”时，与门输出低电平，V1管截止；反相器输出高电平，V2管导通，输出引脚的地址信号为低电平。请看下图（兰色字体为电平）：

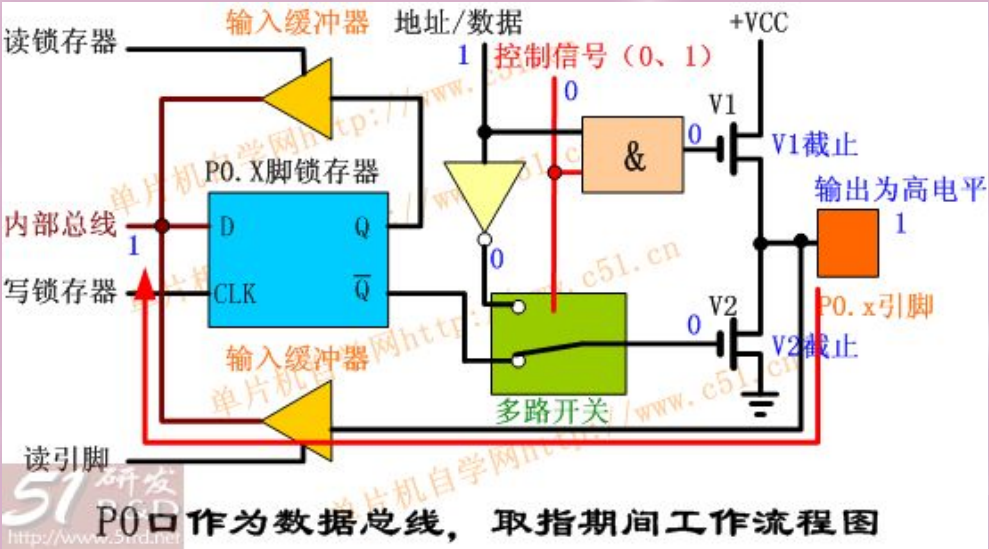


反之，控制信号为“1”、地址信号为“1”，“与门”输出为高电平，V1管导通；反相器输出低电平，V2管截止，输出引脚的地址信号为高电平。请看下图（兰色字体为电平）：



可见，在输出“地址/数据”信息时，V1、V2管是交替导通的，负载能力很强，可以直接与外设存储器相连，无须增加总线驱动器。

P0口又作为数据总线使用。在访问外部程序存储器时，P0口输出低8位地址信息后，将变为数据总线，以便读指令码（输入）。在取指令期间，“控制”信号为“0”，V1管截止，多路开关也跟着转向锁存器反相输出端Q非；CPU自动将0FFH（11111111，即向D锁存器写入一个高电平‘1’）写入P0口锁存器，使V2管截止，在读引脚信号控制下，通过读引脚三态门电路将指令码读到内部总线。请看下图



如果该指令是输出数据，如MOVX @DPTR, A（将累加器的内容通过P0口数据总线传送到外部RAM中），则多路开关“控制”信号为‘1’，“与门”解锁，与输出地址信号的工作流程类似，数据据由“地址/数据”线 反相器 V2场效应管栅极 V2漏极输出。

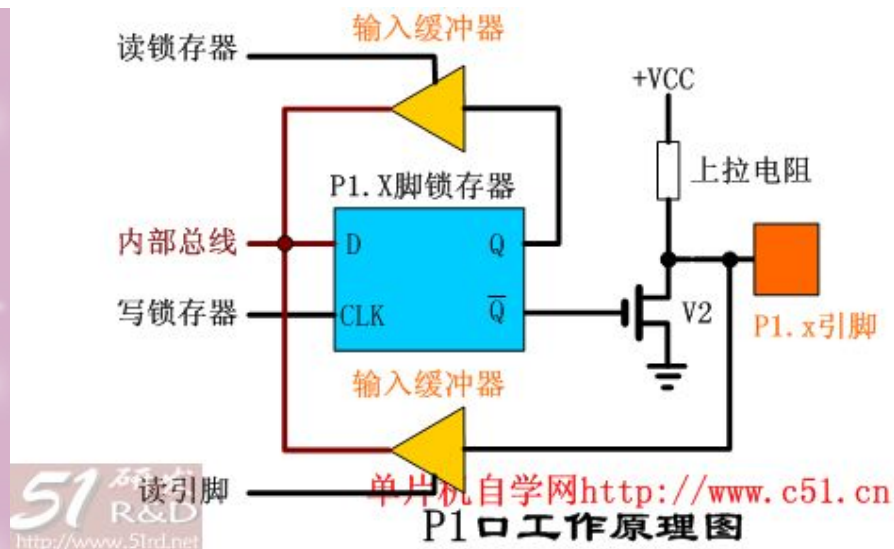
如果该指令是输入数据（读外部数据存储器或程序存储器），如MOVX A, @DPTR（将外部RAM某一存储单元内容通过P0口数据总线输入到累加器A中），则输入的数据仍通过读引脚三态缓冲器到内部总线，其过程类似于上图中的读取指令码流程图。

通过以上的分析可以看出，当P0作为地址/数据总线使用时，在读指令码或输入数据前，CPU自动向P0口锁存器写入0FFH，破坏了P0口原来的状态。因此，不能再作为通用的I/O端口。大家以后在系统设计时务必注意，即程序中不能再含有以P0口作为操作数（包含源操作数和目的操作数）的指令。

## 二、P1端口的结构及工作原理

P1口的结构最简单，用途也单一，仅作为数据输入/输出端口使用。输出的信息有锁存，输入有读引脚和读锁存器之分。P1端口的一位结构见下图。





由图可见，P1端口与P0端口的主要差别在于，P1端口用内部上拉电阻R代替了P0端口的场效应管T1，并且输出的信息仅来自内部总线。由内部总线输出的数据经锁存器反相和场效应管反相后，锁存在端口线上，所以，P1端口是具有输出锁存的静态口。

由上图可见，要正确地从此引脚上读入外部信息，必须先使场效应管关断，以便由外部输入的信息确定引脚的状态。为此，在作引脚读入前，必须先对该端口写入1。具有这种操作特点的输入/输出端口，称为准双向I/O口。8051单片机的P1、P2、P3都是准双向口。P0端口由于输出有三态功能，输入前，端口线已处于高阻态，无需先写入1后再作读操作。

P1口的结构相对简单，前面我们已详细的分析了P0口，只要大家认真的分析了P0口的工作原理，P1口我想大家都有能力去分析，这里我就不多论述了。

单片机复位后，各个端口已自动地被写入了1，此时，可直接作输入操作。如果在应用端口的过程中，已向P1—P3端口线输出过0，则再要输入时，必须先写1后再读引脚，才能得到正确的信息。此外，随输入指令的不同，H端口也有读锁存器与读引脚之分。

### 三、P2端口的结构及工作原理

P2端口的一位结构见下图：

即然P2口可以作为I/O口使用，也可以作为地址总线使用，下面我们就不分析下它的两种工作状态。

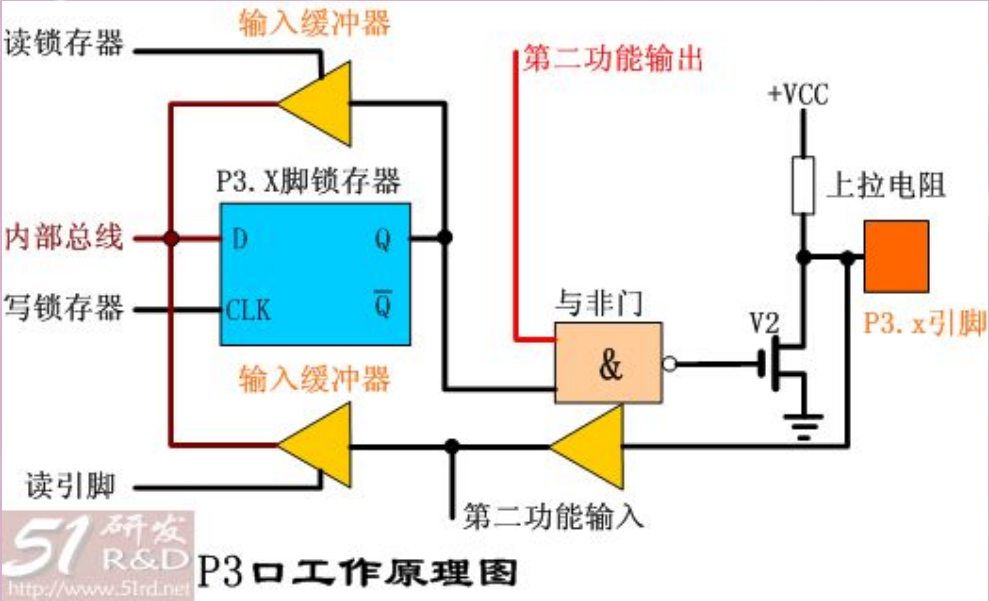
当没有外部程序存储器或虽然有外部数据存储器，但容易不大于256B，即不需要高8位地址时（在这种情况下，不能通过数据地址寄存器DPTR读写外部数据存储器），P2口可以I/O口使用。这时，“控制”信号为“0”，多路开关转向锁存器同相输出端Q，输出信号经内部总线 锁存器同相输出端Q 反相器 V2管栅极 V2管9漏极输出。

## 2、作为地址总线使用时的的工作过程

#### 四、P3端口的结构及工作原理

[http://hi.baidu.com/mark\\_zhang021/blog/item/b1be42d498a70e08a08bb7f7.html](http://hi.baidu.com/mark_zhang021/blog/item/b1be42d498a70e08a08bb7f7.html) (第 9 / 13 页) 2009-8-13 17:38:05





由上图可见，P3端口和P1端口的结构相似，区别仅在于P3端口的各端口线有两种功能选择。当处于第一功能时，第二输出功能线为1，此时，内部总线信号经锁存器和场效应管输入/输出，其作用与P1端口作用相同，也是静态准双向I/O端口。当处于第二功能时，锁存器输出1，通过第二输出功能线输出特定的内含信号，在输入方面，即可以通过缓冲器读入引脚信号，还可以通过替代输入功能读入片内的特定第二功能信号。由于输出信号锁存并且有双重功能，故P3端口为静态双功能端口。

P3口的特殊功能（即第二功能）：

?

口线	第二功能	信号名称
P3.0	RXD	串行数据接收
P3.1	TXD	串行数据发送
P3.2	INT0	外部中断0申请
P3.3	INT1	外部中断1申请
P3.4	T0	定时器/计数器0计数输入
P3.5	T1	定时器/计数器1计数输入
P3.6	WR	外部RAM写选通
P3.7	RD	外部RAM读选通

使P3端口各线处于第二功能的条件是：

- 1、串行I/O处于运行状态(RXD,TXD);
- 2、打开了外部中断(INT0,INT1);
- 3、定时器/计数器处于外部计数状态(T0,T1)
- 4、执行读写外部RAM的指令(RD,WR)

在应用中,如不设定P3端口各位的第二功能(WR,RD信号的产生不用设置),则P3端口线自动处于第一功能状态,也就是静态I/O端口的的工作状态。在更多的场合是根据应用的需要,把几条端口线设置为第二功能,而另外几条端口线处于第一功能运行状态。在这种情况下,不宜对P3端口作字节操作,需采用位操作的形式。

端口的负载能力和输入 / 输出操作:

P0端口能驱动8个LSTTL负载。如需增加负载能力,可在P0总线上增加总线驱动器。P1,P2,P3端口各能驱动4个LSTTL负载。  
前已述及,由于P0-P3端口已映射成特殊功能寄存器中的P0—P3端口寄存器,所以对 these 端口寄存器的读 / 写就实现了信息从相应端口的输入 / 输出。例如:  
MOV A, P1 ; 把P1端口线上的信息输入到A  
MOV P1, A ; 把A的内容由P1端口输出  
MOV P3, #0FFH ; 使P3端口线各位置1

51单片机的4个8位的并行口跟大家一起来分析

类别: [电子电气设计及程序](#) | [添加到收藏](#) | 浏览(92) | [评论](#) (3)

上一篇: [双向口与准双向口的问题](#) 下一篇: [关于MOS管的记忆方法](#)

最近读者:



登录后, 您  
就出现在这  
里。



[三月牧风](#)

网友评论: