

Dispositivi: Aspetti Avanzati

Microelettronica Digitale

Prof. Mario R. Casu

DET

Department of Electronics and Telecommunications

www.det.polito.it



www.polito.it

Contenuti di questa lezione

- ❑ Comportamento non-ideale del transistor MOS
 - Effetti di alto campo
 - Degradazione della mobilità e saturazione di velocità
 - Modulazione della lunghezza di canale
 - Transistore come switch: Resistenza equivalente
 - Capacità di gate e delle diffusioni
 - Effetti relativi alla tensione di soglia
 - Body Effect, Drain-Induced Barrier Lowering e Short Channel Effect
 - Correnti di perdita
 - Subthreshold Leakage, Gate Leakage e Junction Leakage
- ❑ Variazioni di processo e ambientali
- ❑ Conclusioni

Contenuti di questa lezione

- ❑ Comportamento non-ideale del transistor MOS
 - Effetti di alto campo
 - Degradazione della mobilità e saturazione di velocità
 - Modulazione della lunghezza di canale
 - Transistore come switch: Resistenza equivalente
 - Capacità di gate e delle diffusioni
 - Effetti relativi alla tensione di soglia
 - Body Effect, Drain-Induced Barrier Lowering e Short Channel Effect
 - Correnti di perdita
 - Subthreshold Leakage, Gate Leakage e Junction Leakage
- ❑ Variazioni di processo e ambientali
- ❑ Conclusioni

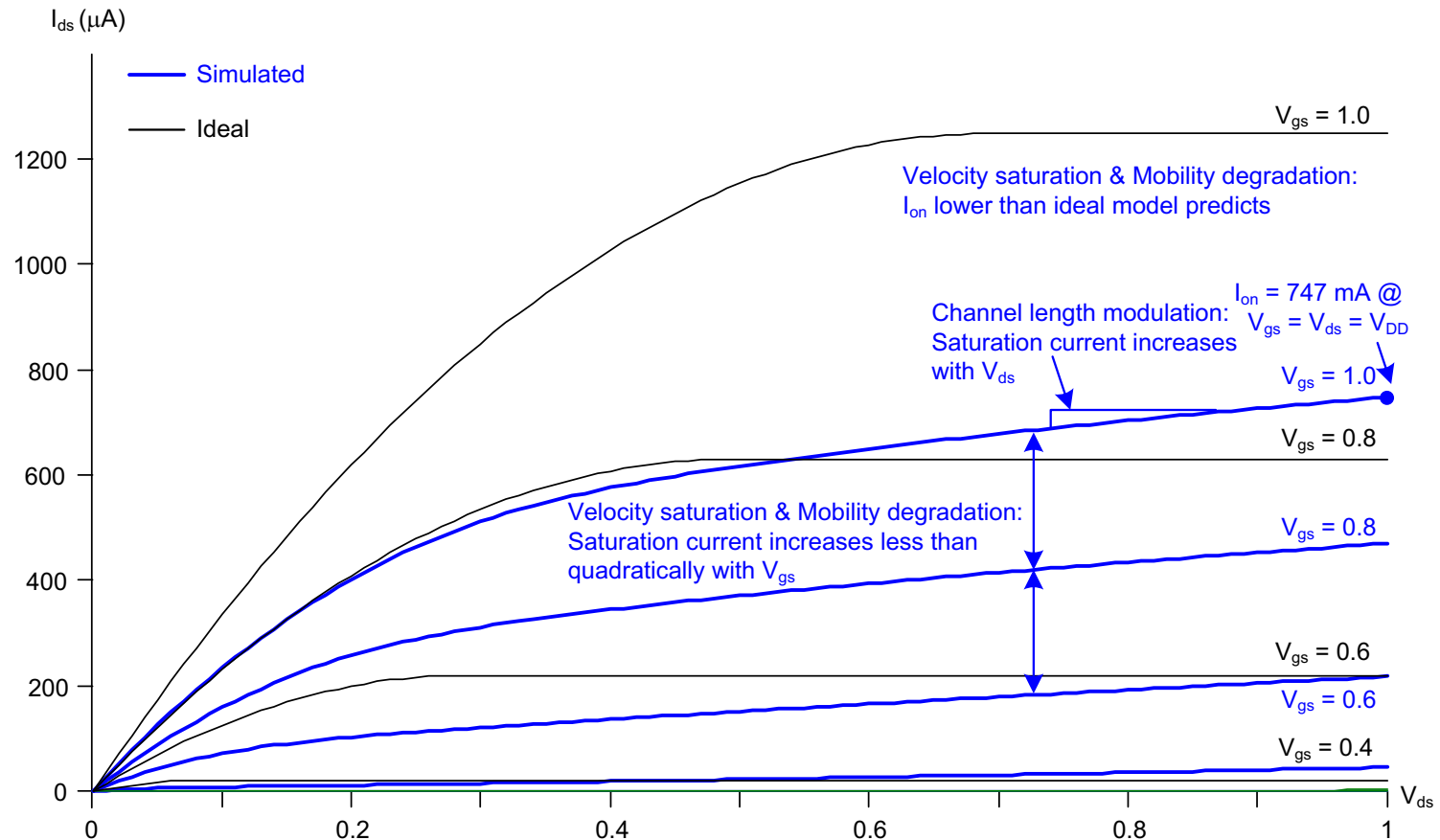
Relazione I-V *ideale*

□ Con $\beta = \mu C_{ox} W/L$ e $V_{dsat} = V_{gs} - V_t$

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t & \text{cutoff} \\ \beta \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} & V_{ds} < V_{dsat} & \text{linear} \\ \frac{\beta}{2} (V_{gs} - V_t)^2 & V_{ds} > V_{dsat} & \text{saturation} \end{cases}$$

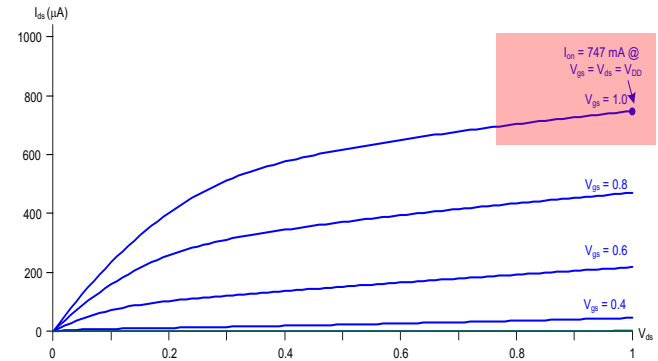
Relazione I-V simulata vs ideale

65 nm IBM process, $V_{DD} = 1.0$ V

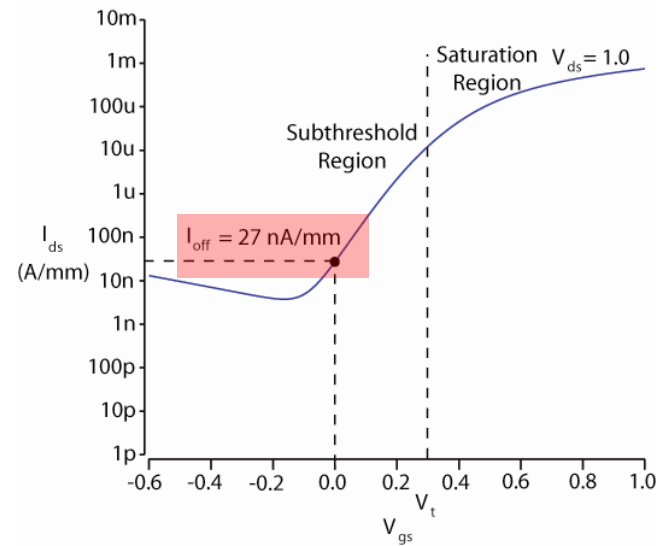


Correnti Ion e Ioff

□ $I_{on} = I_{ds} @ V_{gs} = V_{ds} = V_{DD}$
— Saturation



□ $I_{off} = I_{ds} @ V_{gs} = 0, V_{ds} = V_{DD}$
— Cutoff



Effetto dei campi elettrici

- ❑ Campo verticale: $E_{\text{vert}} = V_{\text{gs}} / t_{\text{ox}}$
 - Attrae i portatori nel canale
 - A canale lungo: $Q_{\text{channel}} \propto E_{\text{vert}}$

- ❑ Campo laterale: $E_{\text{lat}} = V_{\text{ds}} / L$
 - Accelera i portatori da drain a source
 - A canale lungo: $v = \mu E_{\text{lat}}$

Degradazione delle mobilità

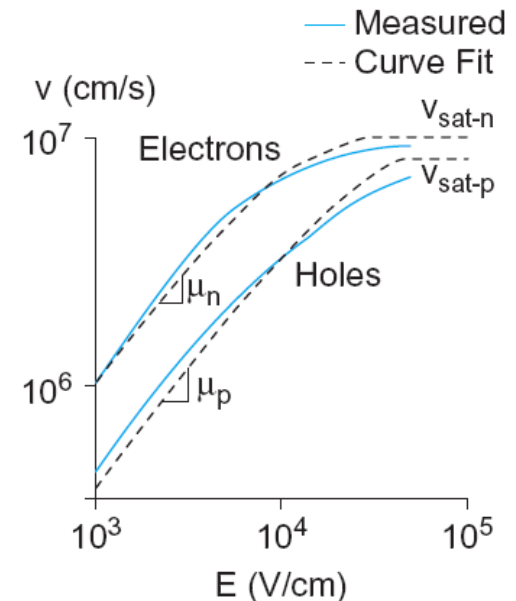
- Alti campi verticali E_{vert} riducono la mobilità
 - A causa delle collisioni con l'interfaccia dell'ossido

$$\mu_{\text{eff}-n} = \frac{540 \frac{\text{cm}^2}{\text{V} \cdot \text{s}}}{1 + \left(\frac{V_{gs} + V_t}{0.54 \frac{\text{V}}{\text{nm}} t_{\text{ox}}} \right)^{1.85}}$$

$$\mu_{\text{eff}-p} = \frac{185 \frac{\text{cm}^2}{\text{V} \cdot \text{s}}}{1 + \frac{|V_{gs} + 1.5V_t|}{0.338 \frac{\text{V}}{\text{nm}} t_{\text{ox}}}}$$

Saturazione di velocità

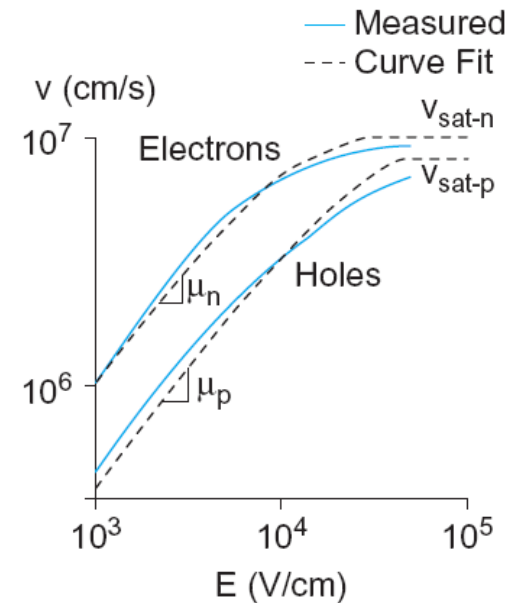
- ❑ Se il campo laterale E_{lat} cresce troppo
 - I portatori raggiungono la velocità di saturazione, v_{sat}
 - Elettroni: 10^7 cm/s
 - Lacune: 8×10^6 cm/s
 - Causa: urti con gli atomi di Si



Saturazione di velocità

- ❑ Se il campo laterale E_{lat} cresce troppo
 - I portatori raggiungono la velocità di saturazione, v_{sat}
 - Elettroni: 10^7 cm/s
 - Lacune: 8×10^6 cm/s
 - Causa: urti con gli atomi di Si
 - Modello più accurato:

$$v = \begin{cases} \frac{\mu_{\text{eff}} E}{1 + \frac{E}{E_c}} & E < E_c \\ v_{\text{sat}} & E \geq E_c \end{cases} \quad E_c = \frac{2v_{\text{sat}}}{\mu_{\text{eff}}}$$



Modello semplice lineare a tratti

- ❑ Velocità v proporzionale a E_{lat} finché non si raggiunge v_{sat}
- ❑ Saturazione quando $\mu E_{\text{lat}} = v_{\text{sat}} = \mu V_{\text{dsat}} / L$
 - $V_{\text{dsat}} = v_{\text{sat}} L / \mu$

Modello semplice lineare a tratti

- ❑ Velocità v proporzionale a E_{lat} finché non si raggiunge v_{sat}
- ❑ Saturazione quando $\mu E_{\text{lat}} = v_{\text{sat}} = \mu V_{\text{dsat}} / L$
 - $V_{\text{dsat}} = v_{\text{sat}} L / \mu$
- ❑ Sostituendo nell'equazione in zona lineare/triodo al limite della saturazione
 - $I_{\text{dsat}} = \mu C_{\text{ox}} W/L (V_{\text{gs}} - V_{\text{t}} - V_{\text{dsat}}/2) V_{\text{dsat}}$

Modello semplice lineare a tratti

- ❑ Velocità v proporzionale a E_{lat} finché non si raggiunge v_{sat}
- ❑ Saturazione quando $\mu E_{lat} = v_{sat} = \mu V_{dsat} / L$
 - $V_{dsat} = v_{sat} L / \mu$
- ❑ Sostituendo nell'equazione in zona lineare/triodo al limite della saturazione
 - $I_{dsat} = \mu C_{ox} W/L (V_{gs} - V_t - V_{dsat}/2) V_{dsat}$
- ❑ Infine, sostituendo l'espressione di V_{dsat} si ottiene
 - $I_{dsat} = C_{ox} W (V_{gs} - V_t - v_{sat} L / (2\mu)) v_{sat}$
- ❑ **I_{dsat} non più quadratico con V_{gs} ma lineare**

Modello più accurato

□ Usando:

$$v = \begin{cases} \frac{\mu_{\text{eff}} E}{1 + \frac{E}{E_c}} & E < E_c \\ v_{\text{sat}} & E \geq E_c \end{cases} \quad E_c = \frac{2v_{\text{sat}}}{\mu_{\text{eff}}}$$

□ Si ottiene:

$$I_{ds} = \begin{cases} \frac{\mu_{\text{eff}}}{1 + \frac{V_{ds}}{V_c}} C_{\text{ox}} \frac{W}{L} (V_{GT} - V_{ds}/2) V_{ds} & V_{ds} < V_{\text{dsat}} \\ C_{\text{ox}} W (V_{GT} - V_{\text{dsat}}) v_{\text{sat}} & V_{ds} > V_{\text{dsat}} \end{cases}$$

□ Con $V_{GT} = V_{gs} - V_t$ e $V_{\text{dsat}} = V_{GT} \cdot E_c L / (V_{GT} + E_c L)$

Modello α -Power

- Transistori reali sono solo parzialmente in saturazione di velocità
 - Approssimazione con “ α -power law”: $I_{ds} \propto V_{DD}^{\alpha}$
 - $1 < \alpha < 2$ determinato empiricamente (≈ 1.3 per 65 nm)

Modello α -Power

- ❑ Transistori reali sono solo parzialmente in saturazione di velocità
 - Approssimazione con “ α -power law”: $I_{ds} \propto V_{DD}^\alpha$
 - $1 < \alpha < 2$ determinato empiricamente (≈ 1.3 per 65 nm)

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t & \text{cutoff} \\ I_{dsat} \frac{V_{ds}}{V_{dsat}} & V_{ds} < V_{dsat} & \text{linear} \\ I_{dsat} & V_{ds} > V_{dsat} & \text{saturation} \end{cases}$$

$$I_{dsat} = P_c \frac{\beta}{2} (V_{gs} - V_t)^\alpha$$

$$V_{dsat} = P_v (V_{gs} - V_t)^{\alpha/2}$$

- Vedi *handouts*, file sakurai_jssc90_alphapower.pdf

Contenuti di questa lezione

☒ Comportamento non-ideale del transistor MOS

✓ Effetti di alto campo

✓ Degradazione della mobilità e saturazione di velocità

– Modulazione della lunghezza di canale

– Transistore come switch: Resistenza equivalente

– Capacità di gate e delle diffusioni

– Effetti relativi alla tensione di soglia

– Body Effect, Drain-Induced Barrier Lowering e Short Channel Effect

– Correnti di perdita

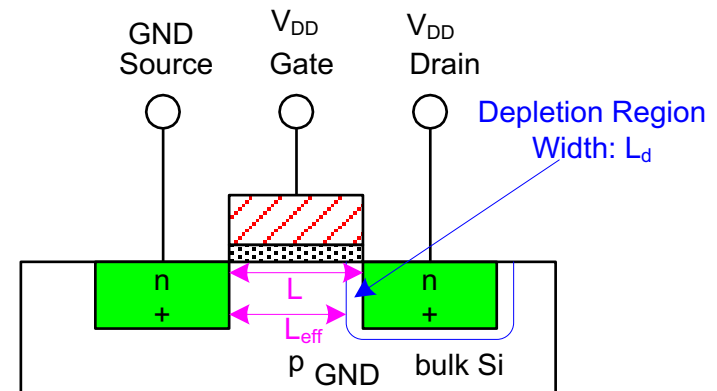
– Subthreshold Leakage, Gate Leakage e Junction Leakage

☐ Variazioni di processo e ambientali

☐ Conclusioni

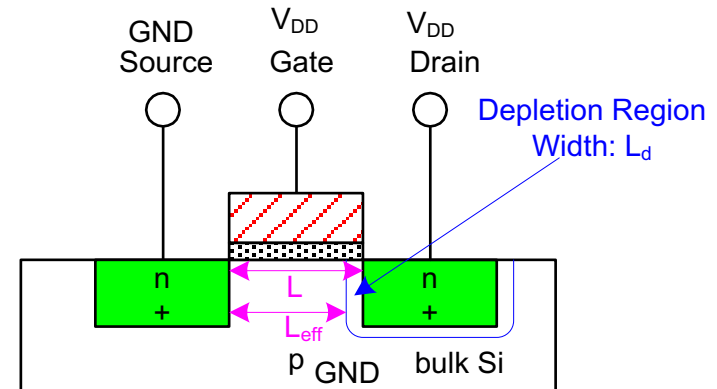
Modulazione lunghezza di canale

- ❑ Regione di svuotamento delle giunzioni S-B e D-B polarizzate inversamente
 - Regione tra n and p priva di portatori liberi
 - Larghezza della regione svuotata L_d cresce tanto più quanto cresce la polarizzazione inversa
 - $L_{\text{eff}} = L - L_d$



Modulazione lunghezza di canale

- ❑ Regione di svuotamento delle giunzioni S-B e D-B polarizzate inversamente
 - Regione tra n and p priva di portatori liberi
 - Larghezza della regione svuotata L_d cresce tanto più quanto cresce la polarizzazione inversa
 - $L_{\text{eff}} = L - L_d$
- ❑ Minore L_{eff} implica **più** corrente
 - I_{ds} **cresce** con V_{ds}
 - Anche se in saturazione

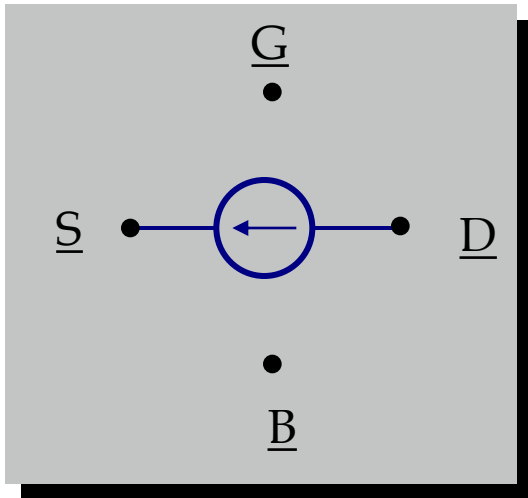


Effetto su relazione I-V

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_t)^2 (1 + \lambda V_{ds})$$

- λ = *coefficiente di modulazione della lunghezza di canale*
 - Non c'entra niente con il λ delle design rules...
 - Valore stimato empiricamente sulle caratteristiche I-V

Modello unificato per analisi manuale



$$I_D = 0 \text{ for } V_{GT} \leq 0$$

$$I_D = k' \frac{W}{L} \left(V_{GT} V_{min} - \frac{V_{min}^2}{2} \right) (1 + \lambda V_{DS}) \text{ for } V_{GT} \geq 0$$

$$\text{with } V_{min} = \min(V_{GT}, V_{DS}, V_{DSAT}),$$

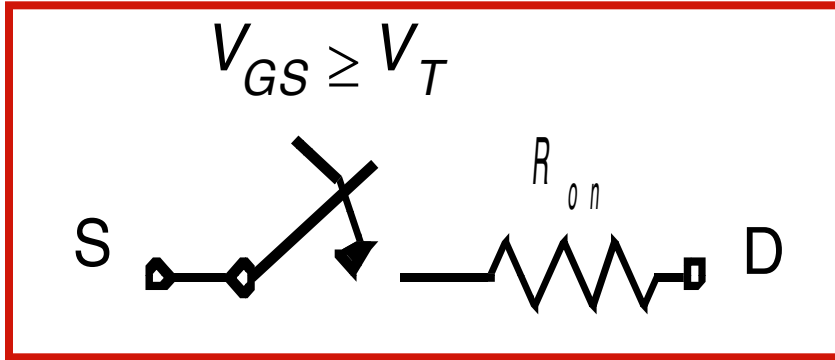
$$V_{GT} = V_{GS} - V_T,$$

$$\text{and } V_T = V_{T0} + \gamma (\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

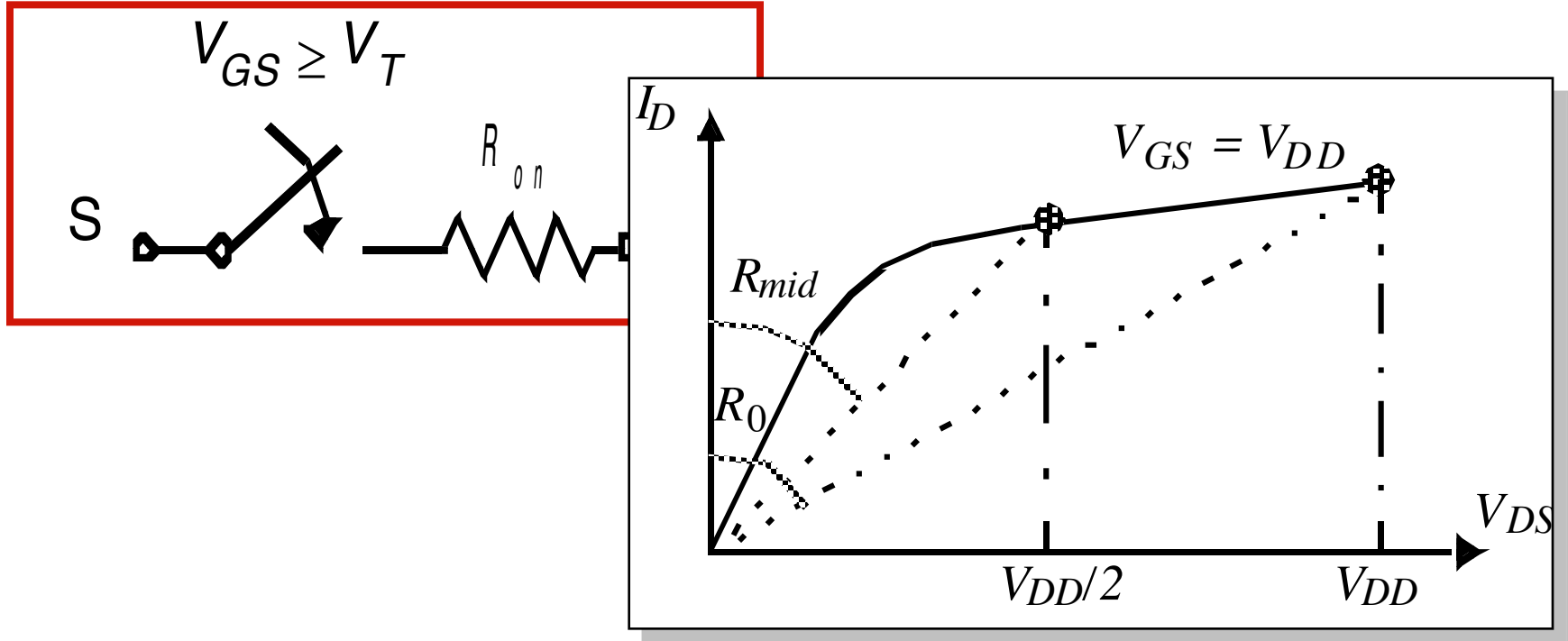
Contenuti di questa lezione

- ❑ **Comportamento non-ideale del transistor MOS**
 - ✓ Effetti di alto campo
 - ✓ Degradazione della mobilità e saturazione di velocità
 - ✓ Modulazione della lunghezza di canale
 - Transistore come switch: Resistenza equivalente
 - Capacità di gate e delle diffusioni
 - Effetti relativi alla tensione di soglia
 - Body Effect, Drain-Induced Barrier Lowering e Short Channel Effect
 - Correnti di perdita
 - Subthreshold Leakage, Gate Leakage e Junction Leakage
- ❑ Variazioni di processo e ambientali
- ❑ Conclusioni

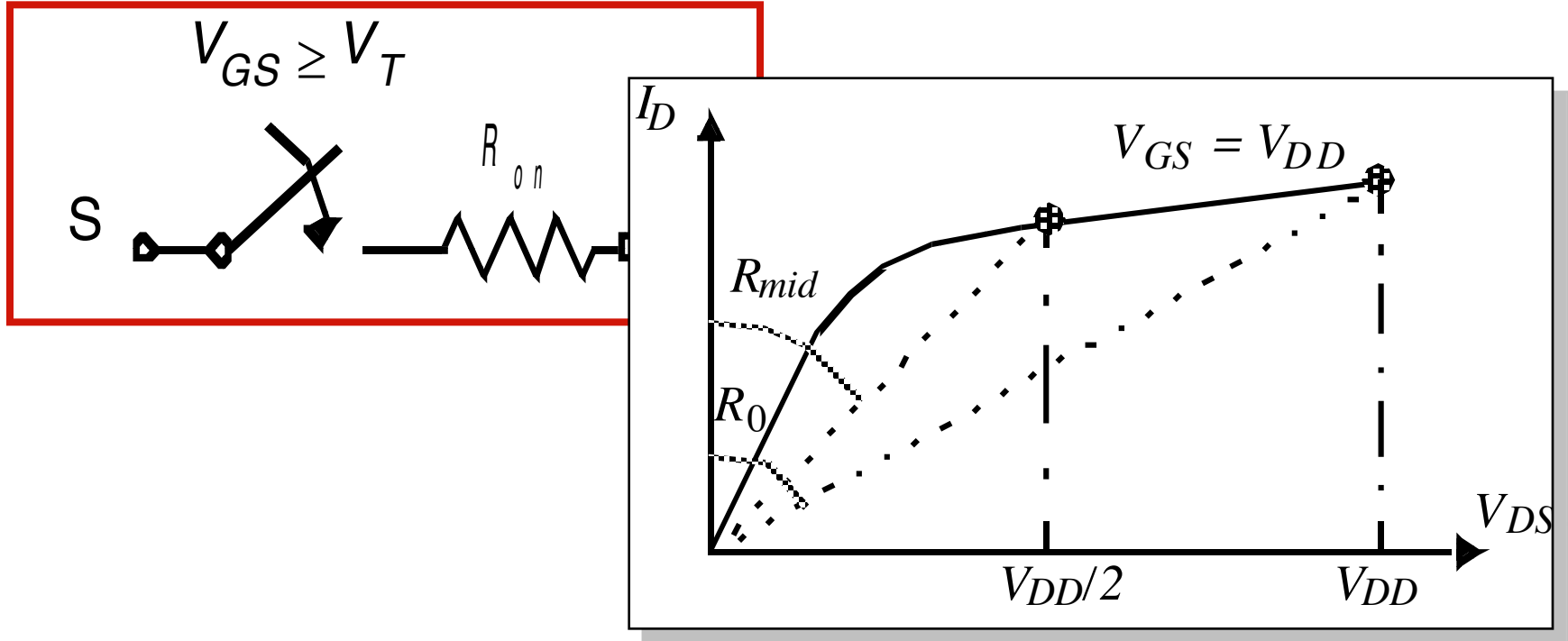
Transistore ~ interruttore (1/4)



Transistore ~ interruttore (1/4)

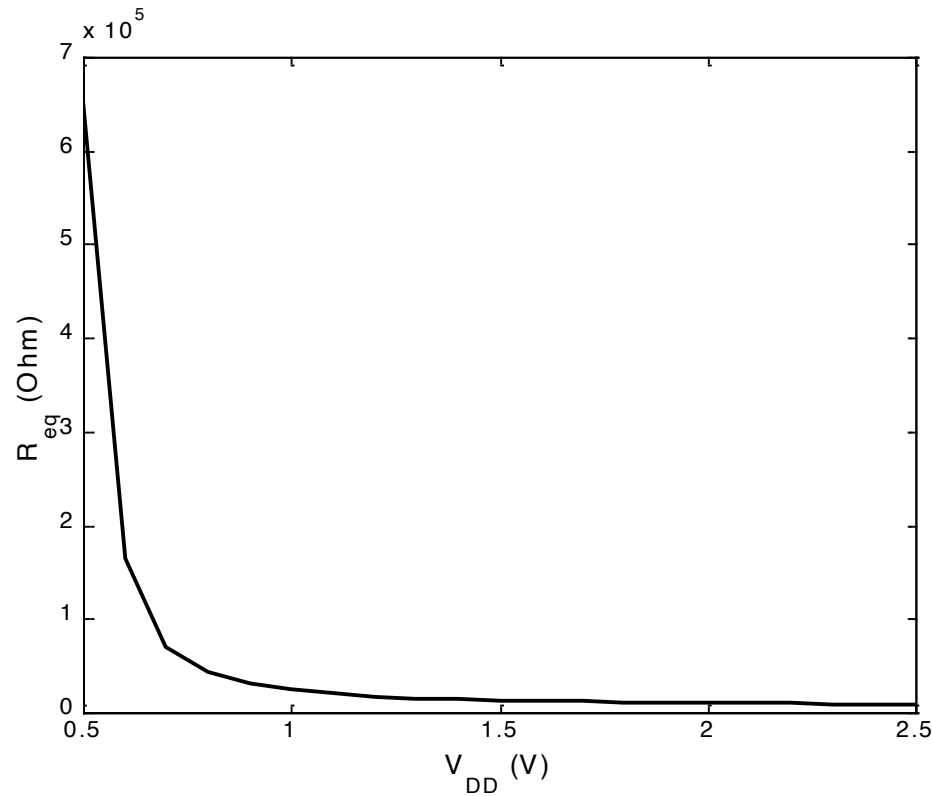


Transistore ~ interruttore (1/4)



$$R_{eq} = \frac{1}{2} \left(\frac{V_{DD}}{I_{DSAT}(1 + \lambda V_{DD})} + \frac{V_{DD}/2}{I_{DSAT}(1 + \lambda V_{DD}/2)} \right) \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right)$$

Transistore ~ interruttore (2/4)



Transistore ~ interruttore (3/4)

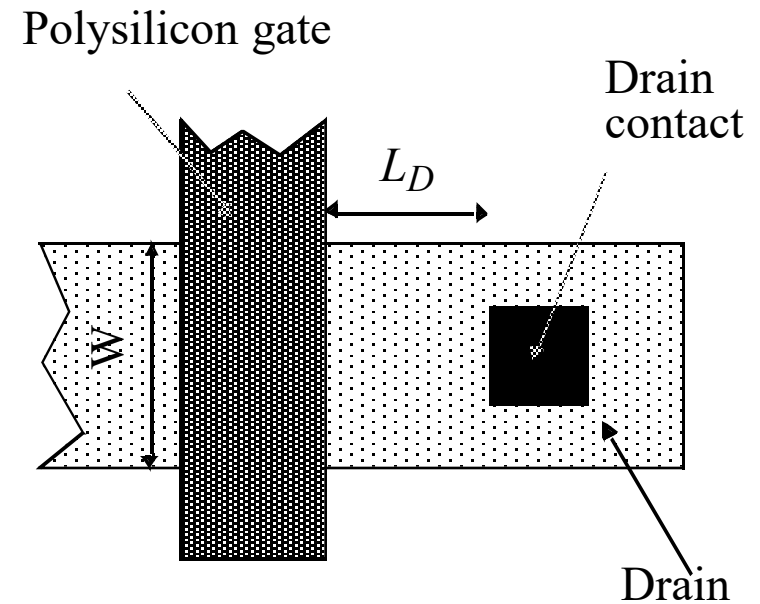
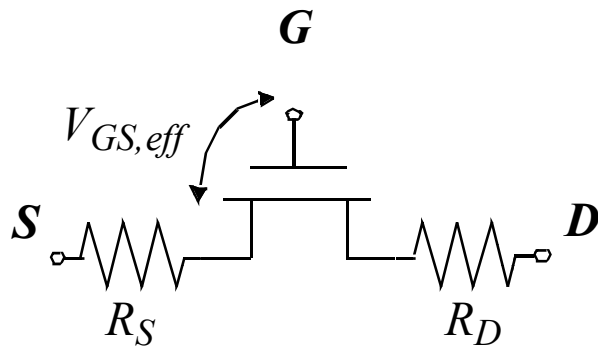
- ❑ $R_{on}=R_{eq}$ dipende inversamente da I_{ds}
- ❑ I_{ds} cresce con W e decresce con L
- ❑ (Quasi) **tutti i transistor hanno L minima**, che garantisce I_{ds} massima e R_{on} minima
- ❑ W deve essere ottimizzata in modo globale (lo vedremo come “metodo del Logical Effort”)

Transistore ~ interruttore (4/4)

Table 3.3 Equivalent resistance R_{eq} ($W/L = 1$) of NMOS and PMOS transistors in 0.25 μm CMOS process (with $L = L_{min}$). For larger devices, divide R_{eq} by W/L .

V_{DD} (V)	1	1.5	2	2.5
NMOS ($k\Omega$)	35	19	15	13
PMOS ($k\Omega$)	115	55	38	31

Resistenze parassite



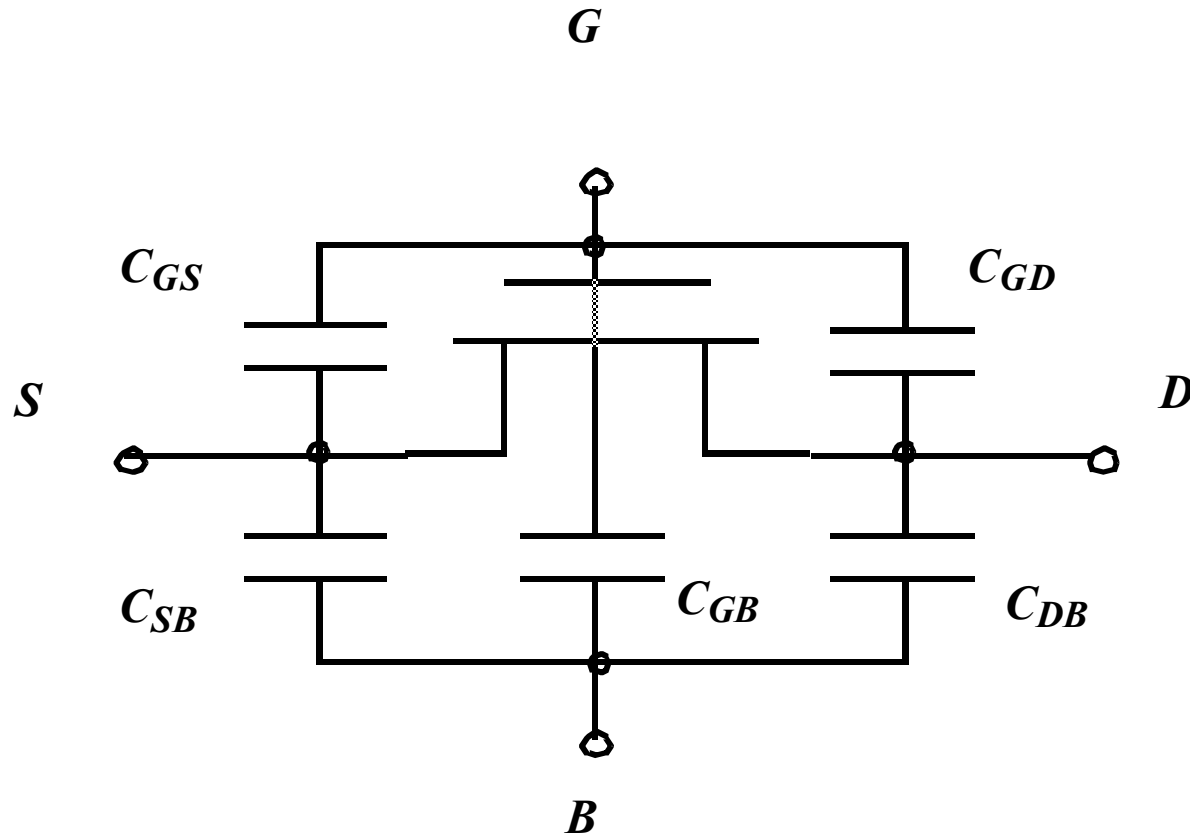
Contenuti di questa lezione

- ❑ **Comportamento non-ideale del transistor MOS**
 - ✓ Effetti di alto campo
 - ✓ Degradazione della mobilità e saturazione di velocità
 - ✓ Modulazione della lunghezza di canale
 - ✓ Transistore come switch: Resistenza equivalente
 - **Capacità di gate e delle diffusioni**
 - Effetti relativi alla tensione di soglia
 - Body Effect, Drain-Induced Barrier Lowering e Short Channel Effect
 - Correnti di perdita
 - Subthreshold Leakage, Gate Leakage e Junction Leakage
- ❑ Variazioni di processo e ambientali
- ❑ Conclusioni

Capacità nei MOS (1/2)

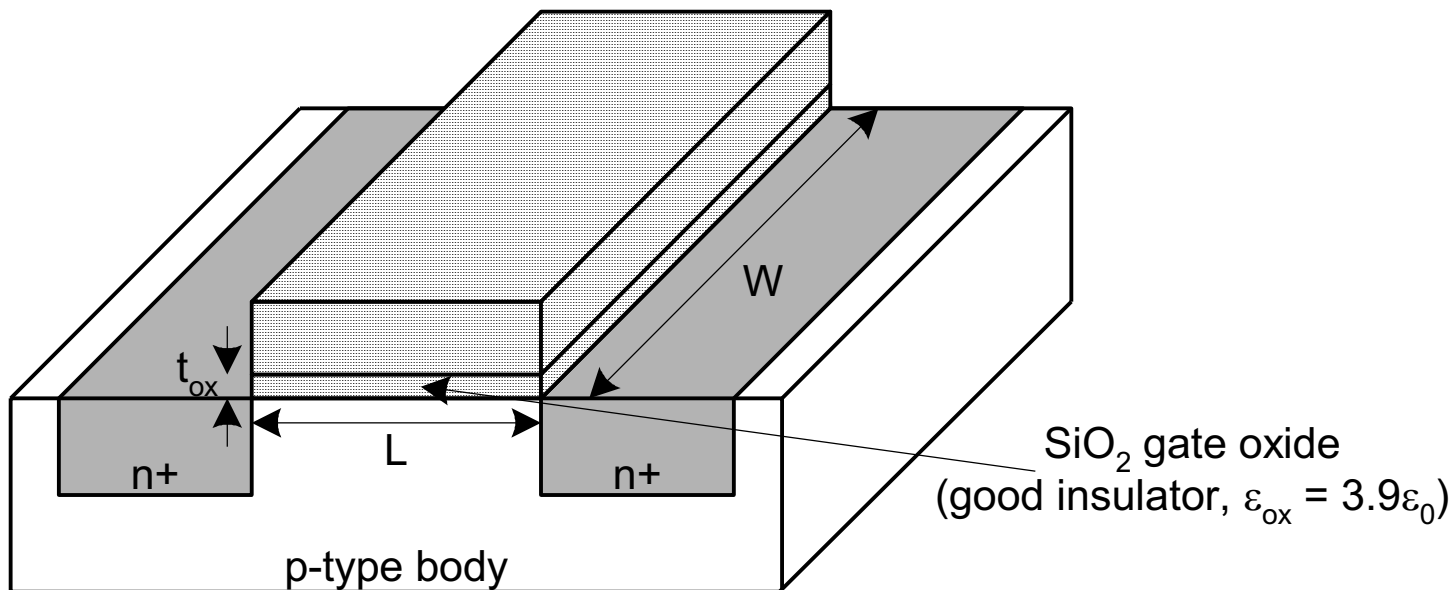
- ❑ Laddove ci sono due conduttori separati da un isolante c'è una capacità
- ❑ Il condensatore tra Gate e canale è fondamentale
 - Crea il canale di inversione necessario al funzionamento del MOS
- ❑ Esistono capacità Source-Body e Drain-Body
 - Poiché si tratta di diodi in polarizzazione inversa
 - Si definisce capacità di diffusione perché associata alle diffusioni di source/drain

Capacità nei MOS (2/2)

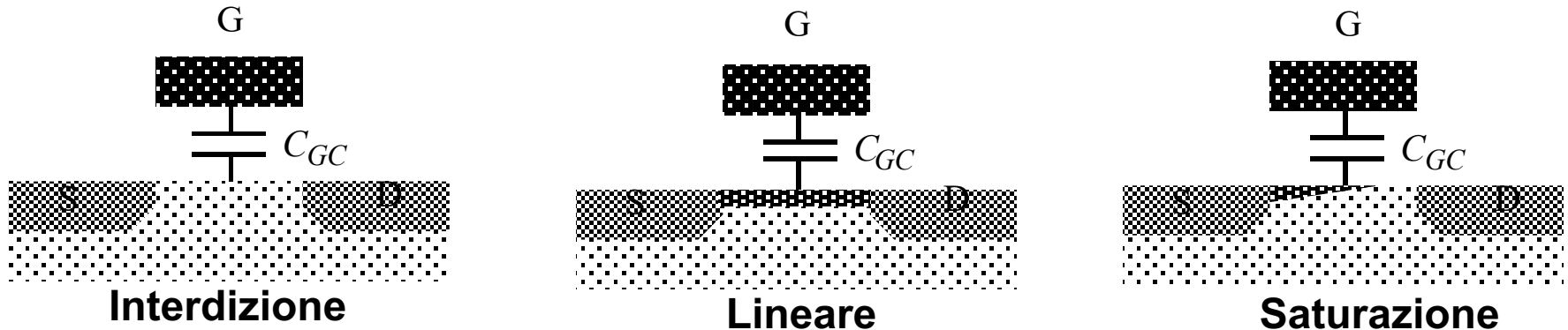


Capacità di Gate (1/2)

- Approssimando il canale come fosse collegato al Source
- $C_{gs} = \epsilon_{ox} WL/t_{ox} = C_{ox} WL = C_{permicron} W$
 - Di solito L è fisso al minimo della tecnologia
- $C_{permicron}$ dell'ordine di $2 \text{ fF}/\mu\text{m}$



Capacità di Gate (2/2)

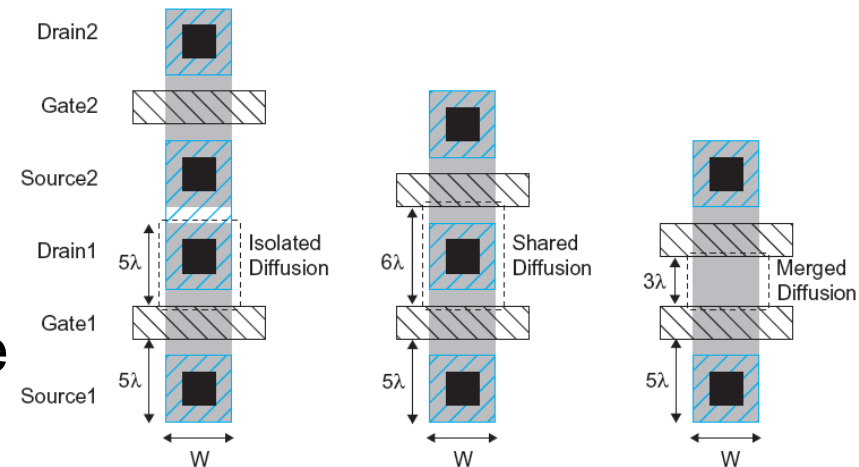


Operation Region	C_{gb}	C_{gs}	C_{gd}
Cutoff	$C_{ox}WL_{eff}$	0	0
Triode	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$
Saturation	0	$(2/3)C_{ox}WL_{eff}$	0

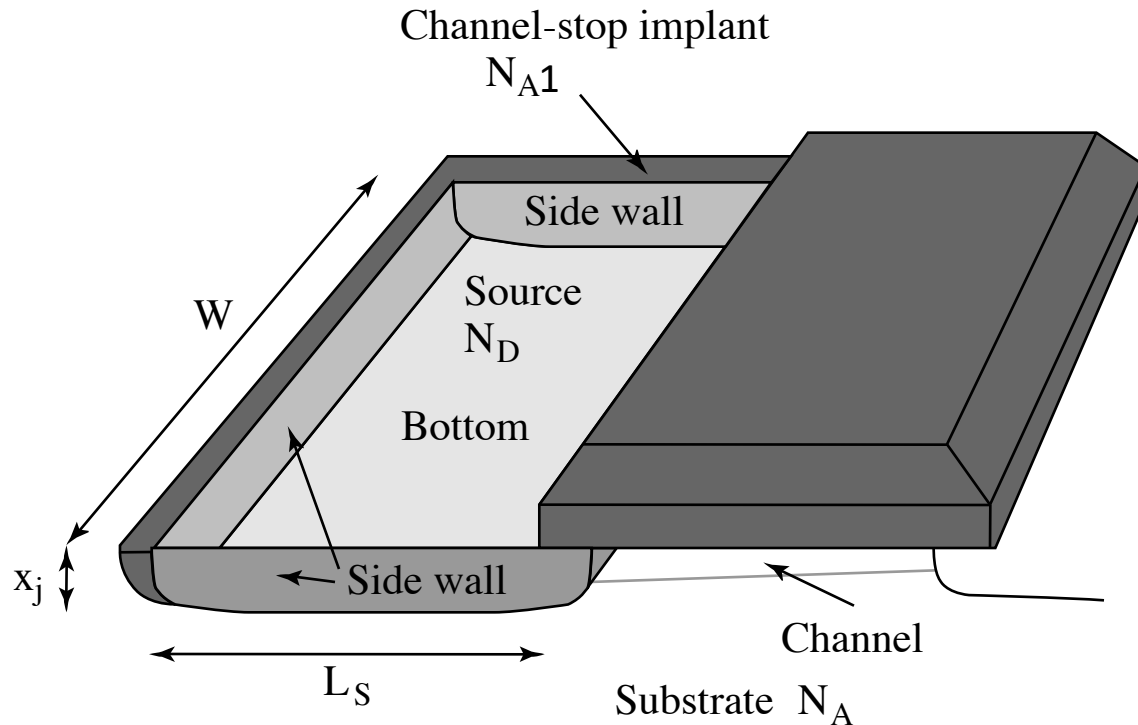
- ❑ Regioni più importanti per il progetto digitale:
 - **cutoff e saturazione**
- ❑ Le capacità decrescono con L (minima, $I_{ds} \uparrow$ e $R_{on} \downarrow$)
- ❑ Non possiamo ridurre troppo W perché $I_{ds} \downarrow$ e $R_{on} \uparrow$

Capacità di Diffusione (1/2)

- ❑ C_{sb} , C_{db}
- ❑ Indesirabile, sono capacità *parassite*
- ❑ La capacità dipende da area e perimetro delle giunzioni s-b e d-b
 - Si devono ridurre quanto più possibile le dimensioni
 - Valore confrontabile con C_g per diffusioni contattate
 - $\frac{1}{2} C_g$ se non contattate
 - Cambia con il processo tecnologico



Capacità di Diffusione (2/2)



$$\begin{aligned} C_{diff} &= C_{bottom} + C_{sw} = C_j \times AREA + C_{jsw} \times PERIMETER \\ &= C_j L_S W + C_{jsw} (2L_S + W) \end{aligned}$$

Contenuti di questa lezione

- ❑ Comportamento non-ideale del transistor MOS
 - ✓ Effetti di alto campo
 - ✓ Degradazione della mobilità e saturazione di velocità
 - ✓ Modulazione della lunghezza di canale
 - ✓ Transistore come switch: Resistenza equivalente
 - ✓ Capacità di gate e delle diffusioni
 - Effetti relativi alla tensione di soglia
 - Body Effect, Drain-Induced Barrier Lowering e Short Channel Effect
 - Correnti di perdita
 - Subthreshold Leakage, Gate Leakage e Junction Leakage
- ❑ Variazioni di processo e ambientali
- ❑ Conclusioni

Effetti su tensione di soglia

- ❑ V_t è la V_{gs} per cui si ha forte inversione
- ❑ Costante nei modelli ideali
- ❑ In realtà dipende (debolmente) da quasi tutto:
 - Potenziale di Body: *Body Effect*
 - Potenziale di Drain: *Drain-Induced Barrier Lowering*
 - Lunghezza di canale: *Short Channel Effect*

Body Effect (1/2)

- ❑ Il Body è il quarto terminale del transistor MOS
- ❑ La tensione V_{sb} modifica la carica per l'inversione del canale
 - Aumentando V_s o diminuendo V_b si ha che V_t cresce

$$V_t = V_{t0} + \gamma \left(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s} \right)$$

- ❑ $\phi_s = \text{potenziale di superficie}$ alla soglia: per substrato p-type

$$\phi_s = 2v_T \ln \frac{N_A}{n_i}$$

- Dipende dal rapporto tra la concentrazione di drogante N_A e la concentrazione intrinseca n_i

- ❑ $\gamma = \text{body effect coefficient}$

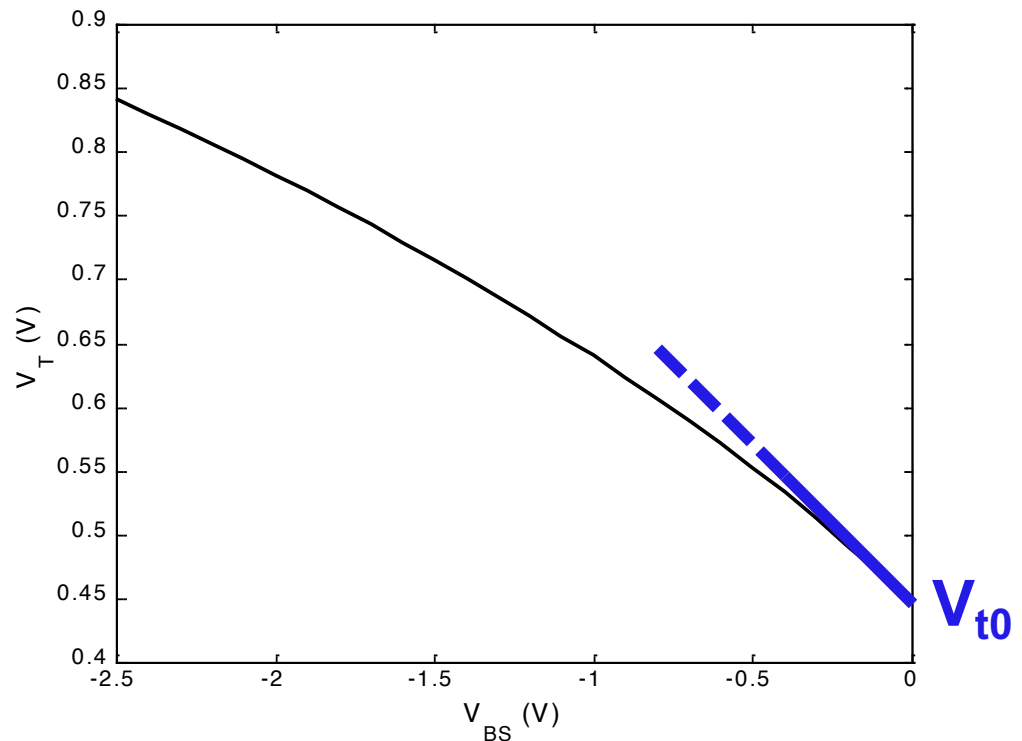
$$\gamma = \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_{si}N_A} = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}}$$

Body Effect (2/2)

- Si può linearizzare per piccole variazioni di V_{sb} intorno a 0V

$$V_t = V_{t0} + k_\gamma V_{sb}$$

$$k_\gamma = \frac{\gamma}{2\sqrt{\phi_s}} = \frac{\sqrt{\frac{q\epsilon_{si}N_A}{v_T \ln \frac{N_A}{n_i}}}}{2C_{ox}}$$



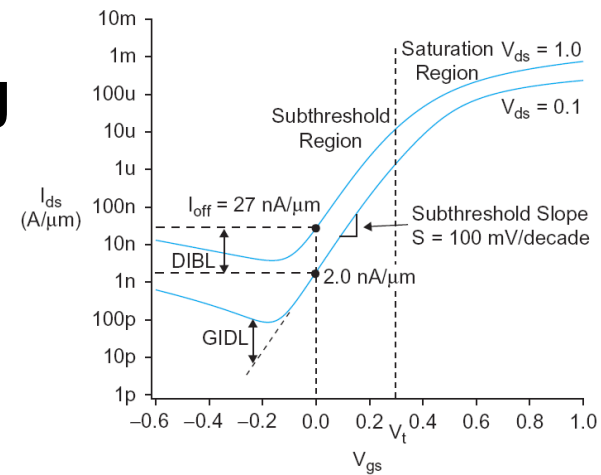
DIBL

- ❑ Il campo elettrico nel drain ha effetto sul canale
- ❑ Più pronunciato nei transistori piccoli dove il drain è più vicino al canale

- ❑ **Drain-Induced Barrier Lowering**

- La tensione di Drain ha quindi effetto su V_t

$$V'_t = V_t - \eta V_{ds}$$

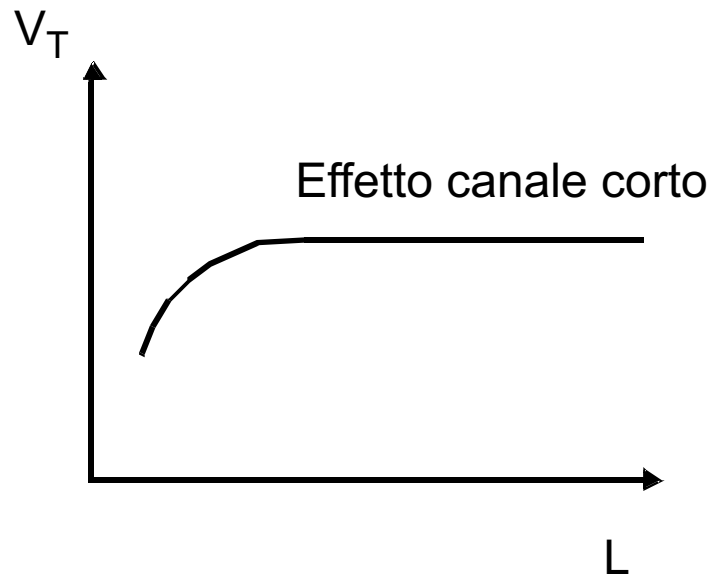


- ❑ Alte tensioni di Drain creano un **incremento** di corrente

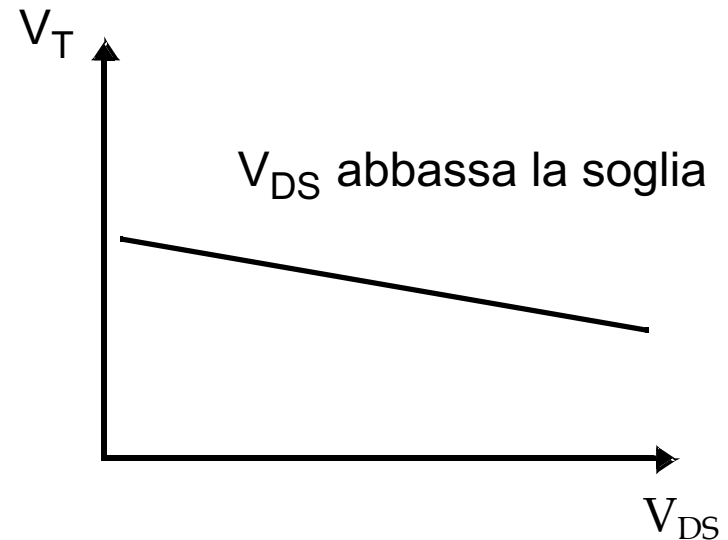
Effetti di canale corto

- ❑ Nei transistori molto scalati, le regioni svuotate di source/drain si estendono nel canale
 - Hanno effetto sulla quantità di carica necessaria per l'inversione
 - Per cui, V_t diventa funzione della lunghezza
- ❑ *Short Channel Effects (SCEs)*: V_t aumenta con L
 - In alcuni processi si verifica un fenomeno opposto (reverse short channel effect) in cui V_t decresce con L

SCEs



La soglia cambia con la lunghezza



Drain-induced barrier lowering
per L piccola (canale corto)

Contenuti di questa lezione

- ❑ **Comportamento non-ideale del transistor MOS**
 - ✓ Effetti di alto campo
 - ✓ Degradazione della mobilità e saturazione di velocità
 - ✓ Modulazione della lunghezza di canale
 - ✓ Transistore come switch: Resistenza equivalente
 - ✓ Capacità di gate e delle diffusioni
 - ✓ Effetti relativi alla tensione di soglia
 - ✓ Body Effect, Drain-Induced Barrier Lowering e Short Channel Effect
 - **Correnti di perdita**
 - Subthreshold Leakage, Gate Leakage e Junction Leakage
- ❑ Variazioni di processo e ambientali
- ❑ Conclusioni

Leakage in subthreshold

- Dipende esponenzialmente da V_{gs}

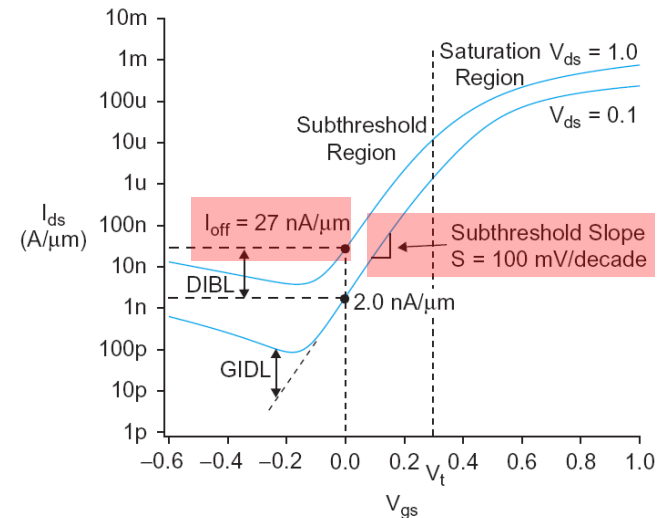
$$I_{ds} = I_{ds0} e^{\frac{V_{gs} - V_{t0} + \eta V_{ds} - k_{\gamma} V_{sb}}{n v_T}} \left(1 - e^{\frac{-V_{ds}}{v_T}} \right)$$

- n dipende dal processo
 - tipicamente 1.3-1.7
- Usando 10 come base ed evidenziando I_{off} :

$$I_{ds} = I_{off} 10^{\frac{V_{gs} + \eta(V_{ds} - V_{dd}) - k_{\gamma} V_{sb}}{S}} \left(1 - e^{\frac{-V_{ds}}{v_t}} \right)$$

$$S = \left[\frac{d(\log_{10} I_{ds})}{dV_{gs}} \right]^{-1} = n v_T \ln 10$$

- **Subthreshold Slope** $S \approx 100$ mV/decade @ T ambiente
- Valore ideale 60 mV/decade se $n=1$



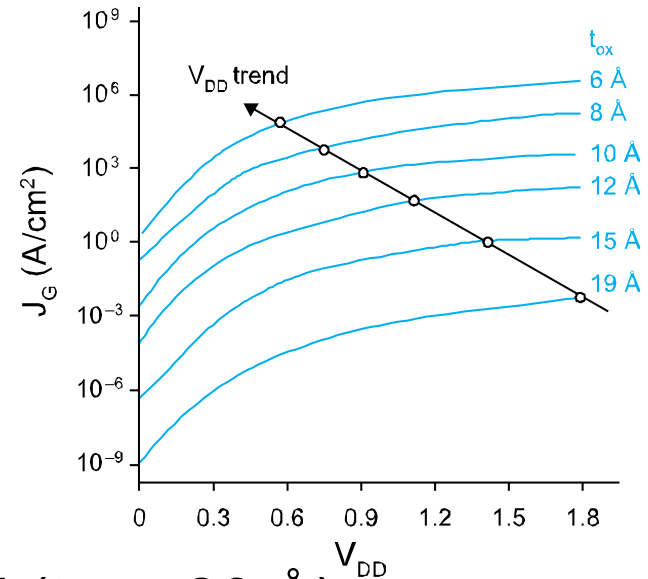
Leakage di gate

- ❑ Portatori passano per tunnel in ossidi di gate sottilissimi
- ❑ Dipendenza esponenziale da t_{ox} e V_{DD}

$$I_{gate} = WA \left(\frac{V_{DD}}{t_{ox}} \right)^2 e^{-B \frac{t_{ox}}{V_{DD}}}$$

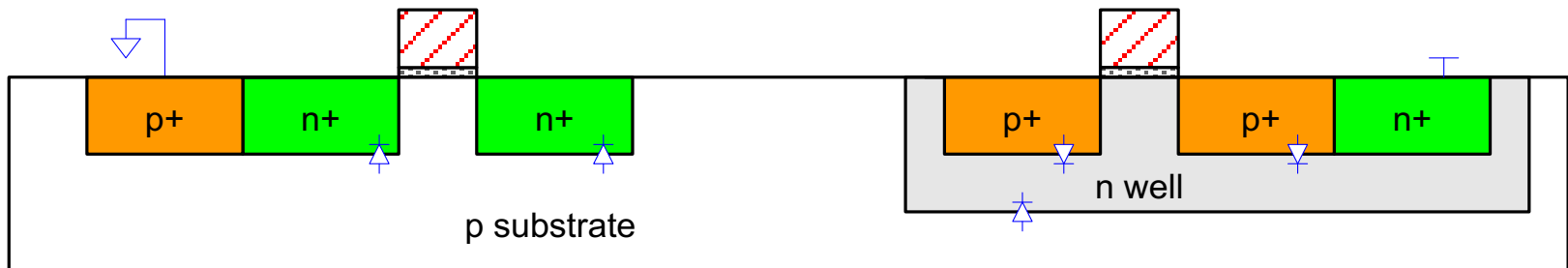
- A and B costanti tecnologiche
- Maggiore per e- che h+
- Quindi nMOS più soggetti

- ❑ Trascurabile per processi obsoleti ($t_{ox} > 20 \text{ \AA}$)
- ❑ Importante per $\leq 65 \text{ nm}$ ($t_{ox} \approx 10.5 \text{ \AA}$)



Leakage delle giunzioni

- ❑ Tre contributi alla corrente in polarizzazione inversa
 - Corrente di saturazione inversa (Diode leakage)
 - Band-to-band tunneling (BTBT)
 - Gate-induced drain leakage (GIDL)



Diode leakage

❑ Equazione del diodo

$$I_D = I_S \left(e^{\frac{V_D}{V_T}} - 1 \right)$$

❑ Se V_D è molto negativa, $I_D = -I_S$

❑ I_S dipende dal drogaggio

- Ed è proporzionale a area e perimetro delle diffusioni
- Tipicamente $< 1 \text{ fA}/\mu\text{m}^2$ (trascurabile)

Band-to-Band Tunneling

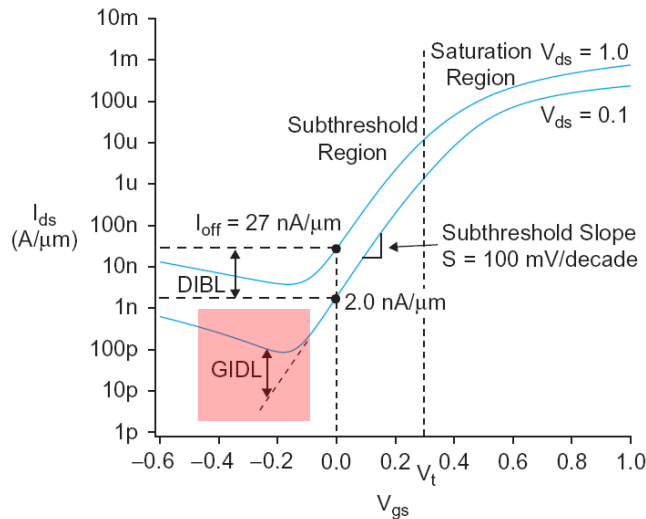
- ❑ Tunneling attraverso giunzioni pn fortemente drogate
 - Specie sul lato drain-canale quando si utilizza *halo doping* per aumentare V_t e contrastare SCE
- ❑ La corrente di perdita è non trascurabile

$$I_{BTBT} = WX_j A \frac{E_j}{E_g^{0.5}} V_{dd} e^{-B \frac{E_g^{1.5}}{E_j}} \quad E_j = \sqrt{\frac{2qN_{halo}N_{sd}}{\varepsilon(N_{halo} + N_{sd})}} \left(V_{DD} + v_T \ln \frac{N_{halo}N_{sd}}{n_i^2} \right)$$

- X_j : profondità della giunzione drain-canale
- E_g : tensione di bandgap
- A, B : costanti tecnologiche

Gate-Induced Drain Leakage

- ❑ Si manifesta dove gate e drain si sovrappongono
 - Maggiore quando il drain è a V_{DD} e il gate a tensione negativa
 - Annulla i tentativi di ridurre il subthreshold leakage usando una tensione di gate negativa

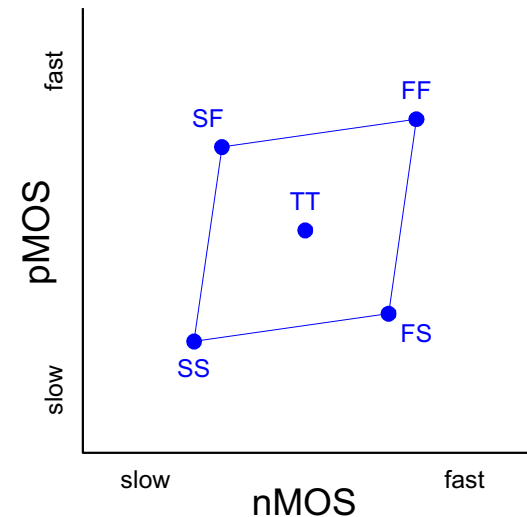


Contenuti di questa lezione

- ❑ Comportamento non-ideale del transistor MOS
 - ✓ Effetti di alto campo
 - ✓ Degradazione della mobilità e saturazione di velocità
 - ✓ Modulazione della lunghezza di canale
 - ✓ Transistore come switch: Resistenza equivalente
 - ✓ Capacità di gate e delle diffusioni
 - ✓ Effetti relativi alla tensione di soglia
 - ✓ Body Effect, Drain-Induced Barrier Lowering e Short Channel Effect
 - ✓ Correnti di perdita
 - ✓ Subthreshold Leakage, Gate Leakage e Junction Leakage
- ❑ Variazioni di processo e ambientali
- ❑ Conclusioni

Variazioni di Processo

- ❑ I parametri dei transistori sono affetti da incertezza
 - Processo: L_{eff} , V_t , t_{ox} di nMOS e pMOS
 - Variano intorno a valori tipici (T)
- ❑ Fast (F)
 - L_{eff} : + corto
 - V_t : + basso
 - t_{ox} : + sottile
- ❑ Slow (S): l'opposto
- ❑ Non tutti i parametri variano in modo indipendente per nMOS e pMOS



Variazioni non di processo

- ❑ *Environmental variations:* V_{DD} e T variano nel tempo e nello spazio
- ❑ Fast:
 - V_{DD} : _____
 - T : _____

Corner	Voltage	Temperature
F		
T	1.8	70 C
S		

Variazioni non di processo

- ❑ *Environmental variations:* V_{DD} e T variano nel tempo e nello spazio
- ❑ Fast:
 - V_{DD} : alta
 - T : _____

Corner	Voltage	Temperature
F		
T	1.8	70 C
S		

Variazioni non di processo

- ❑ *Environmental variations:* V_{DD} e T variano nel tempo e nello spazio
- ❑ Fast:
 - V_{DD} : alta
 - T : bassa

Corner	Voltage	Temperature
F		
T	1.8	70 C
S		

Variazioni non di processo

- ❑ *Environmental variations:* V_{DD} e T variano nel tempo e nello spazio
- ❑ Fast:
 - V_{DD} : alta
 - T : bassa

Corner	Voltage	Temperature
F	1.98	0 C
T	1.8	70 C
S	1.62	125 C

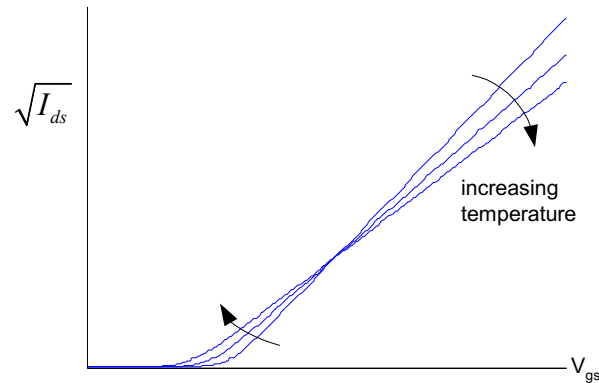
Dipendenza dalla temperatura

□ All'aumentare della temperatura

- Si riduce la mobilità
- Si riduce la V_t

□ I_{ON} **decrece** con T

□ I_{OFF} **aumenta** con T



Process Corners (1/2)

- ❑ I *Process corners* descrivono le variazioni *worst case*
 - Se un circuito funziona in tutti i corner, verosimilmente funzionerà per tutte le variazioni
- ❑ Si identificano con quattro lettere, ciascuna appartenente all'insieme (T, F, S), riferite a:
 - nMOS speed
 - pMOS speed
 - Voltage
 - Temperature

Process Corners (1/2)

❑ I corner critici da simulare includono

Purpose	nMOS	pMOS	V_{DD}	Temp
Cycle time				
Power				
Subthreshold leakage				

Process Corners (1/2)

❑ I corner critici da simulare includono

Purpose	nMOS	pMOS	V _{DD}	Temp
Cycle time	S	S	S	S
Power				
Subthreshold leakage				

Process Corners (1/2)

❑ I corner critici da simulare includono

Purpose	nMOS	pMOS	V _{DD}	Temp
Cycle time	S	S	S	S
Power	F	F	F	F
Subthreshold leakage				

Process Corners (1/2)

❑ I corner critici da simulare includono

Purpose	nMOS	pMOS	V _{DD}	Temp
Cycle time	S	S	S	S
Power	F	F	F	F
Subthreshold leakage	F	F	F	S

Contenuti di questa lezione

- ❑ Comportamento non-ideale del transistor MOS
 - ✓ Effetti di alto campo
 - ✓ Degradazione della mobilità e saturazione di velocità
 - ✓ Modulazione della lunghezza di canale
 - ✓ Transistore come switch: Resistenza equivalente
 - ✓ Capacità di gate e delle diffusioni
 - ✓ Effetti relativi alla tensione di soglia
 - ✓ Body Effect, Drain-Induced Barrier Lowering e Short Channel Effect
 - ✓ Correnti di perdita
 - ✓ Subthreshold Leakage, Gate Leakage e Junction Leakage
- ✓ Variazioni di processo e ambientali
- ❑ Conclusioni

Conclusioni

- ❑ Transistori reali diversi dai transistori ideali
 - Tenere conto di riduzione della mobilità, modulazione lunghezza di canale, effetto body, capacità parassite
- ❑ I transistori attuali si comportano in modo assai diverso dai transistori di alcuni decenni fa
 - Tenere conto di alcuni effetti per simulare correttamente e progettare adeguatamente i circuiti
 - Effetti di canale corto, correnti di perdita
- ❑ Il progetto deve tenere conto di variazioni di processo ed ambientali per garantire il funzionamento in tutte le condizioni