

Dispositivi e Fabbricazione

Microelettronica Digitale

Prof. Mario R. Casu

DET

Department of Electronics and Telecommunications

www.det.polito.it



www.polito.it

Contenuti di questa lezione

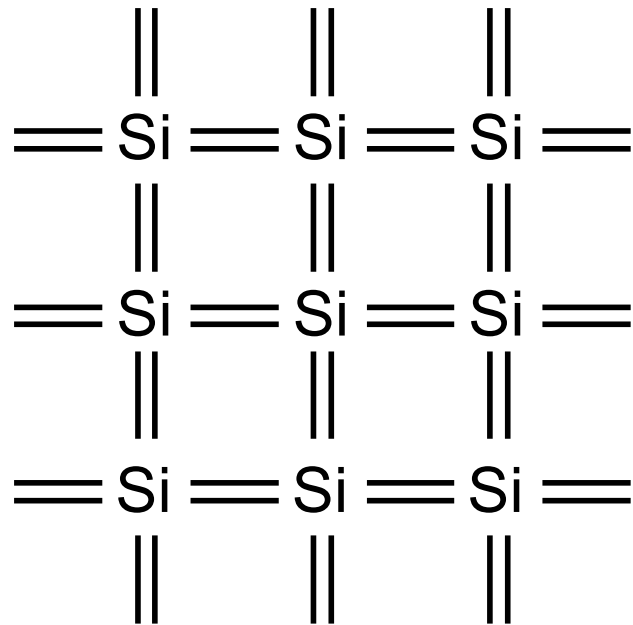
- ❑ Dispositivi
 - Diodo a giunzione
 - MOS
- ❑ Processo CMOS
- ❑ Layout
- ❑ Conclusioni

Contenuti di questa lezione

- ❑ Dispositivi
 - Diodo a giunzione
 - MOS
- ❑ Processo CMOS
- ❑ Layout
- ❑ Conclusioni

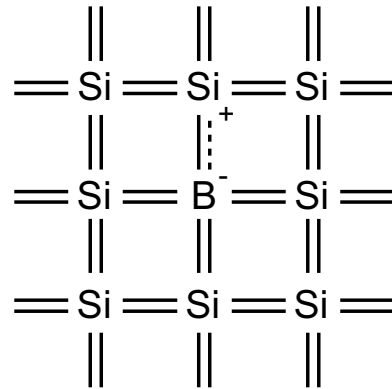
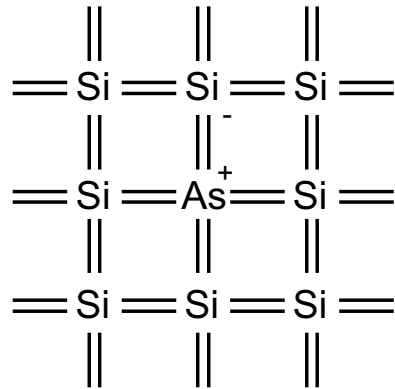
Cristallo di Silicio

- ❑ I transistori sono fabbricati su un substrato di Silicio (Si)
- ❑ Il Si è un materiale che appartiene al IV gruppo
- ❑ Forma cristalli con legami verso quattro atomi vicini



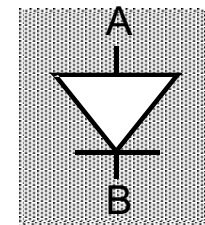
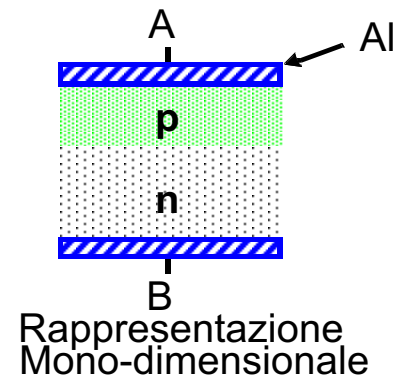
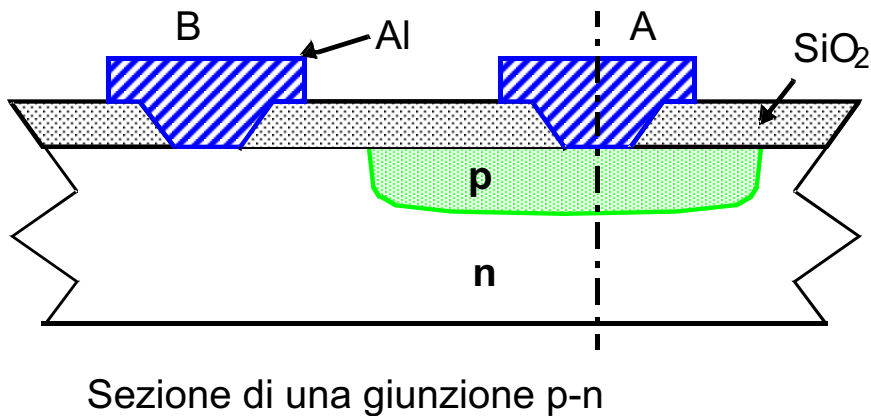
Droganti

- ❑ Si è un semiconduttore: puro (intrinseco) non ha portatori liberi e quindi ha bassa conducibilità
- ❑ L'aggiunta di drogante ne aumenta la conducibilità
- ❑ Droganti del V gruppo: un elettrone in più (n-type)
- ❑ Droganti del III gruppo: un elettrone in meno (p-type)

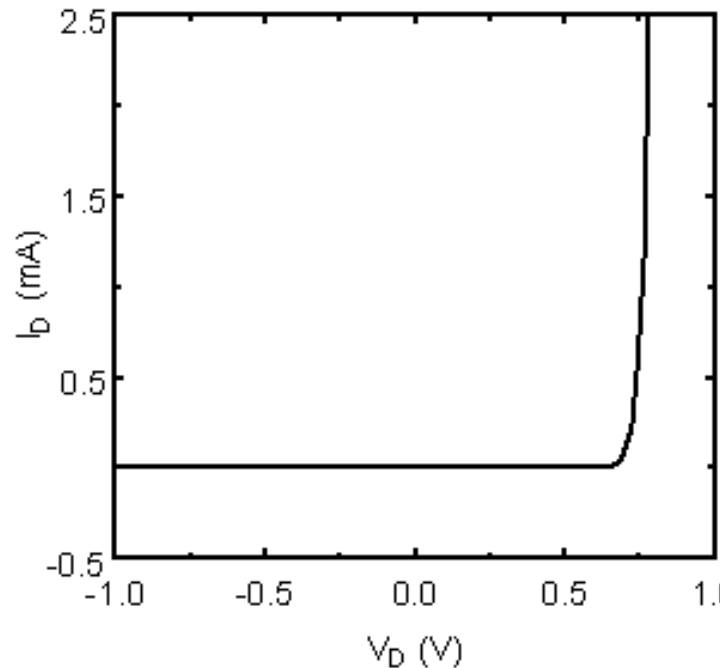


Giunzioni p-n

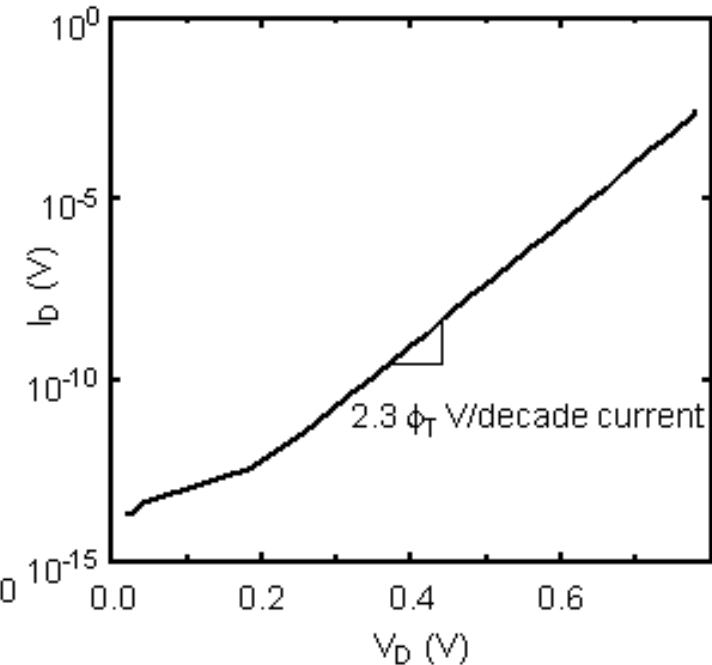
- Una giunzione tra semiconduttori drogati in modo opposto (p-type e n-type) forma un **diodo**
 - La corrente può scorrere solo in una direzione
 - da A (anodo) a B (catodo)



Corrente del diodo



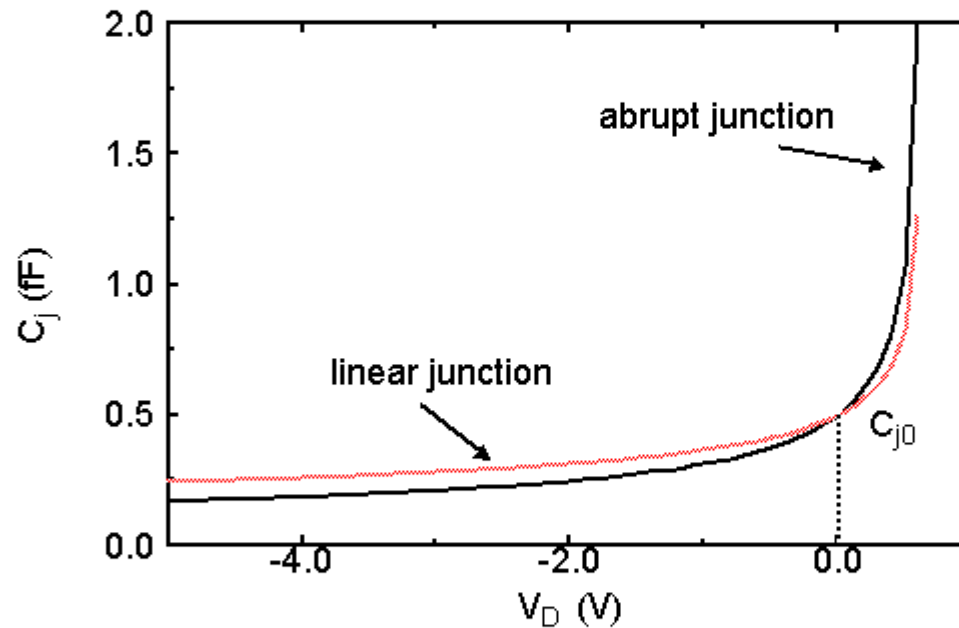
(a) On a linear scale.



(b) On a logarithmic scale (forward bias).

$$I_D = I_S \left(e^{V_D / \phi_T} - 1 \right)$$

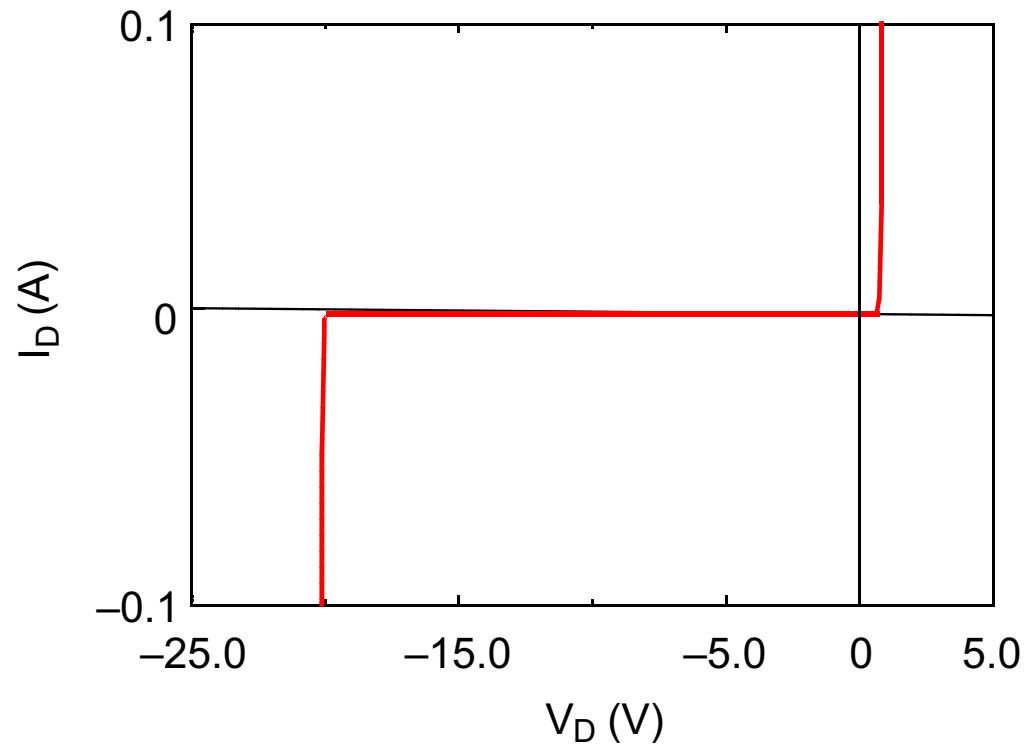
Capacità della giunzione



$$C_j = \frac{C_{j0}}{(1 - V_D / \phi_0)^m}$$

$m = 0.5$: abrupt junction
 $m = 0.33$: linear junction

Effetti secondari



Breakdown

Contenuti di questa lezione

☒ Dispositivi

- ✓ Diodo a giunzione

- MOS

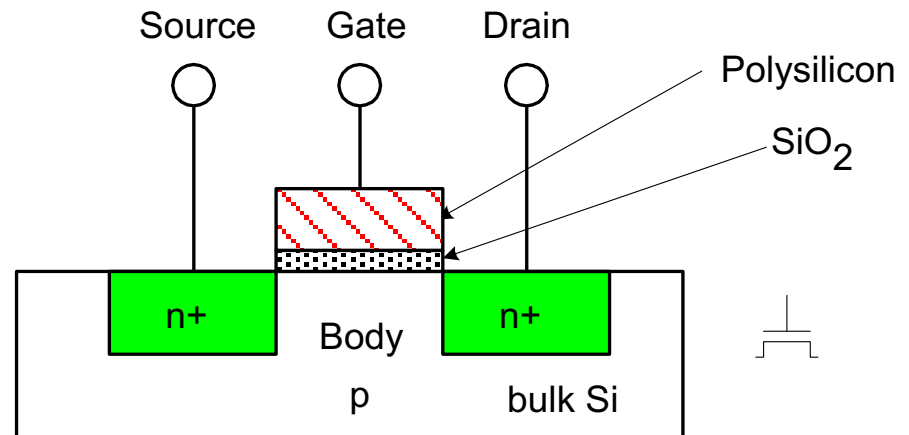
☐ Processo CMOS

☐ Layout

☐ Conclusioni

Transistore MOS a canale n

- ❑ Quattro terminali: gate, source, drain, body
- ❑ Sezione Gate–Ossido–Body sembra un condensatore
 - Gate e body sono conduttori
 - SiO_2 (ossido) è un ottimo isolante
 - Condensatore **metallo–ossido–semiconduttore (MOS)**
 - Il gate molto spesso non è di metallo*



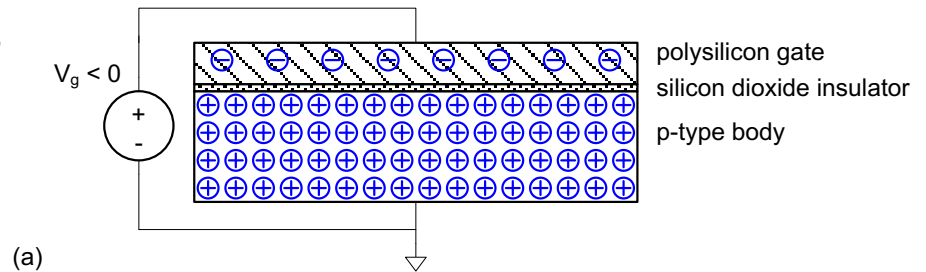
* I gate di metallo sono tornati di moda oggi!

Il condensatore MOS

- ❑ Gate e Body formano un condensatore MOS
- ❑ Modi di funzionamento
 - Accumulo
 - Svuotamento
 - Inversione

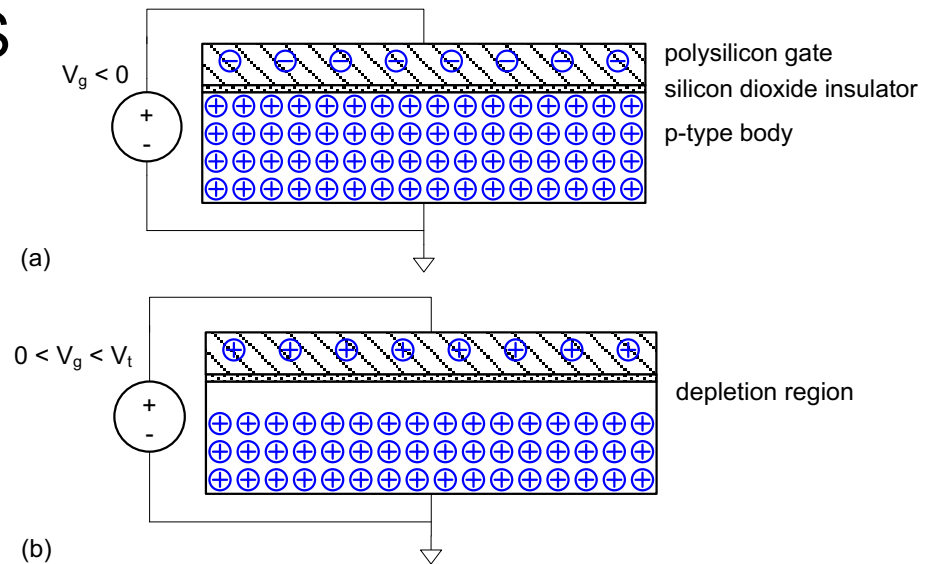
Il condensatore MOS

- ❑ Gate e Body formano un condensatore MOS
- ❑ Modi di funzionamento
 - Accumulo
 - Svuotamento
 - Inversione



Il condensatore MOS

- ❑ Gate e Body formano un condensatore MOS
- ❑ Modi di funzionamento
 - Accumulo
 - Svuotamento
 - Inversione

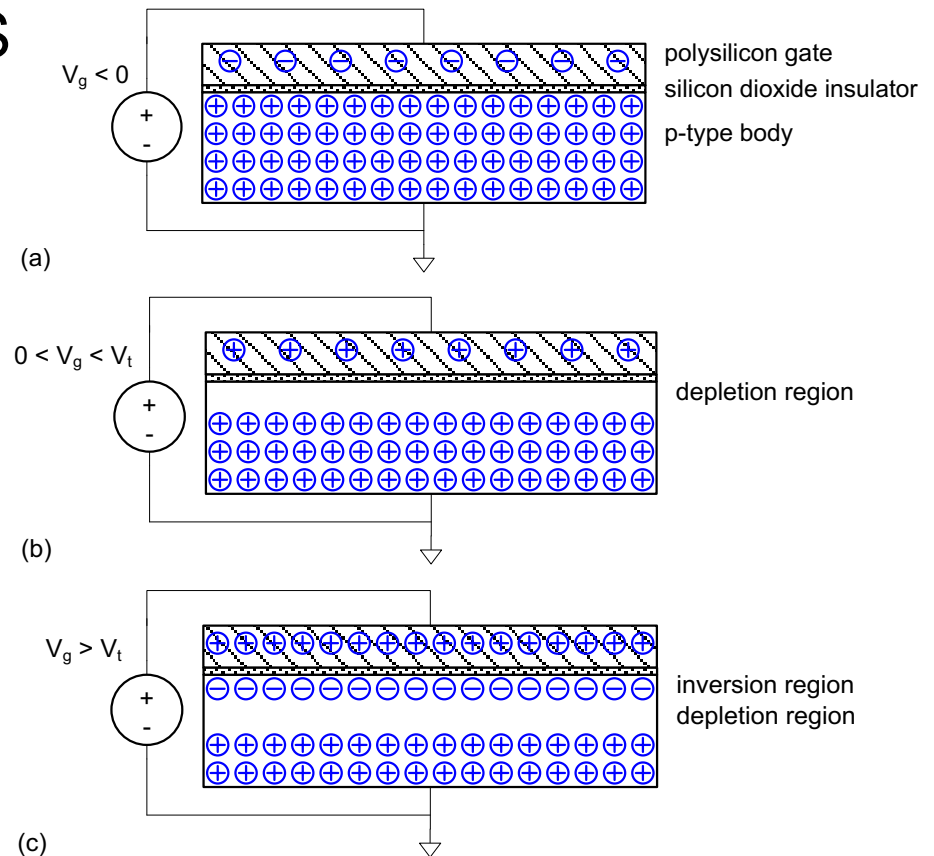


Il condensatore MOS

□ Gate e Body formano un condensatore MOS

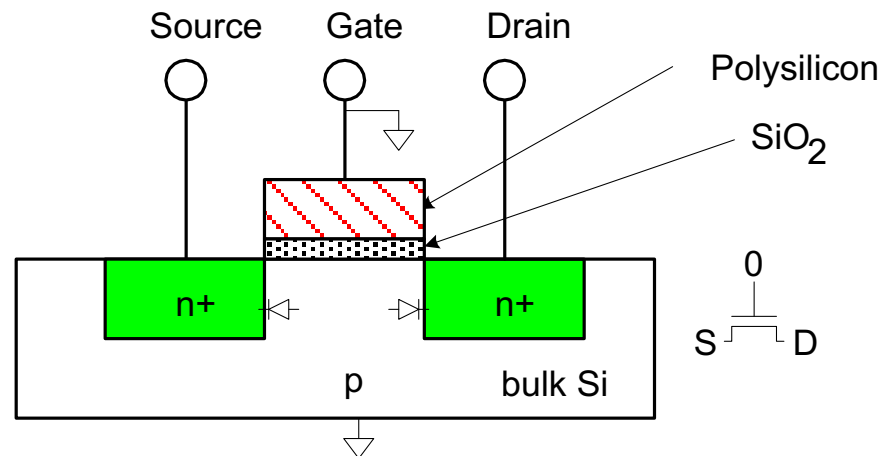
□ Modi di funzionamento

- Accumulo
- Svuotamento
- Inversione



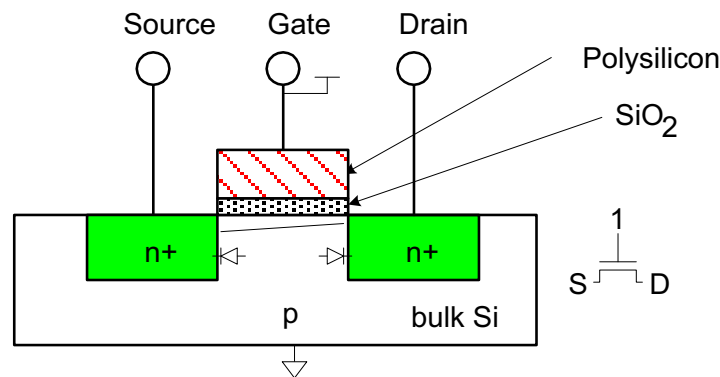
Funzionamento nMOS (1/2)

- ❑ Body di solito connesso a gnd (0 V)
- ❑ Con il Gate a tensione bassa:
 - Body P-type a tensione bassa
 - Diodi Source-Body e Drain-Body in polarizz. inversa
 - Non scorre corrente, il transistor è OFF



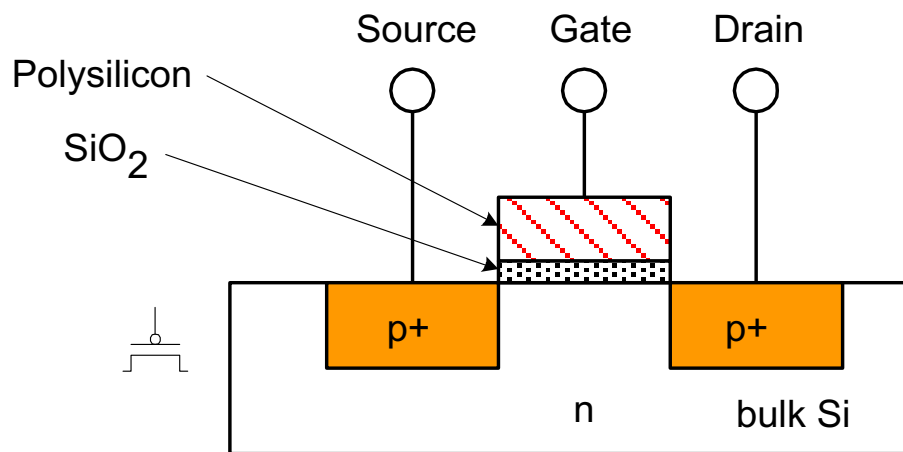
Funzionamento nMOS (2/2)

- ❑ Con il Gate a tensione alta:
 - Carica positiva sul gate del condensatore MOS
 - Carica negative attirata dal Body: Strato di inversione (elettroni) \Rightarrow canale sotto il gate
 - Corrente scorre tra Source e Drain: il transistor è ON



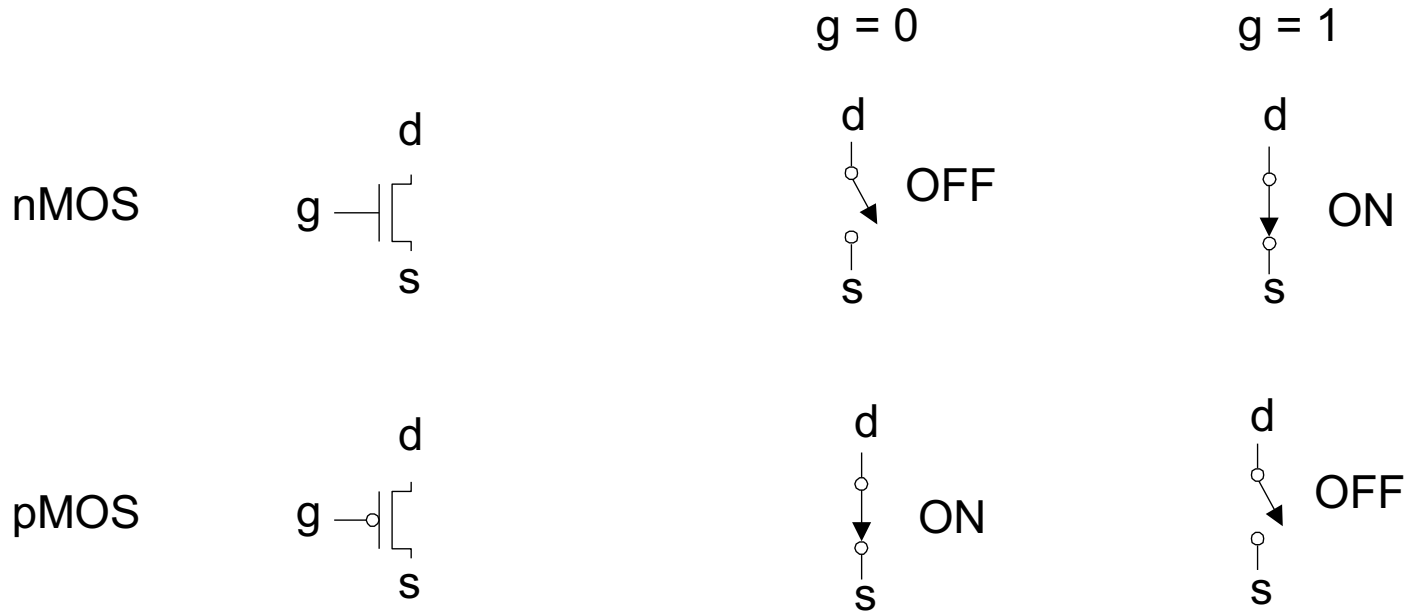
Transistore MOS a canale p

- ❑ Simile a nMOS, ma drogaggi e tensioni sono invertiti
 - Body collegato a tensione alta (V_{DD})
 - Gate a tensione bassa: transistor ON
 - Gate a tensione alta: transistor OFF
 - Il pallino nel simbolo indica comportamento invertito



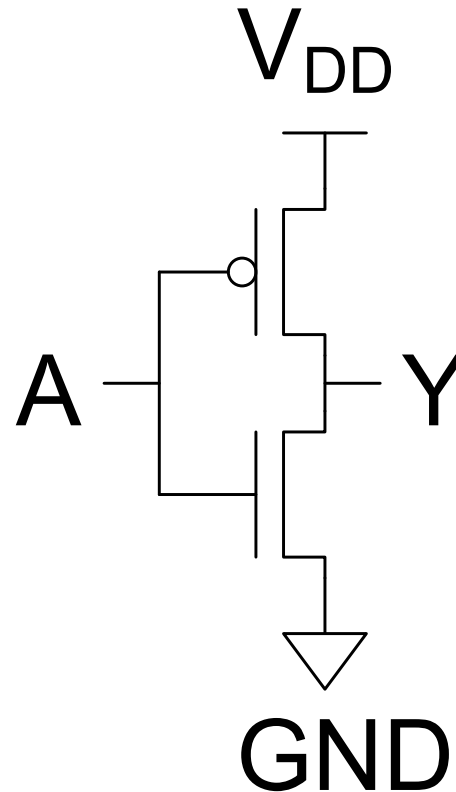
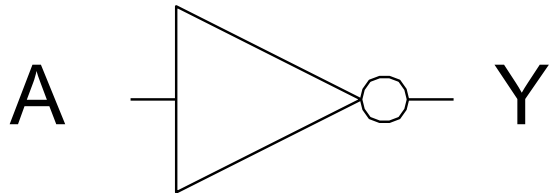
Transistori come interruttori

- ❑ Transistori MOS come interruttori controllati in tensione
- ❑ V_g controlla il percorso tra Source e Drain



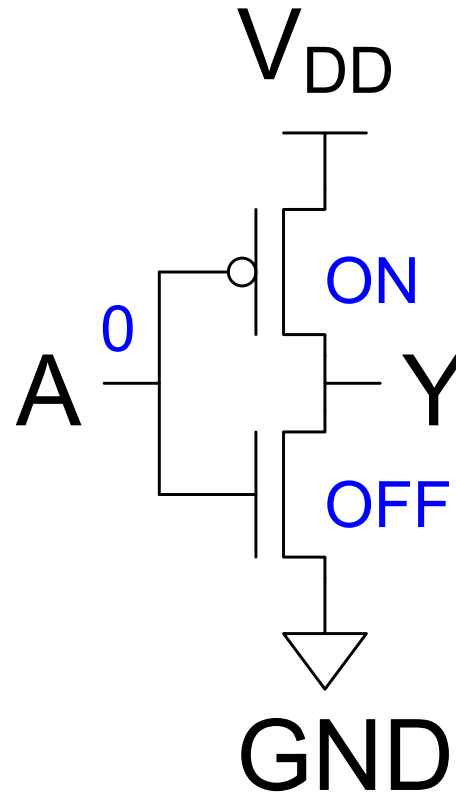
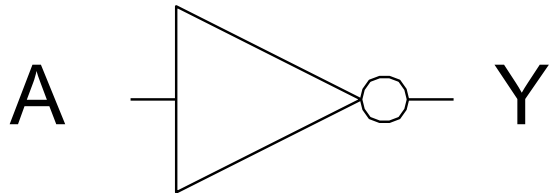
Inverter CMOS

A	Y



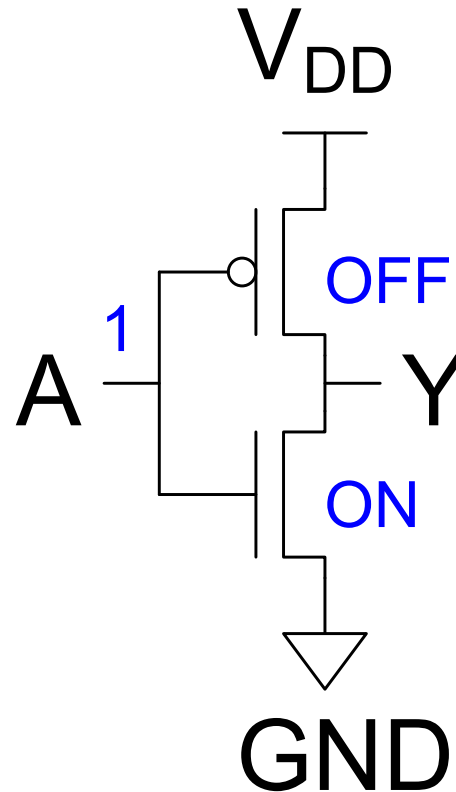
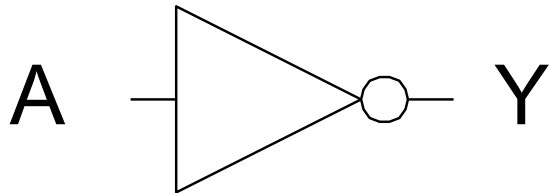
Inverter CMOS

A	Y
0	1



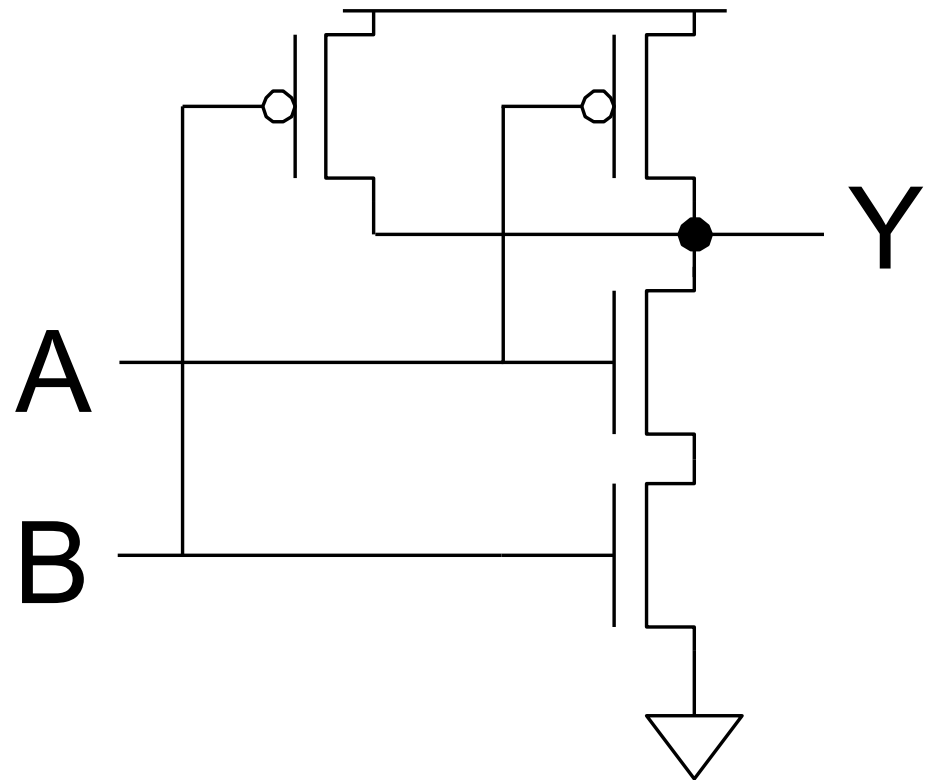
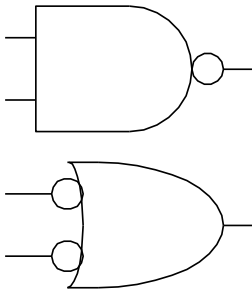
Inverter CMOS

A	Y
0	1
1	0



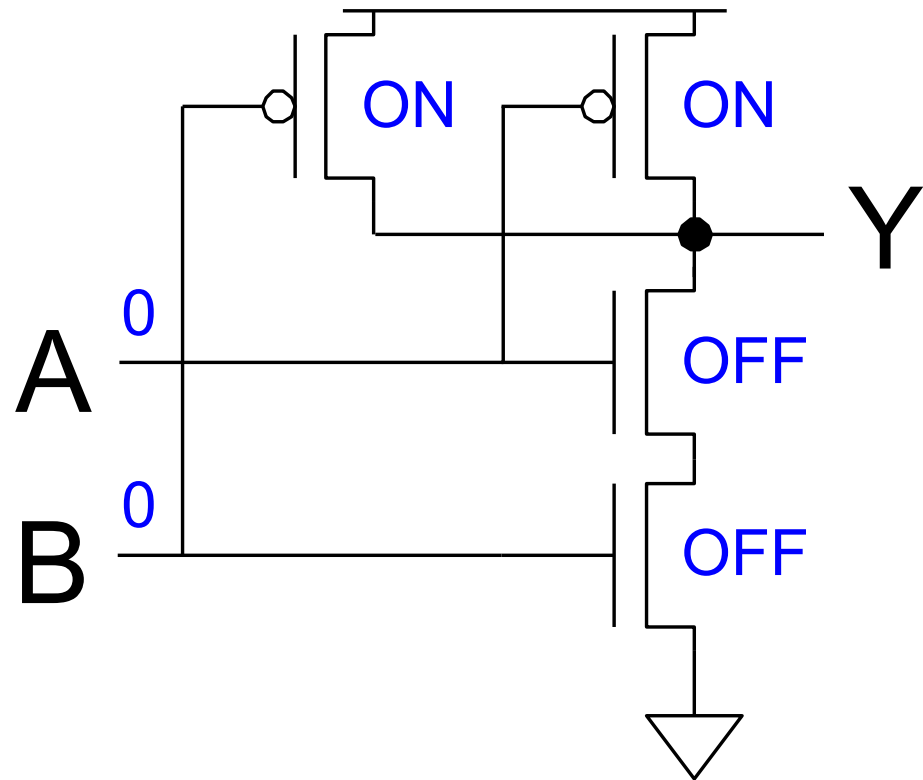
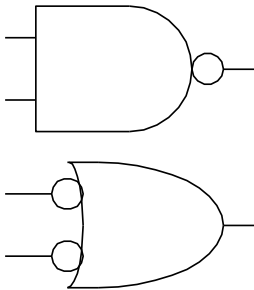
CMOS NAND a 2 ingressi

A	B	Y
0	0	
0	1	
1	0	
1	1	



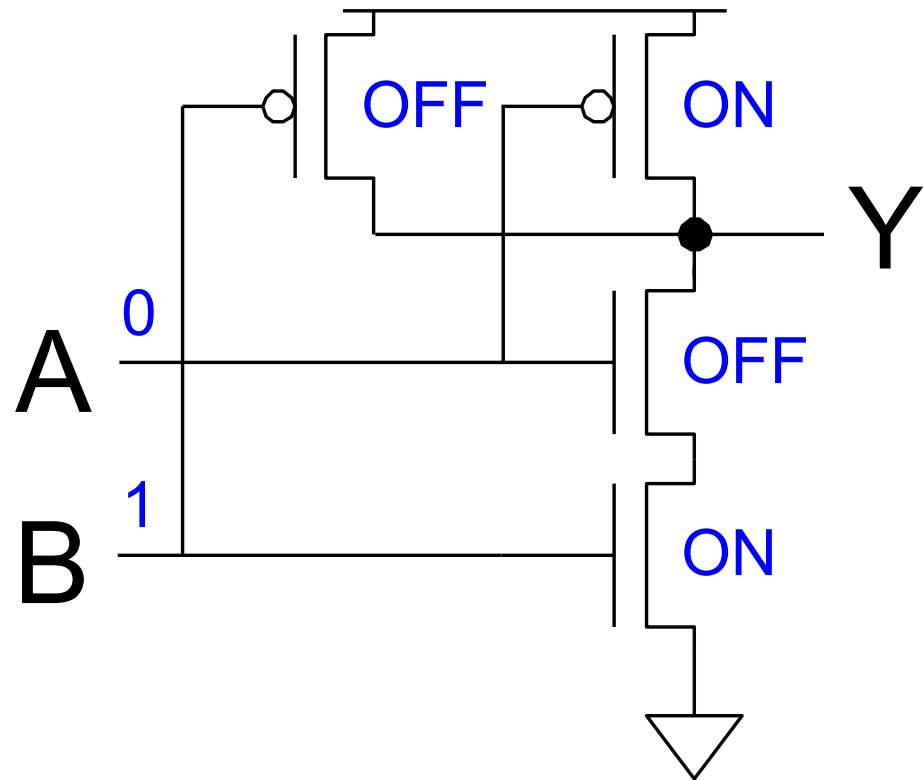
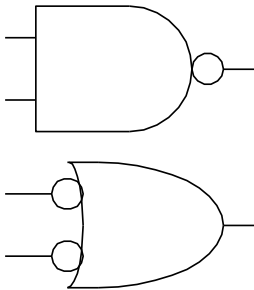
CMOS NAND a 2 ingressi

A	B	Y
0	0	1
0	1	
1	0	
1	1	



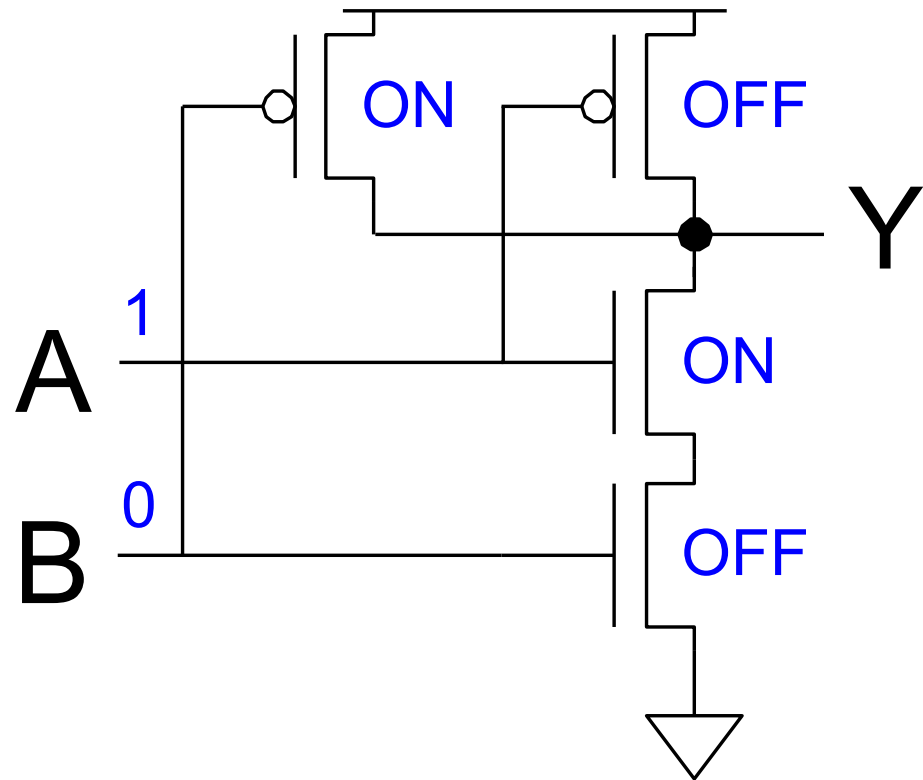
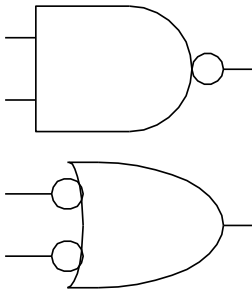
CMOS NAND a 2 ingressi

A	B	Y
0	0	1
0	1	1
1	0	
1	1	



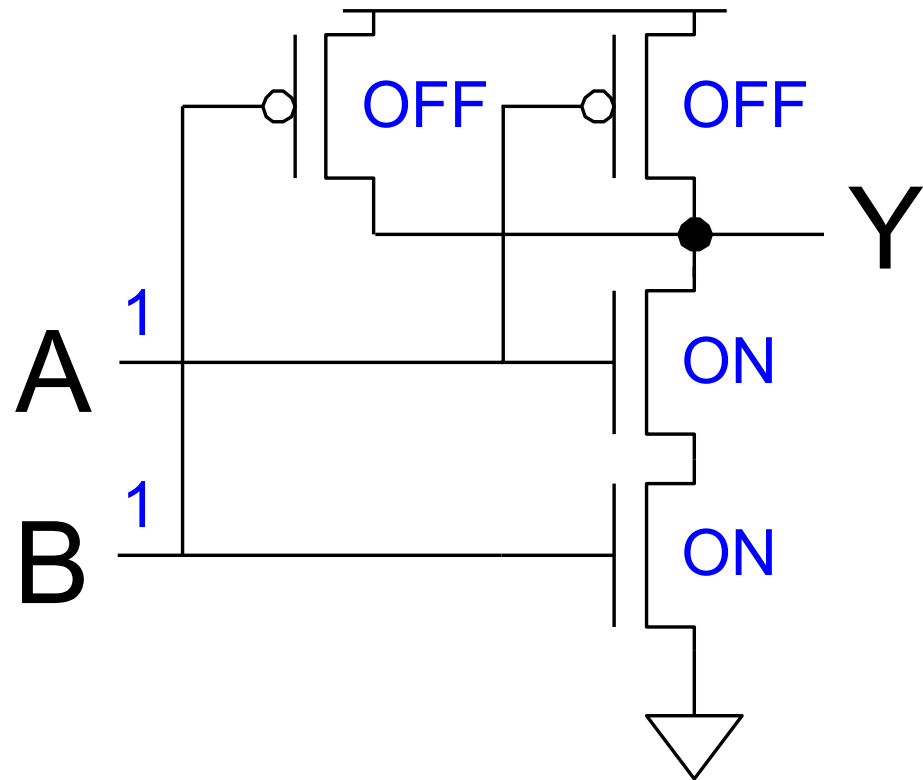
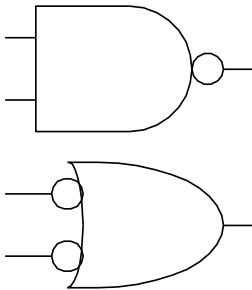
CMOS NAND a 2 ingressi

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	



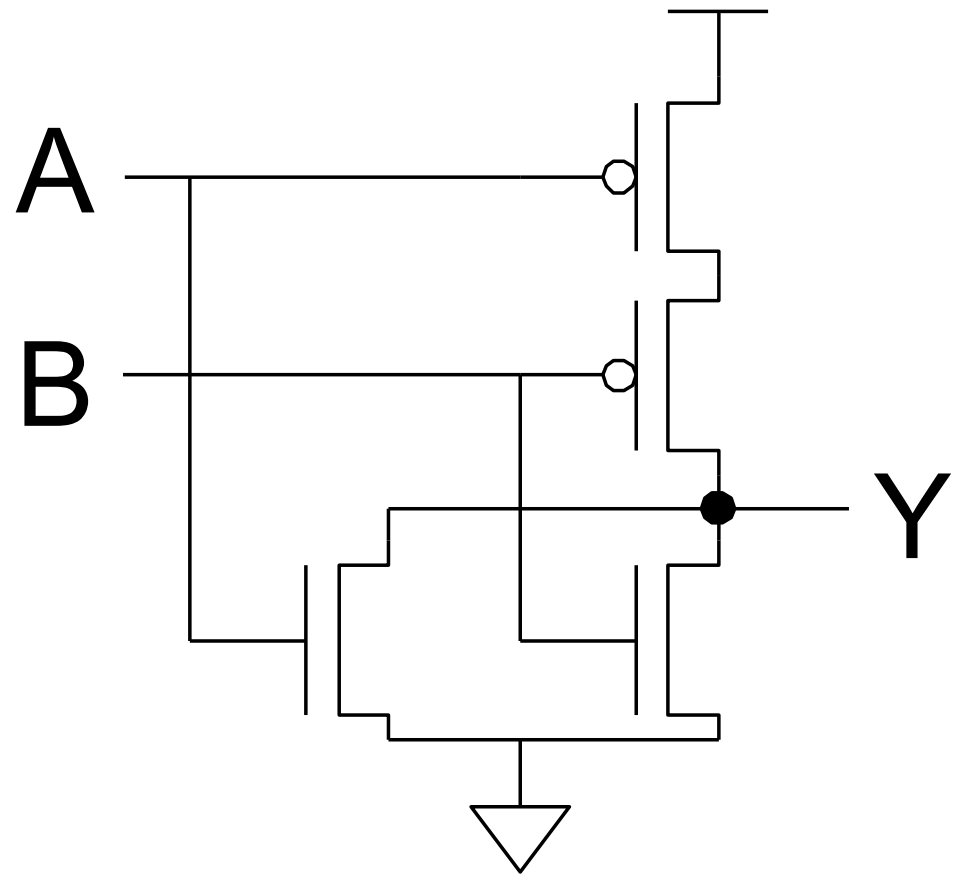
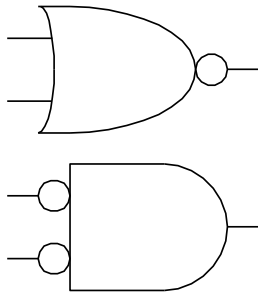
CMOS NAND a 2 ingressi

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



CMOS NOR a 2 ingressi

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

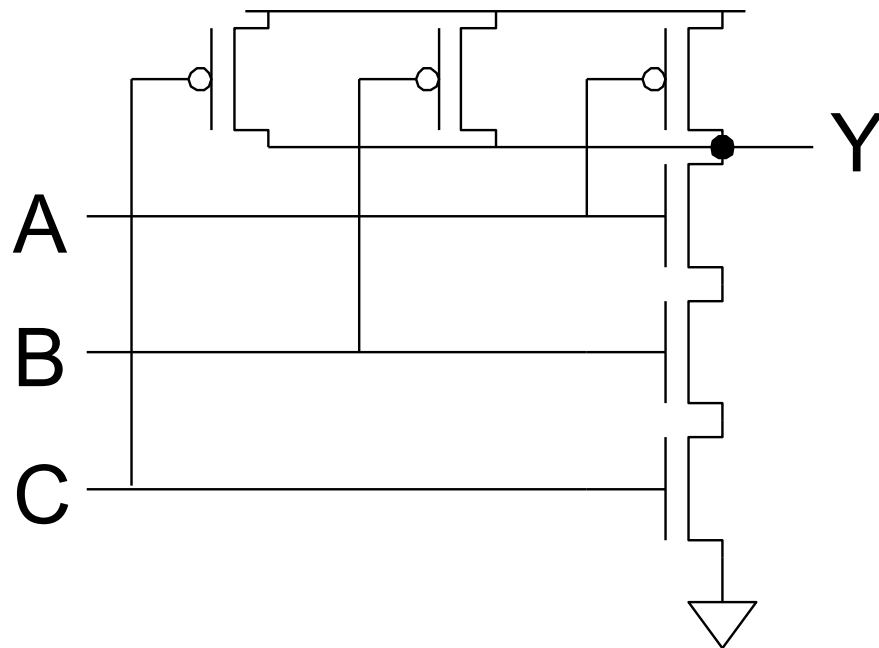


CMOS NAND a 3 ingressi

- ❑ Y va a 0 se TUTTI gli ingressi sono a 1
- ❑ Y va a 1 se un QUALSIASI ingresso è a 0

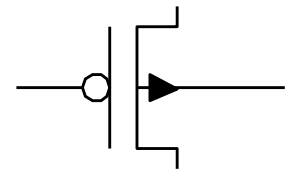
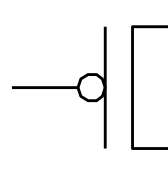
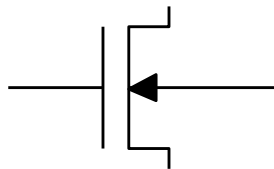
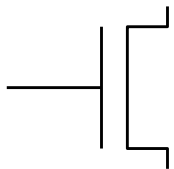
CMOS NAND a 3 ingressi

- ❑ Y va a 0 se TUTTI gli ingressi sono a 1
- ❑ Y va a 1 se un QUALSIASI ingresso è a 0



Modelli del MOS

- ❑ I transistori NON sono interruttori ideali
- ❑ Un transistore ON fa passare una qtà finita di corrente
 - Dipende dalla tensione ai terminali
 - Si può derivare la relazione corrente-tensione (I-V)
- ❑ Gate, Source, Drain hanno capacità associate
 - $I = C (\Delta V / \Delta t) \Rightarrow \Delta t = (C / I) \Delta V$
 - Capacità e corrente determinano la velocità



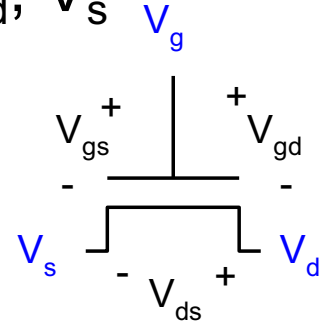
Tensioni ai terminali

□ Modi di funzionamento dipendono da V_g , V_d , V_s

– $V_{gs} = V_g - V_s$

– $V_{gd} = V_g - V_d$

– $V_{ds} = V_d - V_s = V_{gs} - V_{gd}$



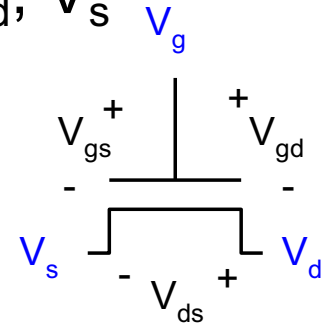
Tensioni ai terminali

❑ Modi di funzionamento dipendono da V_g , V_d , V_s

– $V_{gs} = V_g - V_s$

– $V_{gd} = V_g - V_d$

– $V_{ds} = V_d - V_s = V_{gs} - V_{gd}$



❑ Source e Drain sono simmetrici

- Per convenzione, S è il terminale a tensione più bassa, ne consegue che $V_{ds} \geq 0$

❑ Il Body nMOS è a gnd; assumiamo anche S a gnd

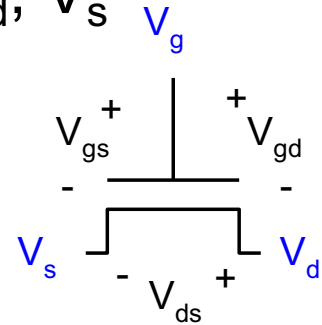
Tensioni ai terminali

❑ Modi di funzionamento dipendono da V_g , V_d , V_s

– $V_{gs} = V_g - V_s$

– $V_{gd} = V_g - V_d$

– $V_{ds} = V_d - V_s = V_{gs} - V_{gd}$



❑ Source e Drain sono simmetrici

- Per convenzione, S è il terminale a tensione più bassa, ne consegue che $V_{ds} \geq 0$

❑ Il Body nMOS è a gnd; assumiamo anche S a gnd

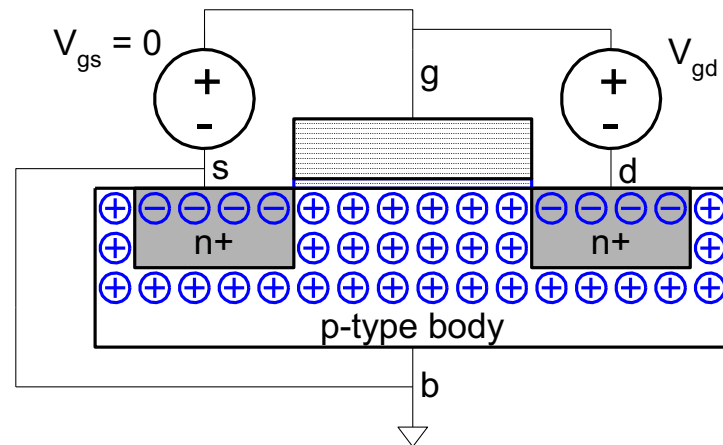
❑ Tre regioni di funzionamento

- **Cutoff, “Lineare” (Triodo) e Saturazione**

Cutoff in nMOS

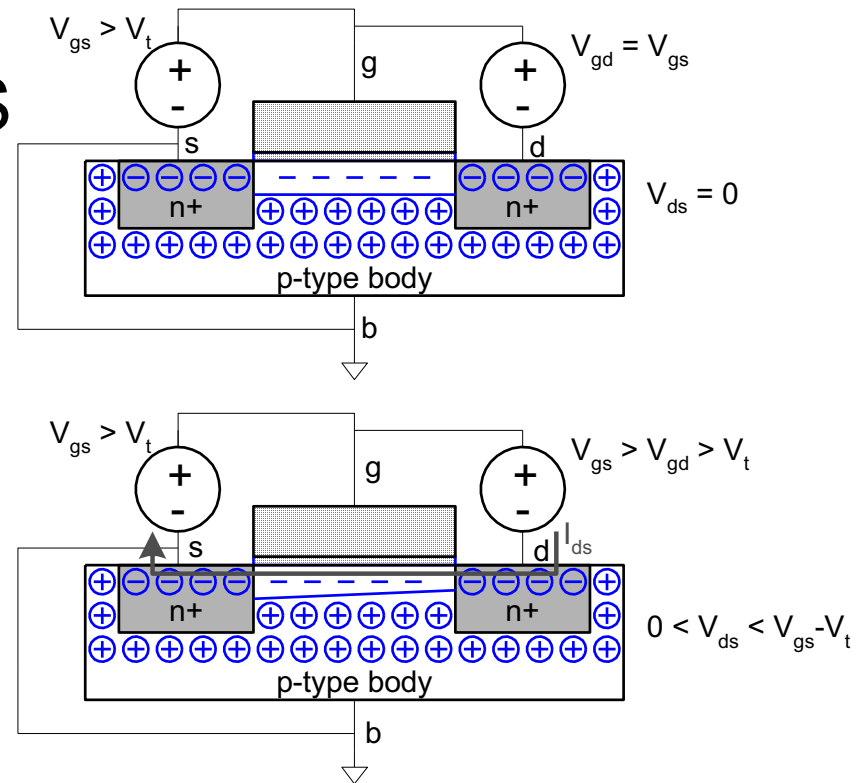
❑ Il canale non è formato

❑ $I_{ds} \approx 0$



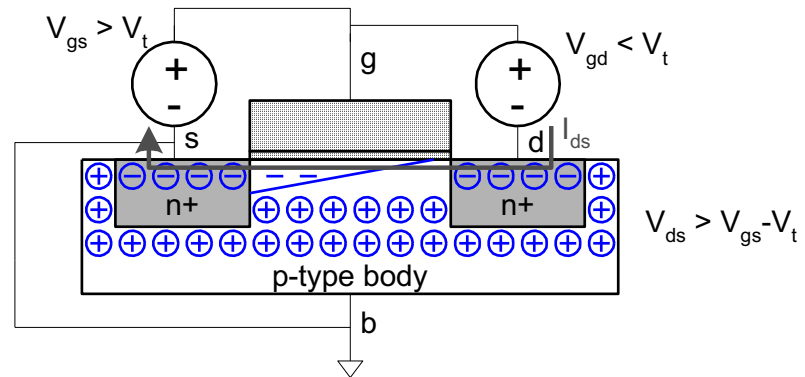
Zona Lineare in nMOS

- ❑ Si forma il canale
- ❑ Corrente scorre da D a S
 - e^- vanno da S a D
- ❑ I_{ds} cresce con V_{ds}
- ❑ Simile a resistore lineare



Saturazione in nMOS

- ❑ Si verifica il *pinch-off* del canale
- ❑ I_{ds} non dipende più da V_{ds}
- ❑ La corrente *satura*
- ❑ Il MOS si comporta come un generatore di corrente



Carica nel canale

- ❑ La struttura MOS è come un condensatore a facce piane e parallele quando si trova in inversione

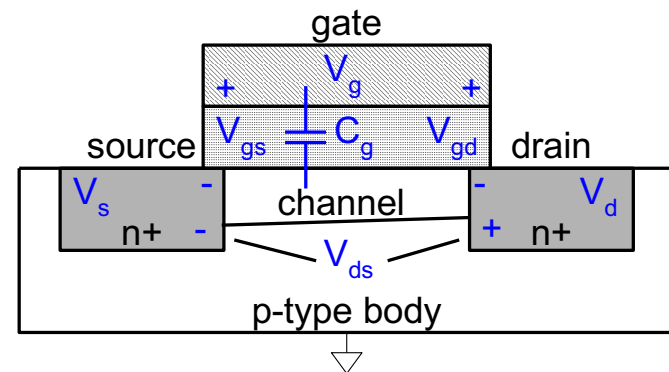
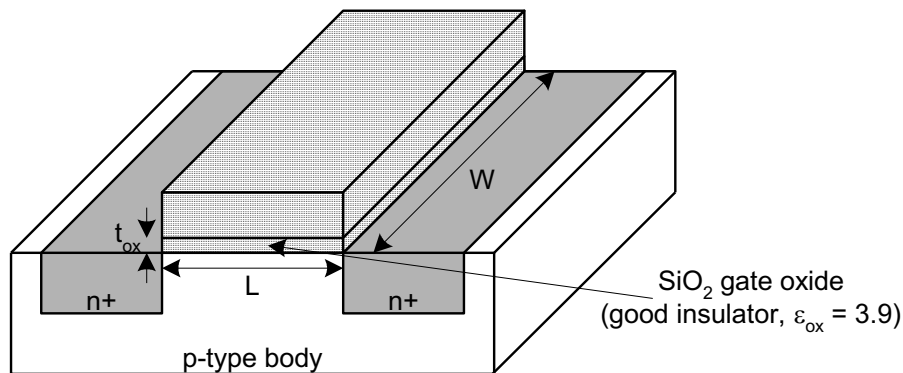
- Gate – oxide – channel

- ❑ $Q_{\text{channel}} = CV$

- ❑ $C = C_g = \epsilon_{\text{ox}} WL / t_{\text{ox}} = C_{\text{ox}} WL$

$$C_{\text{ox}} = \epsilon_{\text{ox}} / t_{\text{ox}}$$

- ❑ $V = V_{\text{gc}} - V_t = (V_{\text{gs}} - V_{\text{ds}}/2) - V_t$



Velocità dei portatori

- ❑ La carica è trasportata da elettroni e-
- ❑ Gli elettroni sono spinti dal campo elettrico laterale tra S e D
 - $E = V_{ds}/L$ (V/cm)
- ❑ La loro velocità è proporzionale a E
 - $v = \mu E$ μ è la mobilità ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)
- ❑ Tempo di attraversamento del canale:
 - $t = L / v$

Relazione I-V *ideale*

□ Con $\beta = \mu C_{ox} W/L$ e $V_{dsat} = V_{gs} - V_t$

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t & \text{cutoff} \\ \beta \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} & V_{ds} < V_{dsat} & \text{linear} \\ \frac{\beta}{2} (V_{gs} - V_t)^2 & V_{ds} > V_{dsat} & \text{saturation} \end{cases}$$

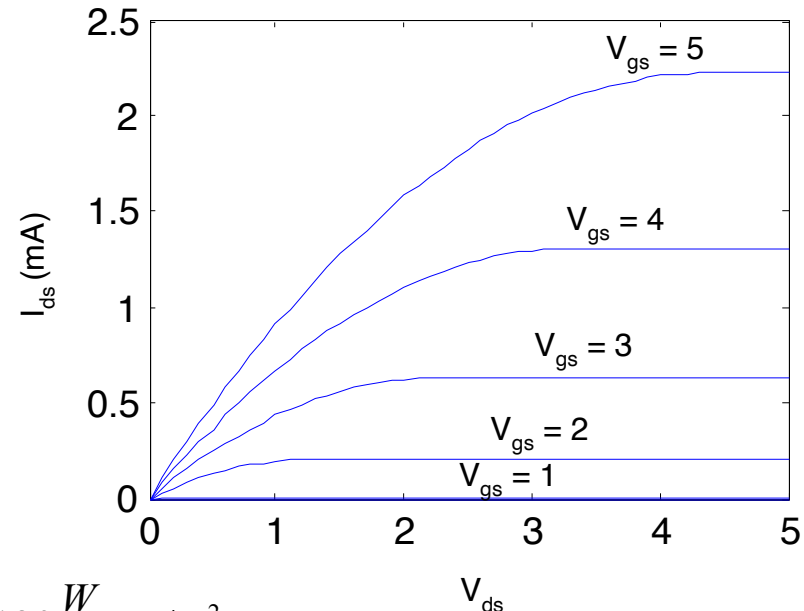
Esempio

□ $t_{ox} = 100 \text{ \AA}$, $\mu = 350 \text{ cm}^2/\text{V}^*\text{s}$, $V_t = 0.7 \text{ V}$

□ $I_{ds} \text{ vs } V_{ds}$

— $V_{gs} = 0, 1, 2, 3, 4, 5$

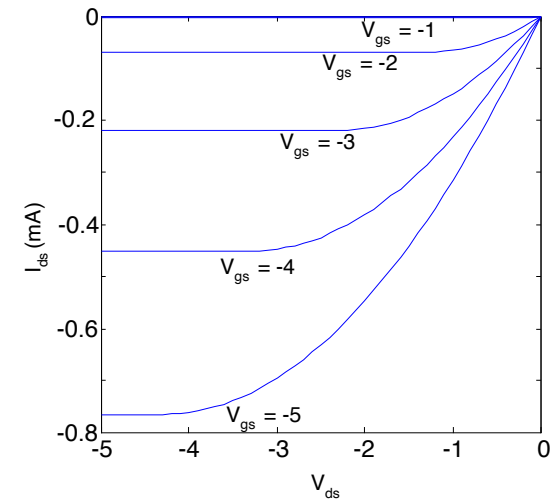
— $W/L = (4 \lambda) / (2 \lambda)$



$$\beta = \mu C_{ox} \frac{W}{L} = (350) \left(\frac{3.9 \times 8.85 \cdot 10^{-14}}{100 \cdot 10^{-8}} \right) \left(\frac{W}{L} \right) = 120 \frac{W}{L} \mu\text{A}/\text{V}^2$$

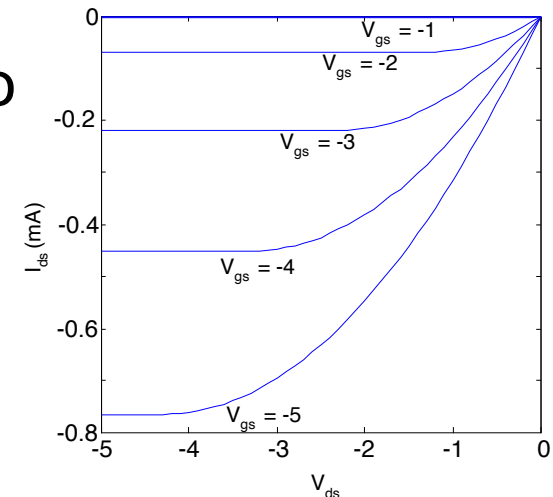
Relazione I-V in un pMOS

- ❑ Drogaggi e tensioni invertite
 - S è il terminale a tensione più alta
- ❑ Mobilità μ_p delle lacune
 - In genere 2-3x più bassa di quella degli elettroni μ_n
 - Es. 120 vs 350 cm²/V•s



Relazione I-V in un pMOS

- ❑ Drogaggi e tensioni invertite
 - S è il terminale a tensione più alta
- ❑ Mobilità μ_p delle lacune
 - In genere 2-3x più bassa di quella degli elettroni μ_n
 - Es. 120 vs 350 cm²/V•s
- ❑ Perciò il pMOS dev'essere più largo ($W \uparrow$) per avere la stessa corrente
 - Es. $\mu_n / \mu_p = 350/120 = 2.9$
 - Ma dipende dalla tecnologia...



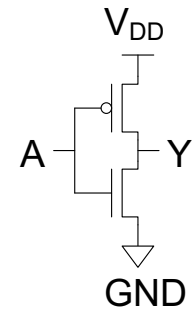
Contenuti di questa lezione

- ✓ Dispositivi
 - ✓ Diodo a giunzione
 - ✓ MOS
- ☒ Processo CMOS
- ☐ Layout
- ☐ Conclusioni

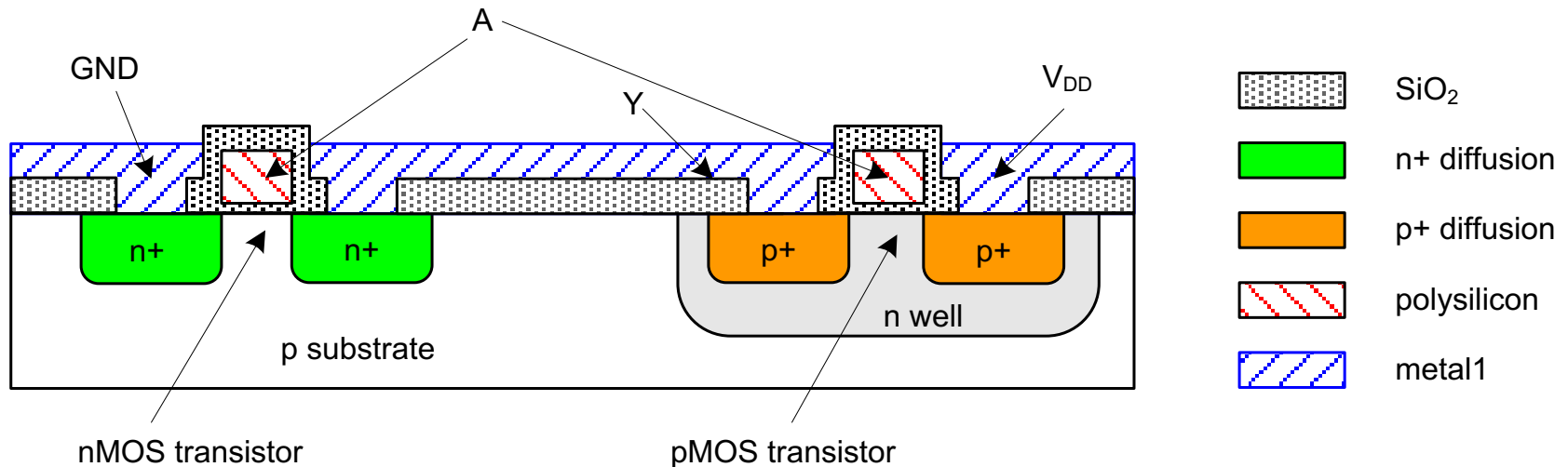
Processo fabbricazione CMOS

- ❑ I transistori CMOS sono fabbricati su un substrato di silicio tramite un processo **fotolitografico**
- ❑ Ad ogni passo si depositano o si rimuovono materiali diversi
- ❑ Modo più facile per capire il processo di fabbricazione
 - Analizzare le viste superiore e in sezione di un wafer di Si durante il processo

Sezione di un Inverter

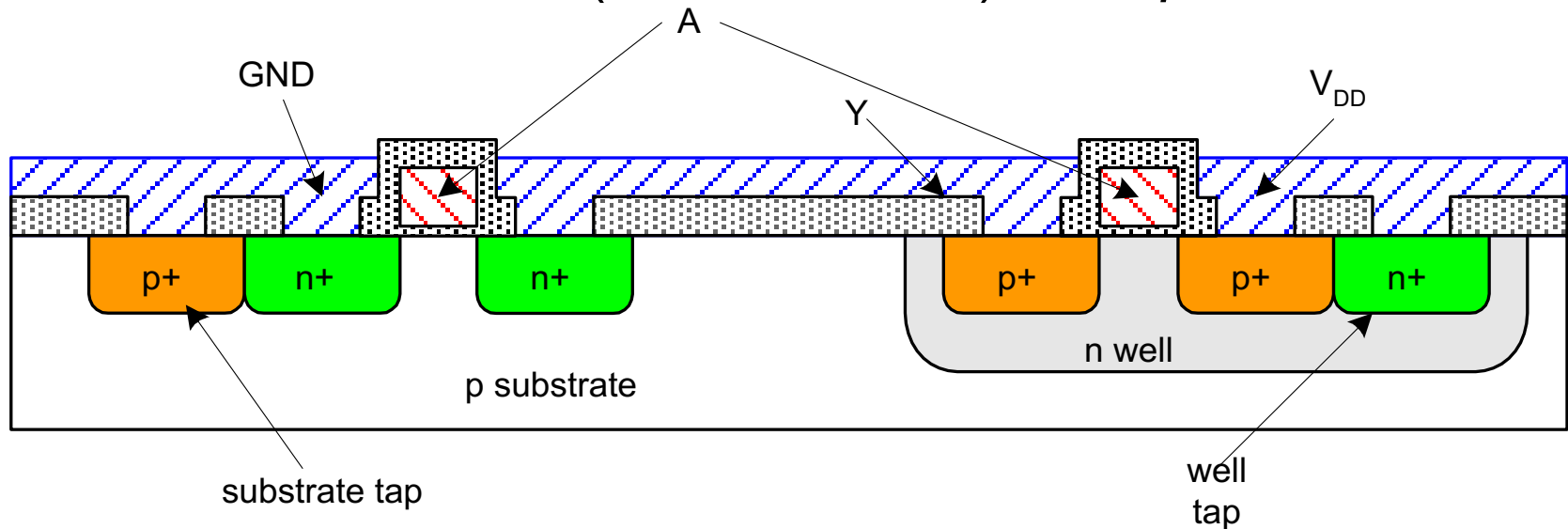


- ❑ Di solito si usa un substrato p-type per nMOS
- ❑ Ciò richiede n-well per il body dei pMOS



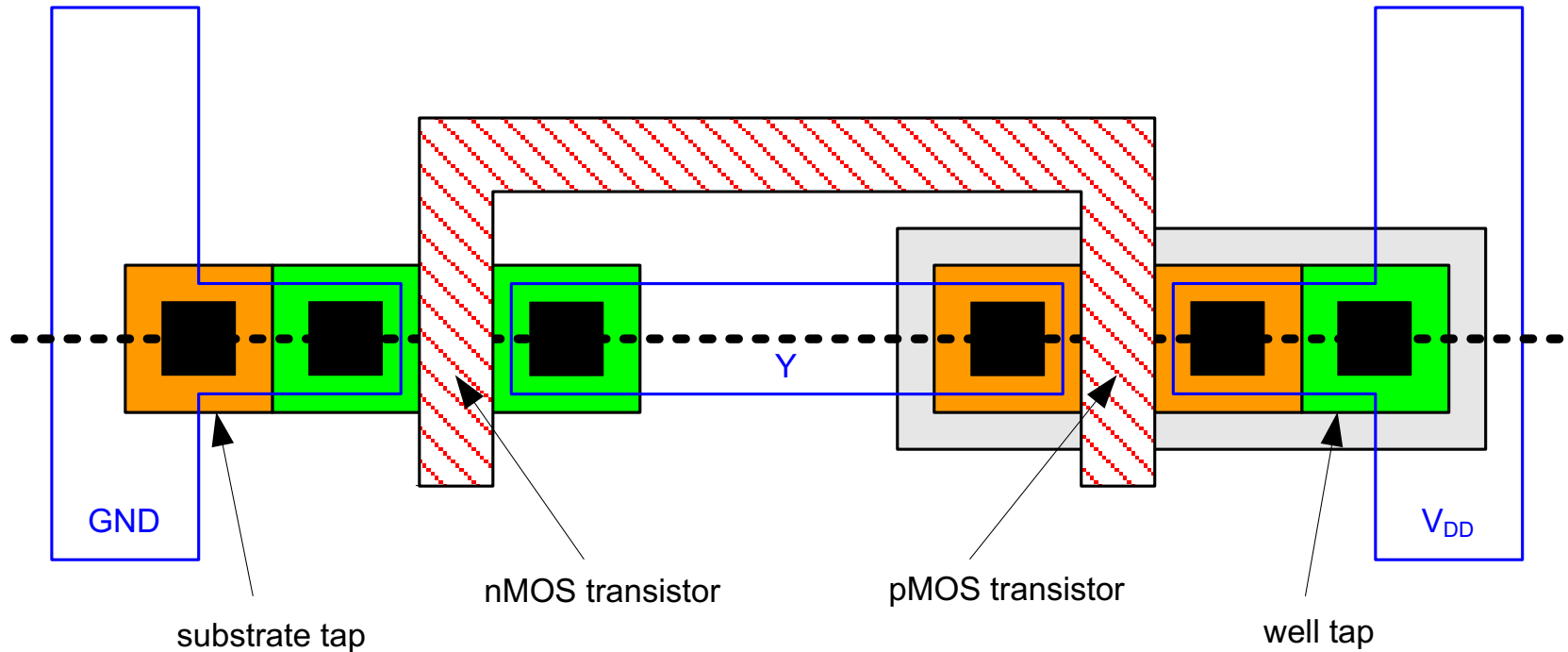
Contatti di Well e Substrato (Taps)

- ❑ Substrato p-type polarizzato a GND, well n-type a V_{DD}
- ❑ Collegando direttamente un metallo al semiconduttore leggermente drogato si formerebbero dei diodi Shottky
 - Zone fortemente drogate (n^+ e p^+) per avere un buon contatto (*ohmic contact*) nei *taps*



Set di Maschere

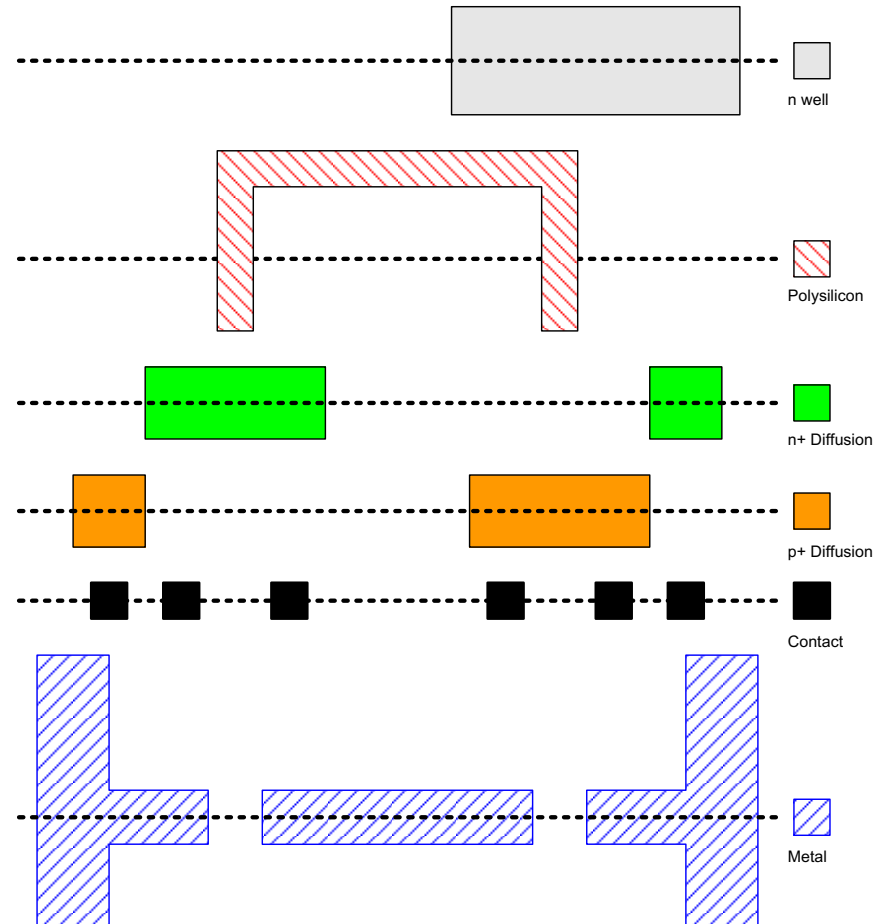
- ❑ Transistori e connessioni sono definite da *maschere*
- ❑ Sezione presa lungo la linea tratteggiata



Vista dettagliata delle maschere

Sei maschere

- n-well
- Polysilicon
- n+ diffusion
- p+ diffusion
- Contact
- Metal



Fabbricazione

- ❑ I chip sono costruiti in enormi fabbriche dette *fabs*
- ❑ Contengono camera pulite (*clean rooms*) grandi come campi di calcio



Courtesy of International
Business Machines Corporation.
Unauthorized use not permitted.

Passi di processo

- ❑ Si comincia con un wafer vergine
- ❑ Costruiamo un inverter passo passo
- ❑ Primo passo: formiamo un n-well
 - Copriamo il wafer con uno strato protettivo di SiO_2
 - Rimuoviamo SiO_2 dove vogliamo gli n-well
 - Droghiamo (n-type) con impiantazione o diffusione nelle parti esposte del wafer
 - Eliminiamo il residuo di SiO_2

p substrate

Ossidazione

- ❑ Cresciamo SiO_2 sul wafer di Si
 - 900 – 1200 C con H_2O oppure O_2 in fornace di ossidazione



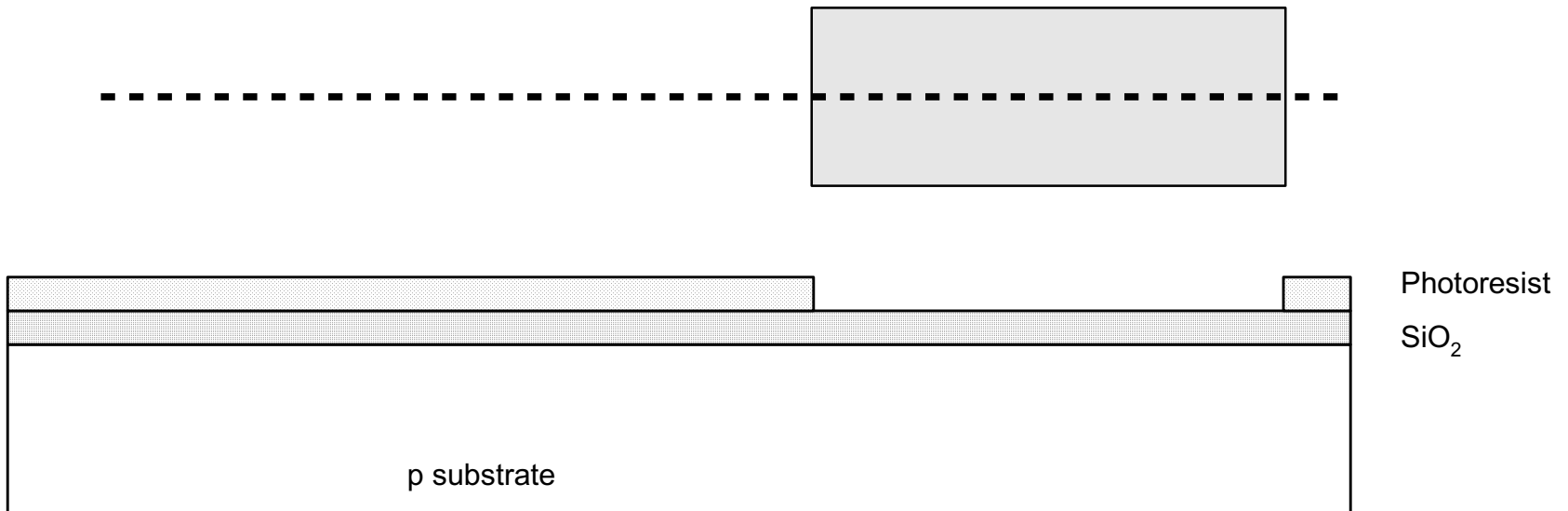
Photoresist

- ❑ Deposizione di *photoresist*
 - Il Photoresist è un polimero organico sensibile alla luce
 - A second del tipo di photoresist, può indurirsi o ammorbidirsi nelle zone esposte
 - In questo caso vogliamo che si ammorbidisca



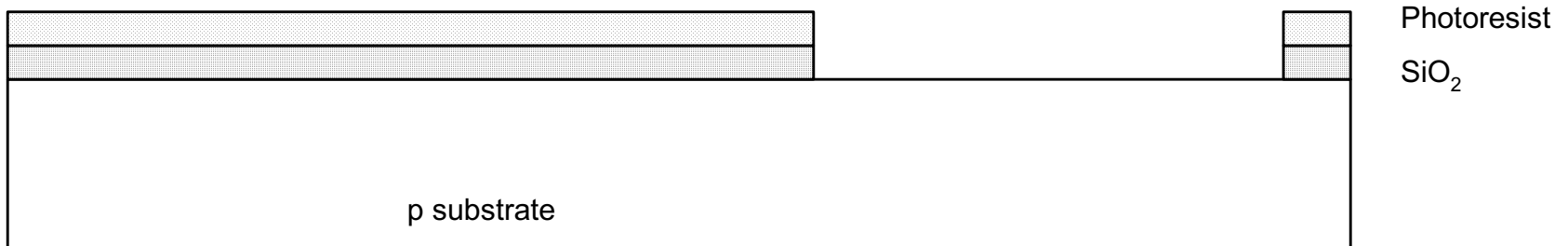
Litografia

- ❑ Esposizione photoresist alla luce di lunghezza d'onda molto corta tramite maschera n-well
 - Lunghezza d'onda corta \Rightarrow elevata definizione
- ❑ Si rimuove la parte esposta (+morbida) con solvente



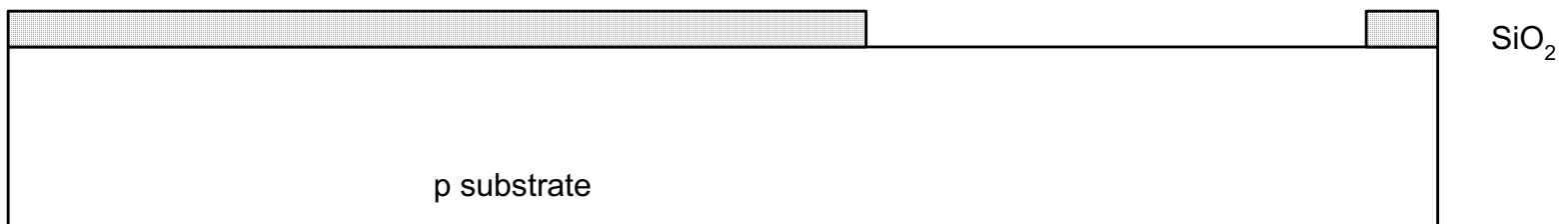
Etching

- ❑ Si effettua l'*etching* dell'ossido con acido fluoridrico (HF)
- ❑ L'ossido è attaccato solo dove è esposto (il photoresist fa da maschera)



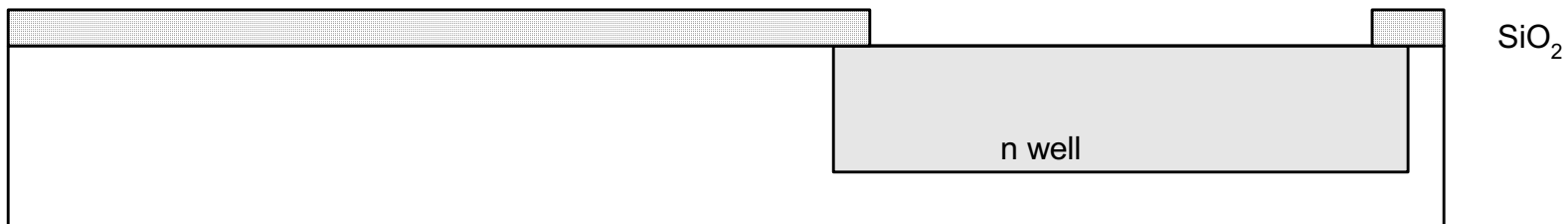
Rimozione photoresist

- ❑ Per rimuovere il photoresist residuo si usa un mix di acidi detto *piranha etch*
- ❑ Necessario per evitare che il resist si sciolga nel passo successivo



N-well

- ❑ Si forma tramite diffusione o impiantazione ionica
- ❑ Diffusione
 - Wafer in fornace con arsenico (As) gassoso
 - Si riscalda finché gli atomi di As diffondono all'interno del cristallo di Si
- ❑ Impiantazione ionica
 - Il wafer è bombardato con ioni di As
 - SiO_2 blocca gli ioni che entrano solo nel Si esposto



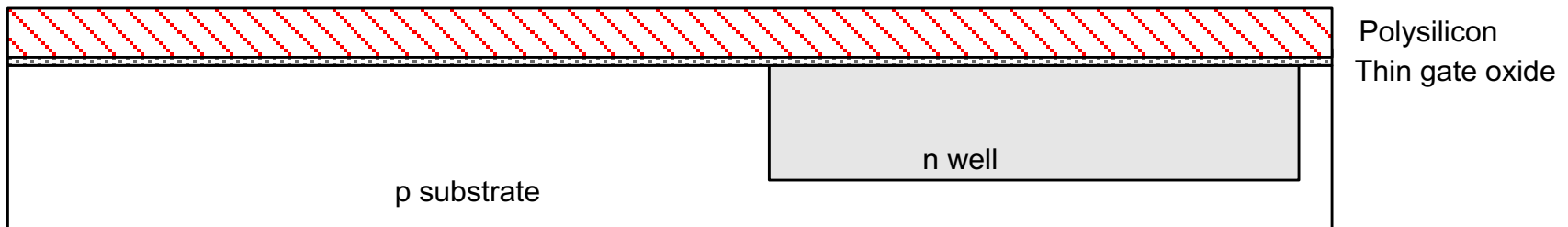
Rimozione ossido

- ❑ Rimozione ossido tramite HF
- ❑ Si torna al wafer nudo con n-well
- ❑ I passi successivi sono sequenze simili



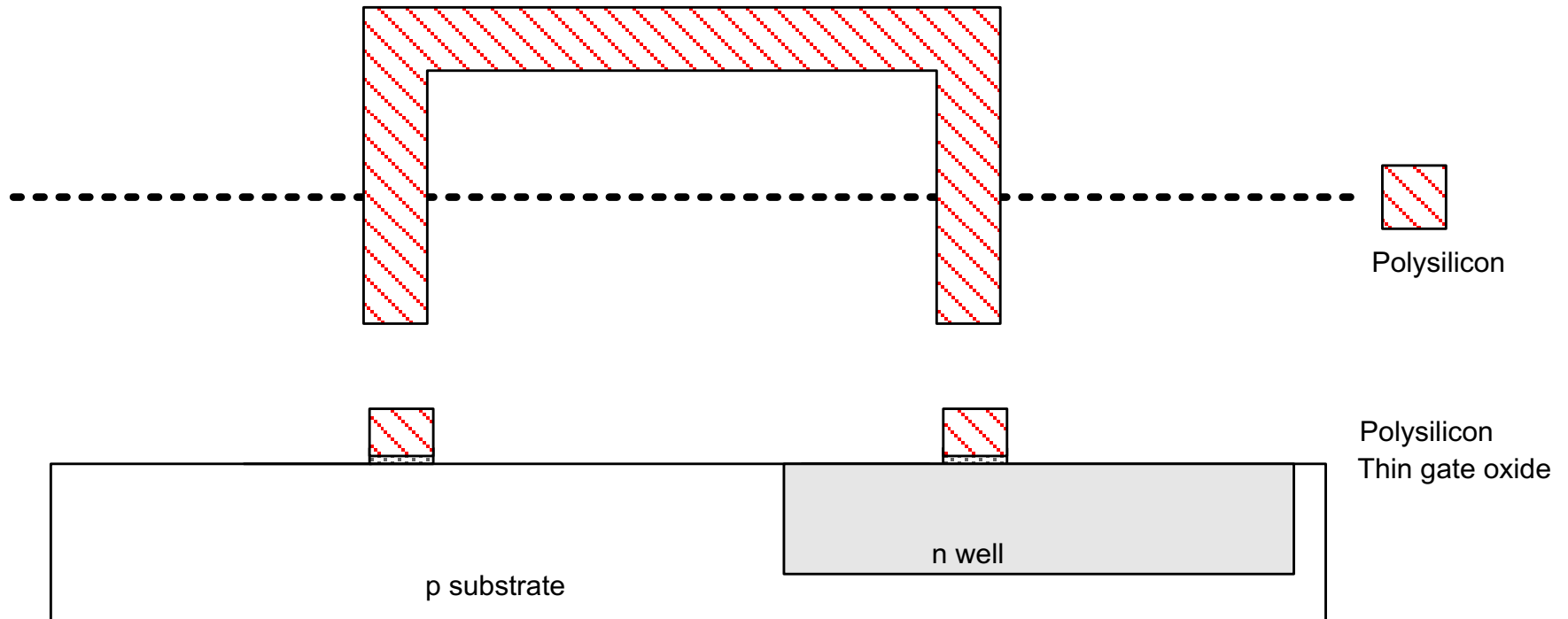
Polisilicio

- ❑ Si deposita uno strato sottilissimo di ossido di gate
 - $< 20 \text{ \AA}$ (6-7 strati atomici)
- ❑ Chemical Vapor Deposition (CVD) di uno strato di Si
 - Si mette il wafer in fornace con gas Silano (SiH_4)
 - Si forma un silicio policristallino detto polisilicio
 - Fortemente drogato per essere un buon conduttore



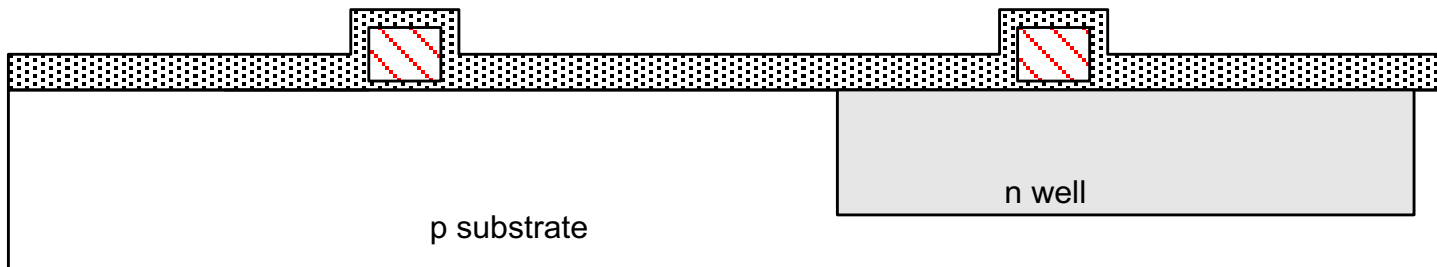
Definizione del polisilicio

- Ancora litografia per definire le geometrie di polisilicio



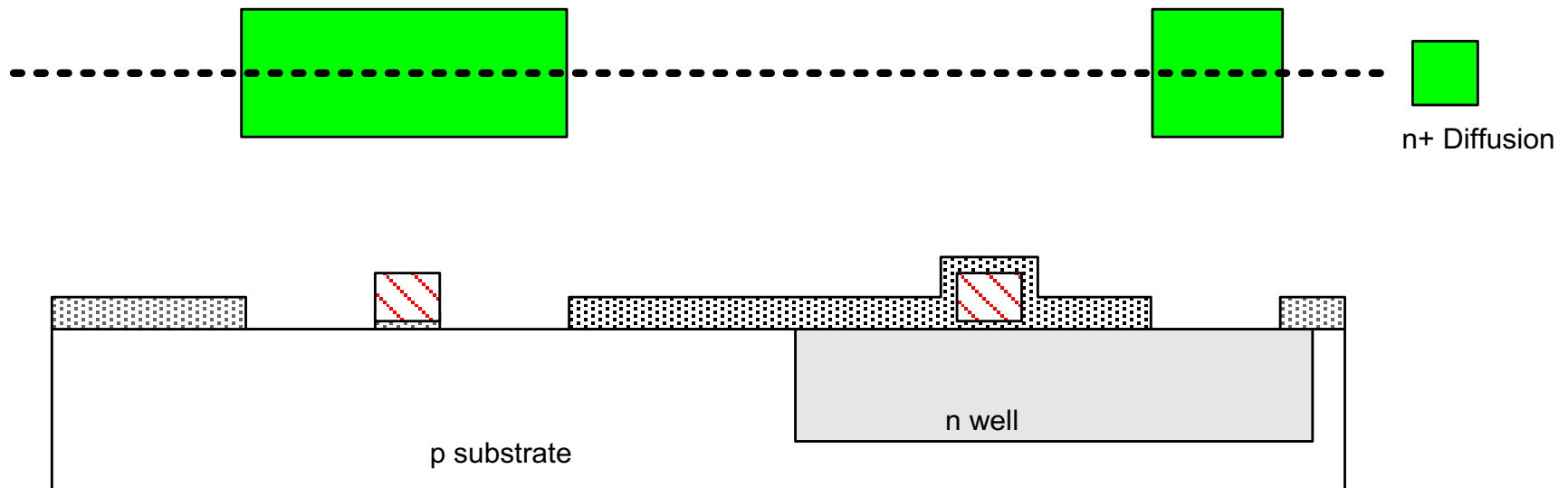
Processo autoallineante

- ❑ Si usano ossido e maschere per esporre solo dove si deve drogare n^+
- ❑ Impiantazioni o diffusioni n^+ formano source, drain e contatto di n-well per nMOS



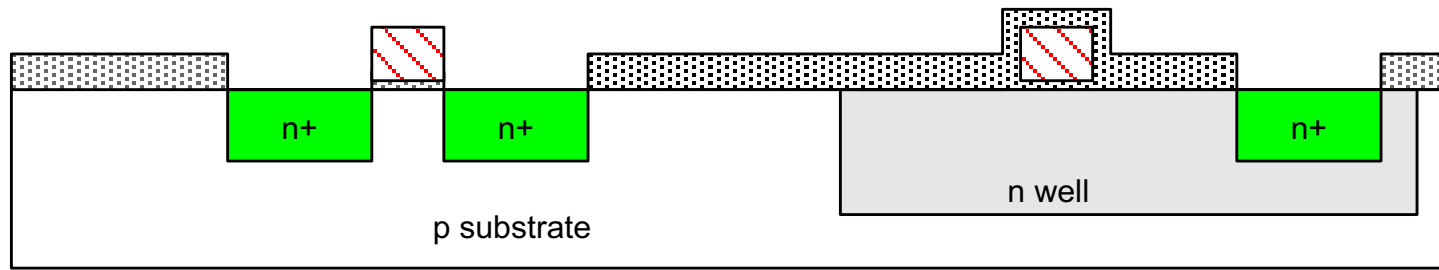
Diffusione N (1/3)

- ❑ Rimozione selettiva di ossido e creazione zone n+
- ❑ *Processo auto-allineante*: il gate blocca la diffusione
- ❑ Polisilicio migliore del metallo nei processi autoallineanti perché non fonde nei passi seguenti



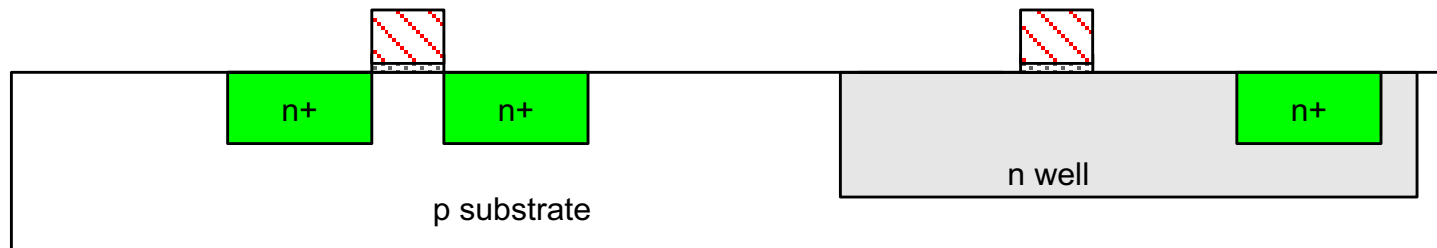
Diffusione N (2/3)

- ❑ Storicamente si usava la diffusione
- ❑ Oggi di solito si usa l'impiantazione ionica
- ❑ Tuttavia le zone n+ sono ancora dette *diffusioni*



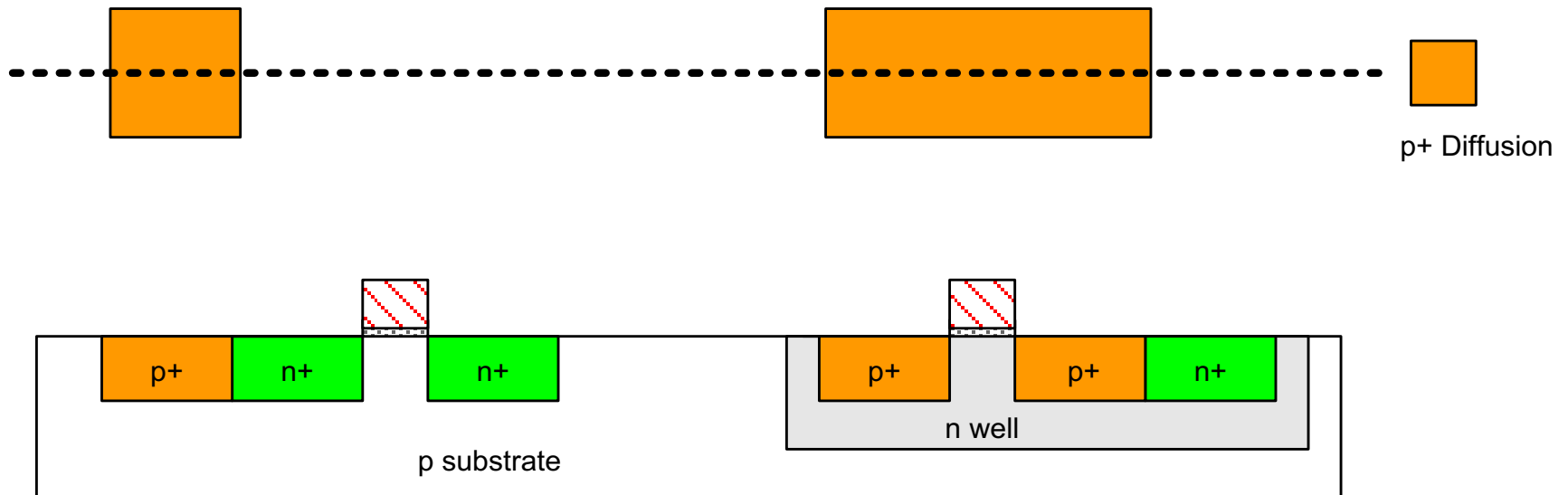
Diffusione N (3/3)

- Rimozione completa dell'ossido



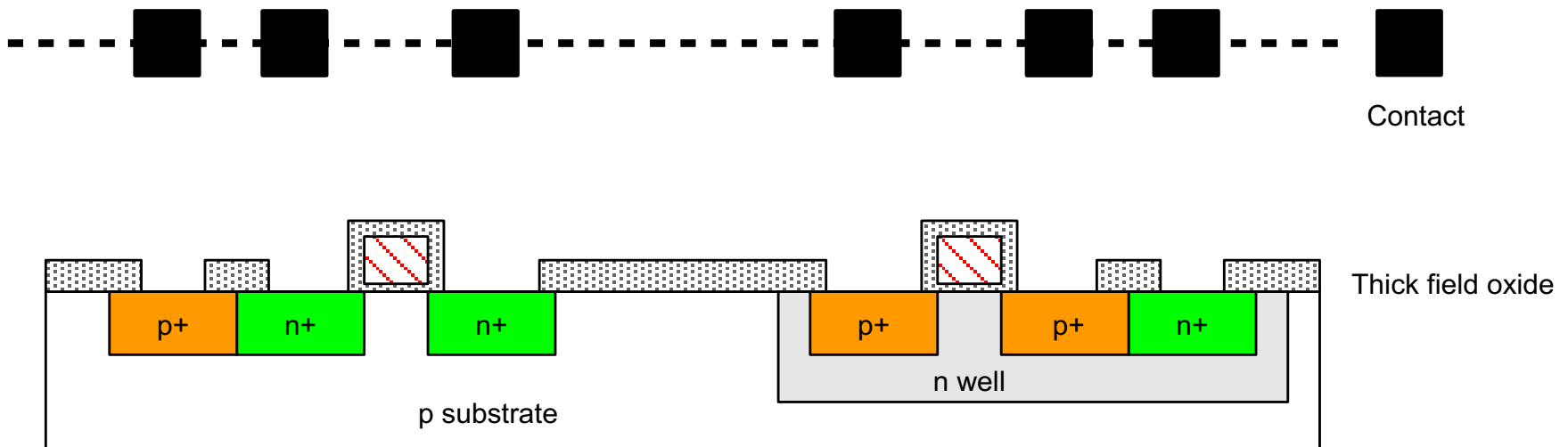
Diffusione P

- ❑ Sequenza simile di passi per realizzare le diffusioni p+ che formano source, drain e contatto di substrato del pMOS
 - Oggigiorno sempre tramite impiantazione ionica



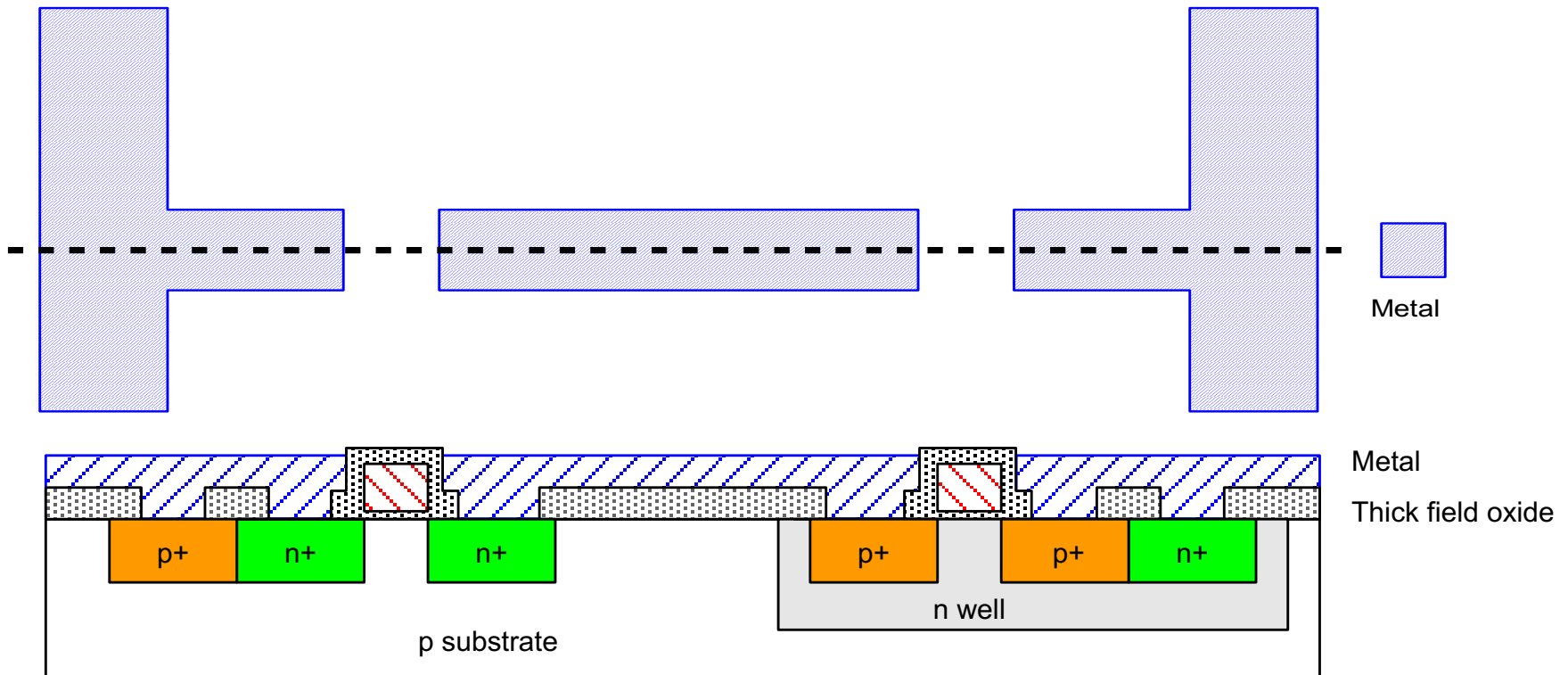
Contatti

- ❑ Ora dobbiamo connettere i dispositivi
- ❑ Crescita ossido spesso (ossido di campo, *field oxide*)
- ❑ Attacco acido per rimuovere l'ossido dove si devono creare i contatti



Metallizzazione

- ❑ Sputtering di metallo sull'intero wafer
- ❑ Rimozione selettiva per creare le connessioni



Contenuti di questa lezione

- ✓ Dispositivi
 - ✓ Diodo a giunzione
 - ✓ MOS
- ✓ Processo CMOS
- ☒ Layout
- ☐ Conclusioni

Layout

- ❑ I chip sono definiti da un set di maschere
- ❑ Le minime dimensioni delle maschere determinano le dimensioni dei transistori (e di conseguenza velocità, costo, consumo di potenza)

Layout

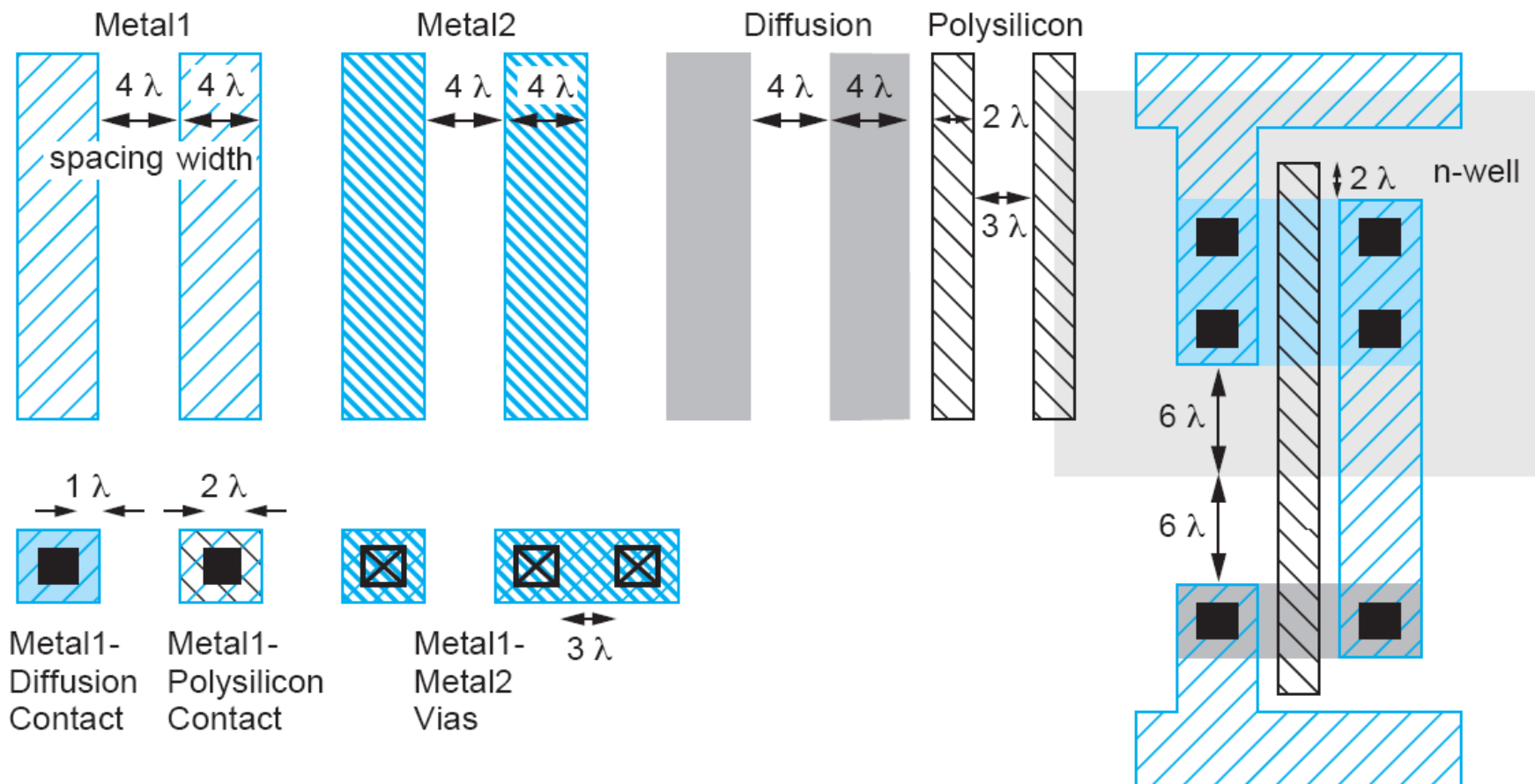
- ❑ I chip sono definiti da un set di maschere
- ❑ Le minime dimensioni delle maschere determinano le dimensioni dei transistori (e di conseguenza velocità, costo, consumo di potenza)
- ❑ Feature size f = distanza tra source and drain $\sim L$
 - Definita dalla larghezza minima del polisilicio
- ❑ f migliora (riducendosi) $\sim 30\%$ ogni 3 anni circa

Layout

- ❑ I chip sono definiti da un set di maschere
- ❑ Le minime dimensioni delle maschere determinano le dimensioni dei transistori (e di conseguenza velocità, costo, consumo di potenza)
- ❑ Feature size f = distanza tra source and drain $\sim L$
 - Definita dalla larghezza minima del polisilicio
- ❑ f migliora (riducendosi) $\sim 30\%$ ogni 3 anni circa
- ❑ Spesso, specie in passato, si utilizzano dimensioni normalizzate per definire le **regole di progetto**
- ❑ Regole espresse in termini di $\lambda = f/2$
 - Es. $\lambda = 0.3 \mu\text{m}$ in un processo $0.6 \mu\text{m}$

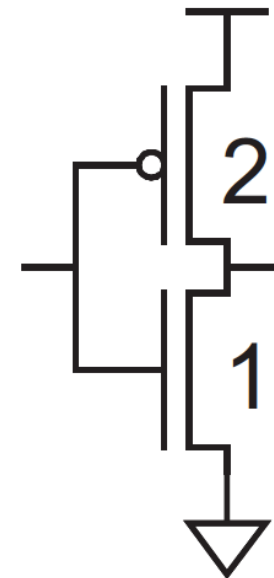
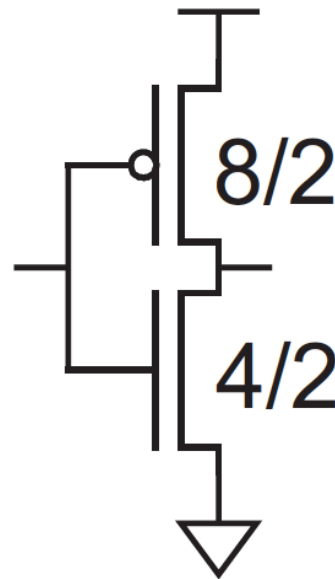
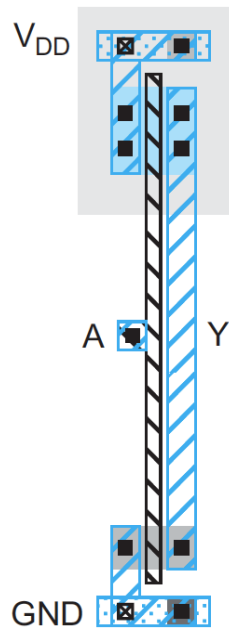
Regole di progetto semplificate

□ Solo come esempio didattico...



Layout di un Inverter

- ❑ Dimensioni dei MOS specificate come Width / Length
 - Dimensione minima 4λ / 2λ , spesso definita 1 unit
 - Con $f = 0.6 \mu\text{m}$: larghezza $1.2 \mu\text{m}$, lunghezza $0.6 \mu\text{m}$



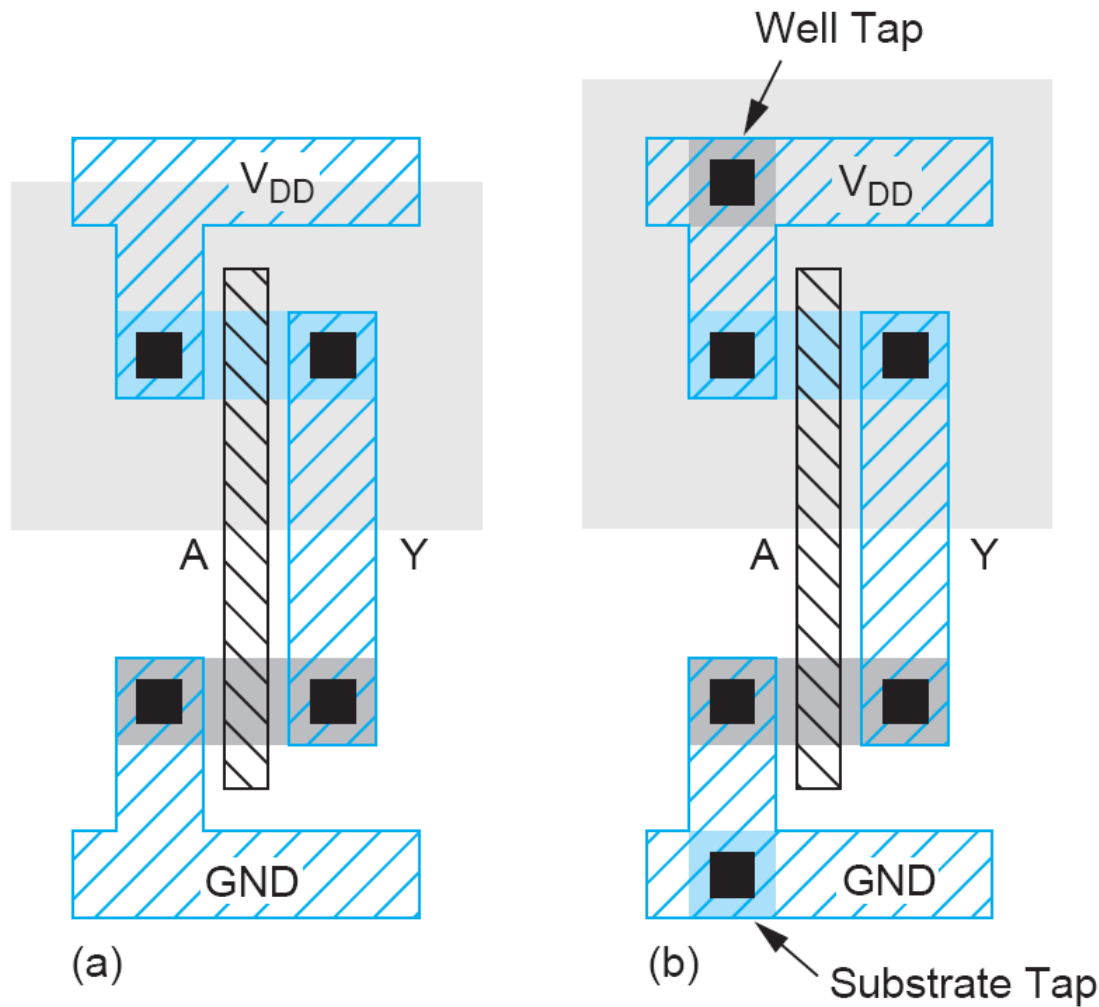
Layout di porte

- ❑ Il layout può richiedere davvero molto tempo
 - Occorre progettare le porte in modo da potere connettere facilmente le geometrie
 - Si costruiscono librerie di celle standard

Layout di porte

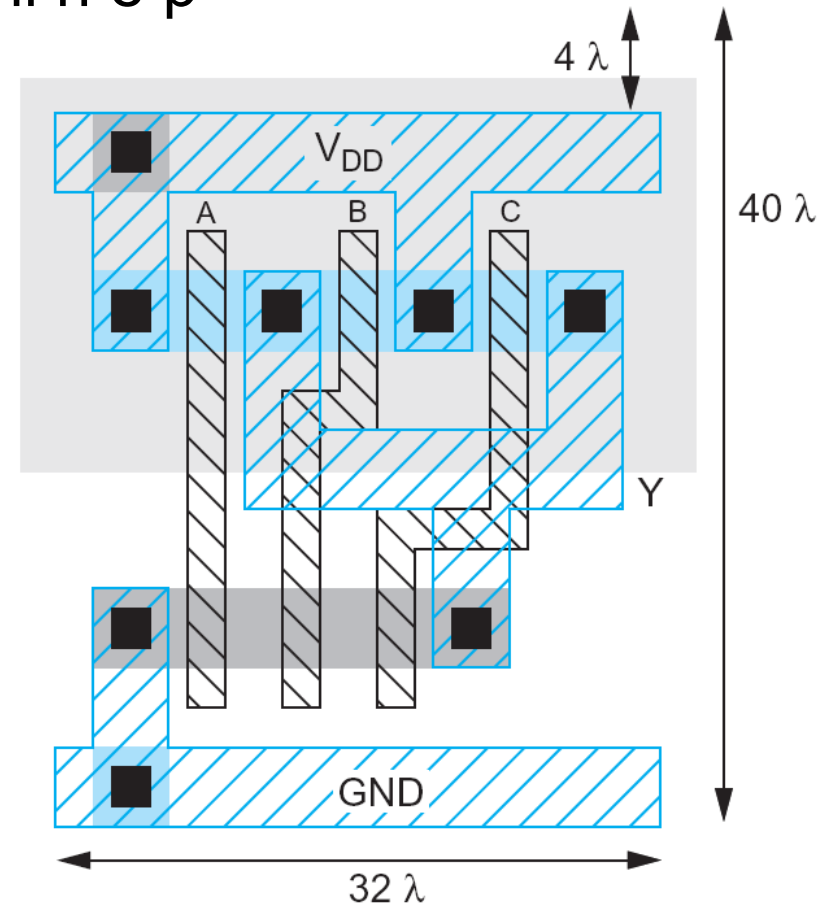
- ❑ Il layout può richiedere davvero molto tempo
 - Occorre progettare le porte in modo da potere connettere facilmente le geometrie
 - Si costruiscono librerie di celle standard
- ❑ Metodologia di progetto *Standard Cell*
 - V_{DD} e GND delle celle devono potersi collegare insieme (si devono trovare ad altezze standard)
 - Porte adiacenti devono rispettare le *design rules*
 - nMOS nella parte bassa e pMOS nella parte alta
 - Tutte le porte includono taps di well e substrato

Esempio: Inverter



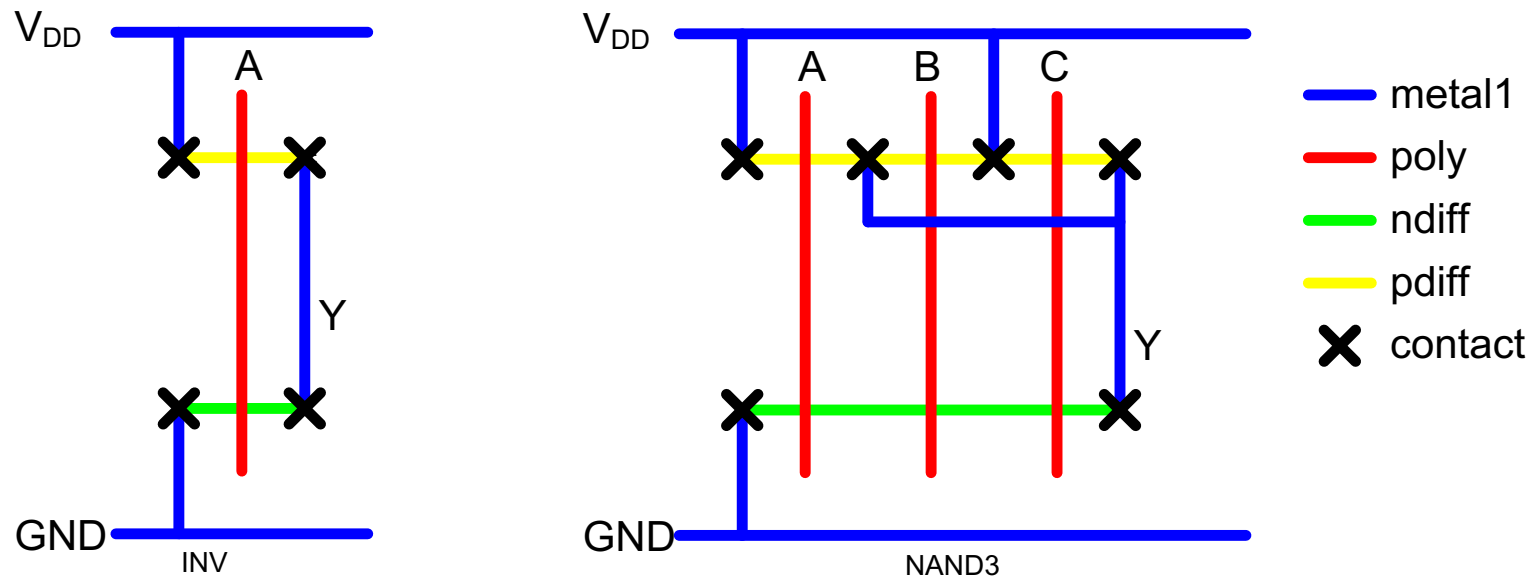
Esempio: NAND-3

- ❑ Strisce orizzontali per diffusioni n e p
- ❑ Gate in polisilicio verticali
- ❑ Linea di Metal1 V_{DD} in cima
- ❑ Linea Metal1 GND al fondo
- ❑ Area: $32 \lambda \times 40 \lambda$

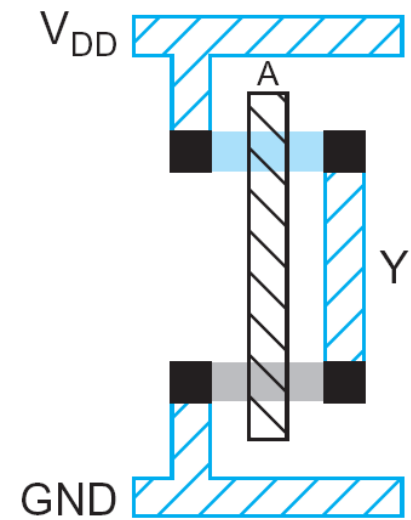


Stick Diagrams

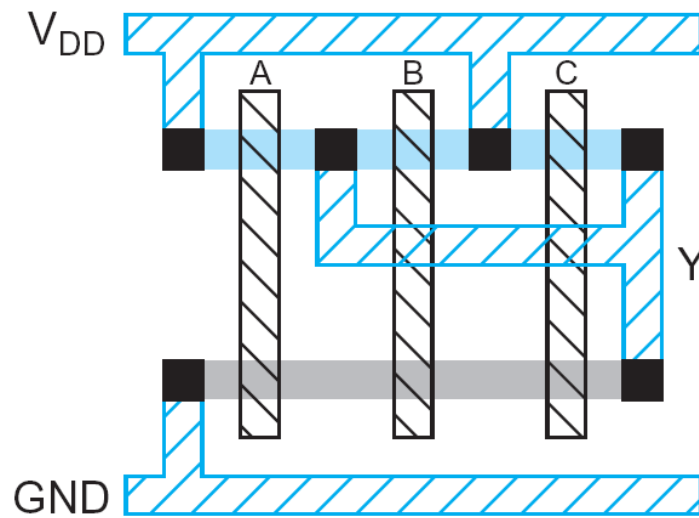
- ❑ Gli *Stick diagrams* aiutano a pianificare rapidamente il layout
 - Non devono essere in scala



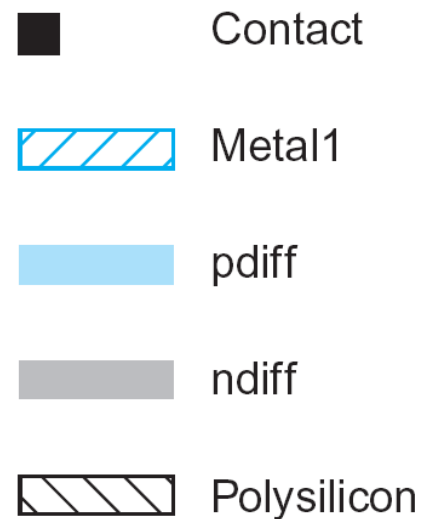
Stick Diagrams



(a)

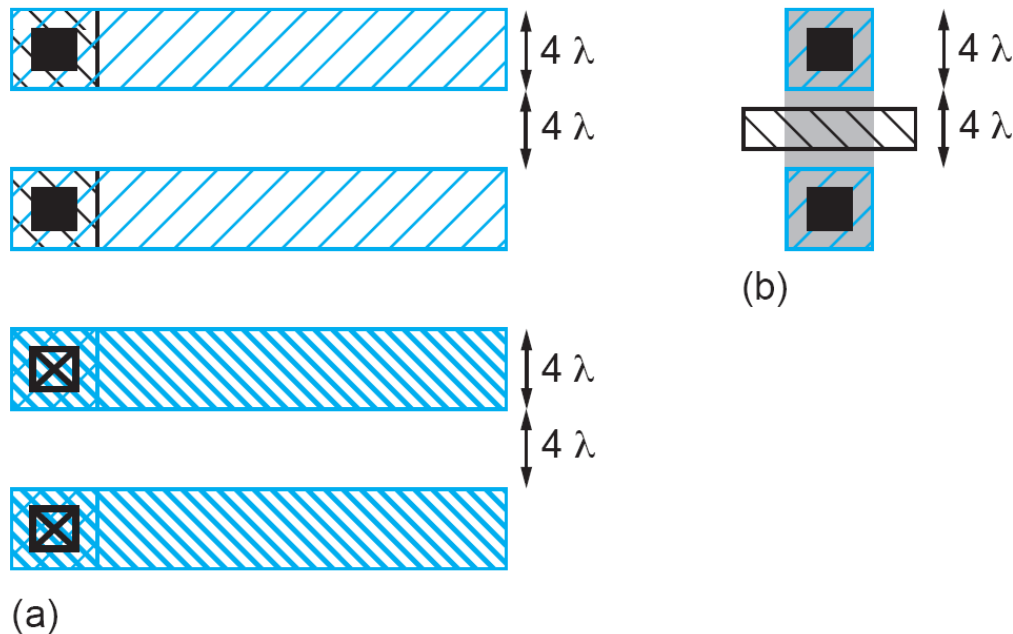


(b)



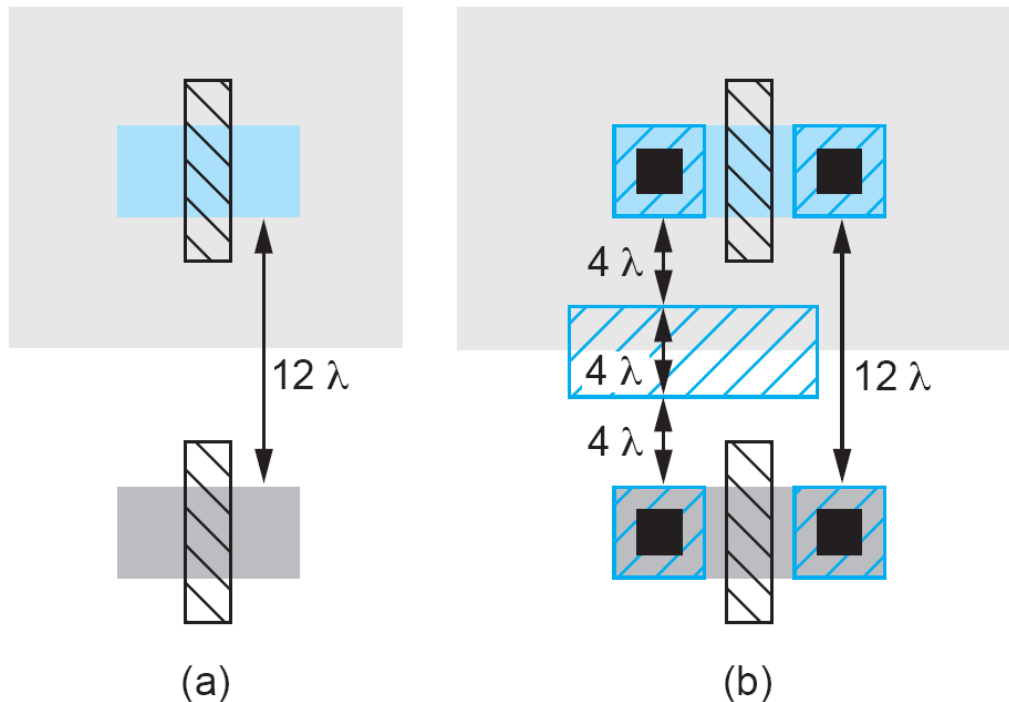
Wiring Tracks

- ❑ Un *wiring track* è lo spazio necessario per un filo
 - Larghezza 4λ , spaziatura 4λ dal vicino,
 $p = 8\lambda$ *pitch* (passo)
- ❑ Anche i transistori consumano un wiring track



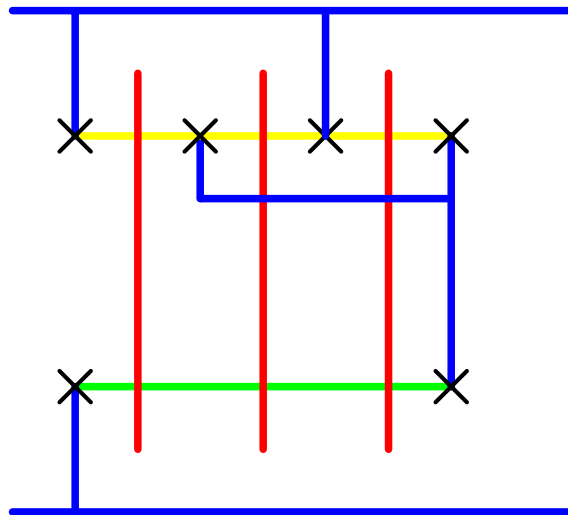
Spaziatura dei well

- ❑ I MOS devono distare almeno 6λ dal bordo dei well
 - Ciò implica almeno 12λ tra nMOS e pMOS
 - Questo consente lo spazio per un wiring track



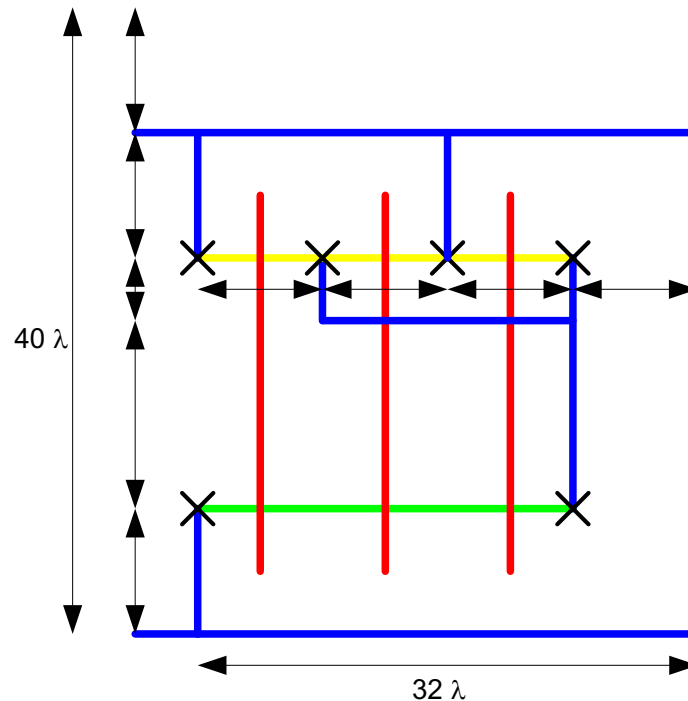
Stima dell'area

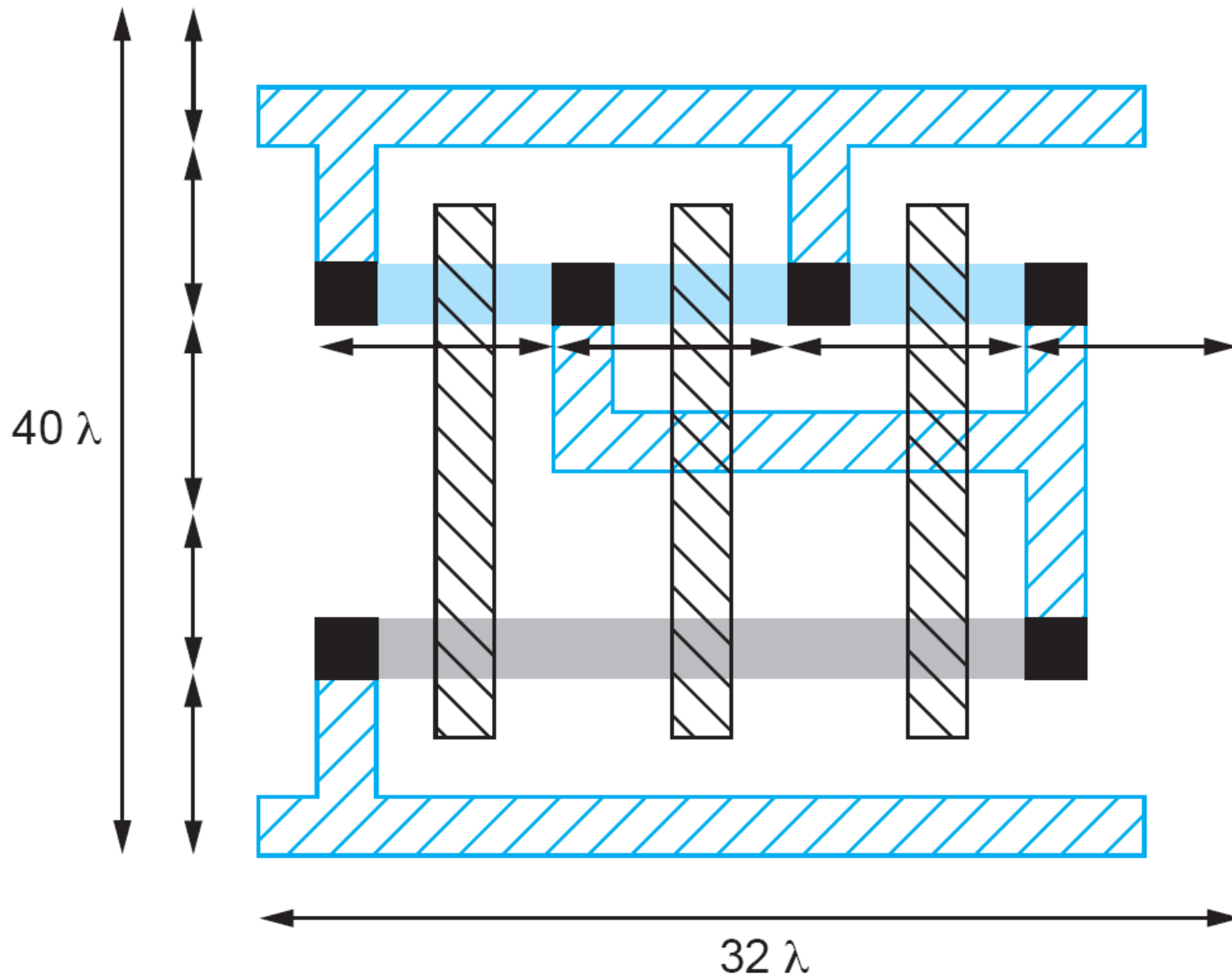
- Possiamo stimare l'area contando i wiring tracks
 - Moltiplichiamo per 8 per esprimere in λ



Stima dell'area

- ❑ Possiamo stimare l'area contando i wiring tracks
 - Moltiplichiamo per 8 per esprimere in λ



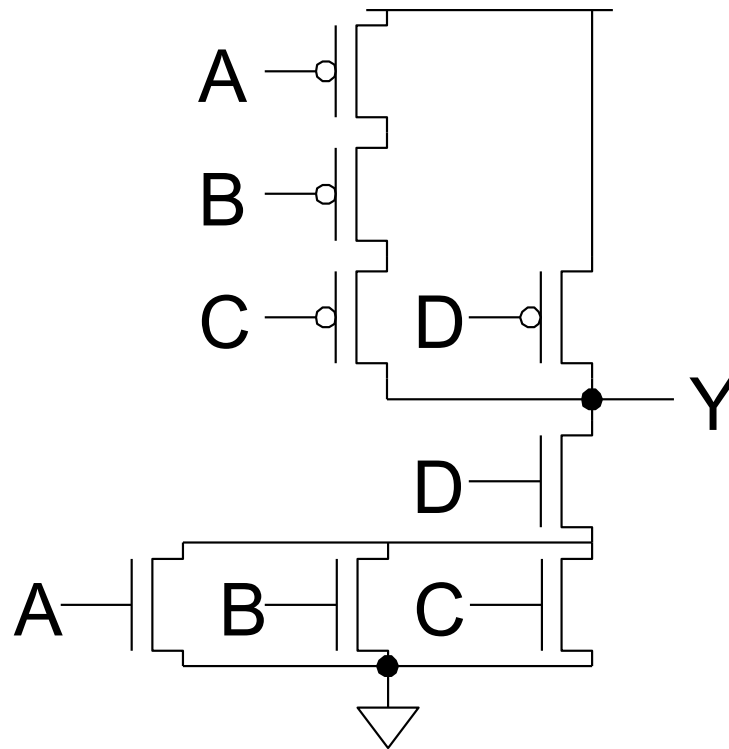


Esempio: O3AI

$$Y = \overline{(A + B + C) \cdot D}$$

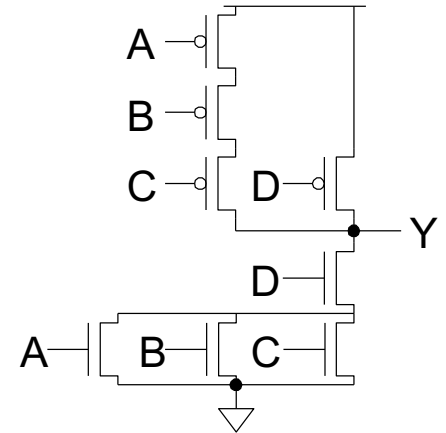
Esempio: O3AI

$$Y = \overline{(A + B + C)} \cdot D$$



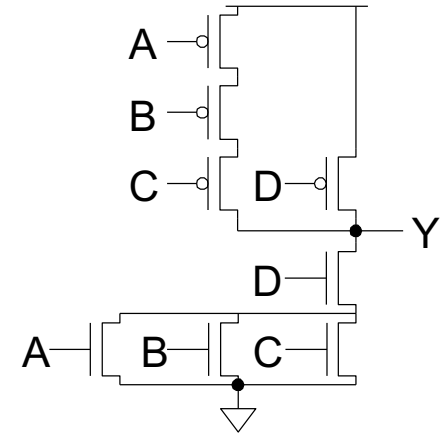
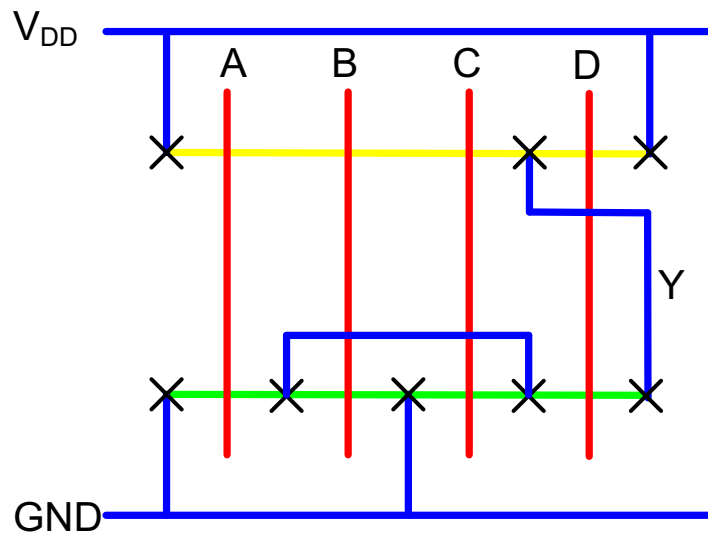
Esempio: O3AI

□ Usiamo uno stick diagram per stimare l'area



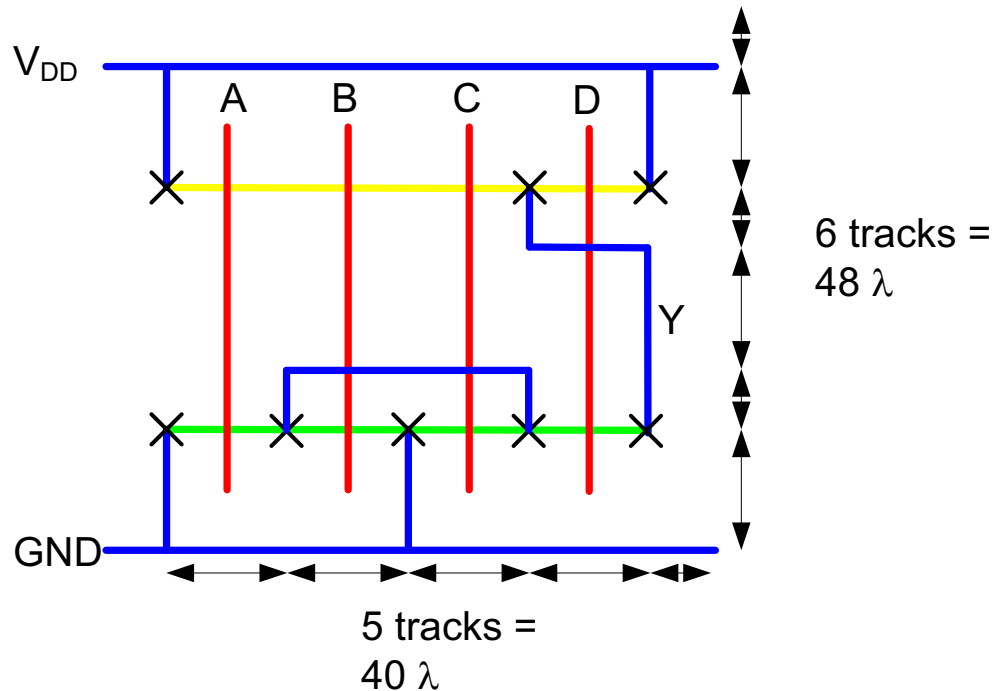
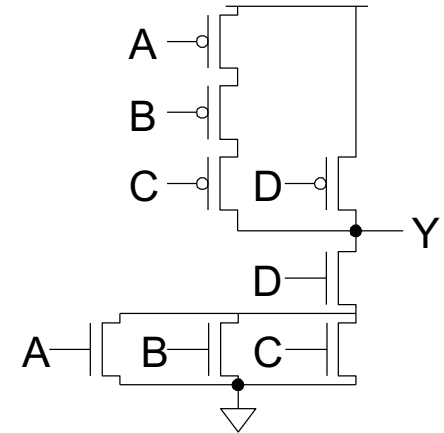
Esempio: O3AI

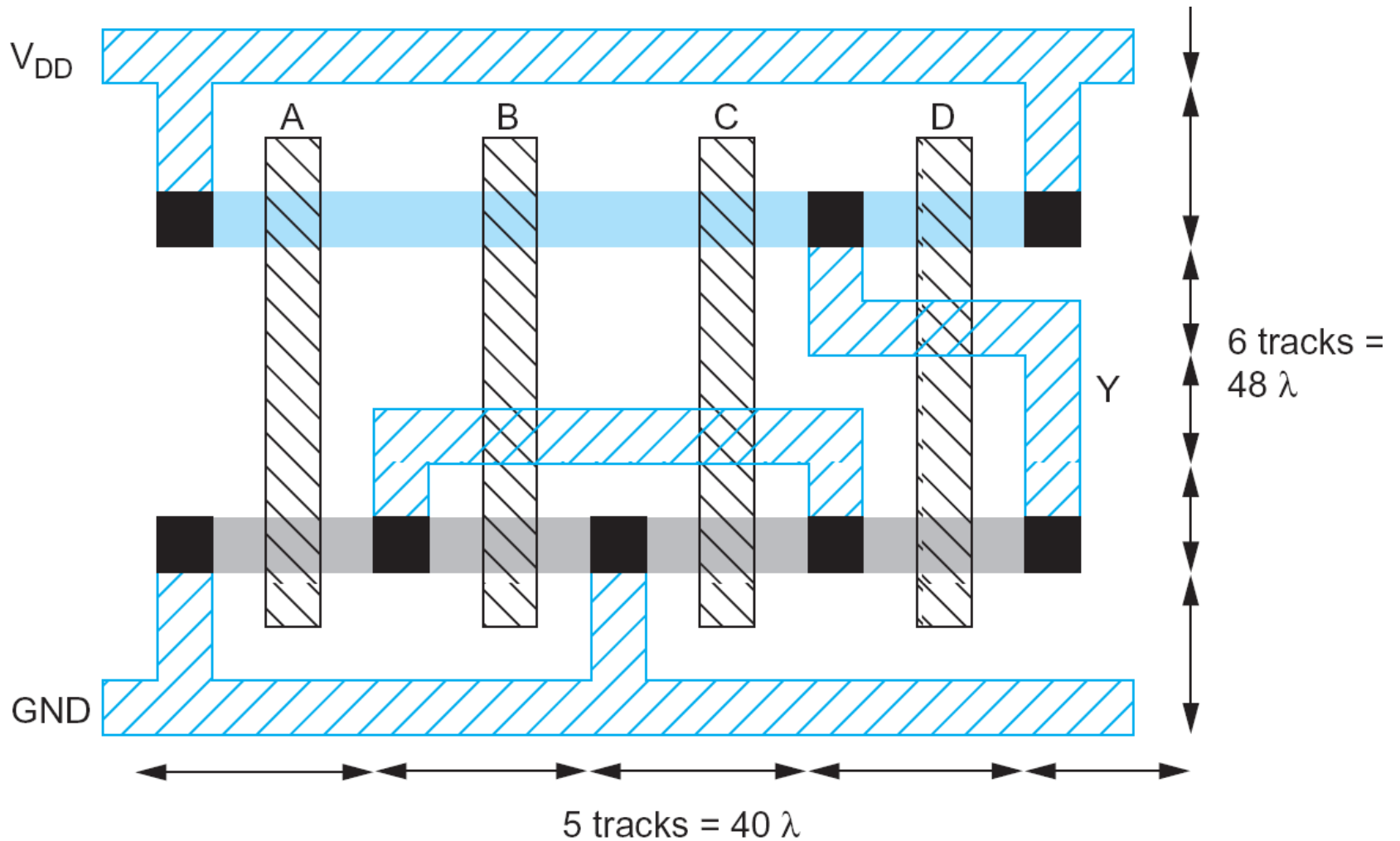
❑ Usiamo uno stick diagram per stimare l'area



Esempio: O3AI

- Usiamo uno stick diagram per stimare l'area





Contenuti di questa lezione

- ✓ Dispositivi
 - ✓ Diodo a giunzione
 - ✓ MOS
- ✓ Processo CMOS
- ✓ Layout
- ☐ Conclusioni

Conclusioni (1/2)

- ❑ Nei chip digitali sono presenti principalmente dispositivi quali diodi e transistori MOS a canale n e p
- ❑ I MOS si possono assimilare a dei buoni interruttori controllati in tensione
 - Così definiamo le topologie delle porte CMOS

Conclusioni (1/2)

- ❑ Nei chip digitali sono presenti principalmente dispositivi quali diodi e transistori MOS a canale n e p
- ❑ I MOS si possono assimilare a dei buoni interruttori controllati in tensione
 - Così definiamo le topologie delle porte CMOS
- ❑ La corrente dipende dalle tensioni applicate ai terminali
 - Modello per zona cutoff, lineare, saturazione

Conclusioni (1/2)

- ❑ Nei chip digitali sono presenti principalmente dispositivi quali diodi e transistori MOS a canale n e p
- ❑ I MOS si possono assimilare a dei buoni interruttori controllati in tensione
 - Così definiamo le topologie delle porte CMOS
- ❑ La corrente dipende dalle tensioni applicate ai terminali
 - Modello per zona cutoff, lineare, saturazione
- ❑ Le capacità di gate, source e drain sono importanti, dipendono dalla tecnologia e dal layout

Conclusioni (2/2)

- ❑ Processo di fabbricazione CMOS: set di maschere e passi ripetuti di fotolitografia più...
 - ...ossidazione, deposizione resist, patterning resist, etching, diffusione/impiantazione, sputtering metallico

Conclusioni (2/2)

- ❑ Processo di fabbricazione CMOS: set di maschere e passi ripetuti di fotolitografia più...
 - ...ossidazione, deposizione resist, patterning resist, etching, diffusione/impiantazione, sputtering metallico
- ❑ Layout complicato, usiamo regole standard
 - Progetto basato su *Standard Cell*
 - *Stick diagrams* e *wiring tracks* ci consentono di analizzare rapidamente il layout di una porta logica e stimare l'area