**ĐẠI HỌC BÁCH KHOA HÀ NỘI**

**TRƯỜNG ĐIỆN – ĐIỆN TỬ**

**Khoa Tự động hóa**

**ĐỒ ÁN MÔN HỌC**

**Digital System Design**

|  |  |
| --- | --- |
| **Giảng viên hướng dẫn:** | TS. Nguyễn Đại Dương |
|  |  |
|  |  |
| |  |  | | --- | --- | | **Họ tên sinh viên** | **MSSV** | |  |  | |  |  | |  |  | |  |  | |  |  | |  |  |   **HÀ NỘI, 6/2018** | |

**MỤC LỤC**

[CHƯƠNG 1. TỔNG QUAN VỀ BÀI TẬP LỚN 4](#_Toc138459983)

[1.1 Tổng quan về đề tài 4](#_Toc138459984)

[1.1.1 Tính ứng dụng của đề tài 4](#_Toc138459985)

[1.1.2 Yêu cầu đặt ra của bài tập lớn 4](#_Toc138459986)

[1.2 Giới thiệu về FPGA và VHDL 4](#_Toc138459987)

[1.2.1 Giới thiệu về công nghệ FPGA 4](#_Toc138459988)

[1.2.2 Giới thiệu về ngôn ngữ mô tả VHDL 5](#_Toc138459989)

[1.3 Giới thiệu về các linh kiện được sử dụng 6](#_Toc138459990)

[1.3.1 LCD\_16X2 7](#_Toc138459991)

[1.3.2 Kit FPGA 7](#_Toc138459992)

[1.3.3 ADC 0808 8](#_Toc138459993)

[1.3.4 Cảm biến LM35 11](#_Toc138459994)

[CHƯƠNG 2. MÔ TẢ PHẦN CỨNG BẰNG NGÔN NGỮ VHDL 11](#_Toc138459995)

[2.1 Các khối tổng quát 12](#_Toc138459996)

[2.2 Khối CLK 12](#_Toc138459997)

[2.3 Khối ADC 13](#_Toc138459998)

[2.4 Khối LCD\_CT 15](#_Toc138459999)

[2.5 Khối LCD\_DATA 15](#_Toc138460000)

[2.6 Khối truyền thông UART 16](#_Toc138460001)

[CHƯƠNG 3. KẾT QUẢ VÀ PHƯƠNG HƯỚNG PHÁT TRIỂN 18](#_Toc138460002)

[3.1 Kết quả thực hiện được 18](#_Toc138460003)

[3.2 Phương hướng phát triển sản phẩm 19](#_Toc138460004)

[TÀI LIỆU THAM KHẢO 20](#_Toc138460005)

**DANH MỤC HÌNH VẼ**

[Hình 2.1 Đồ thị kiểu bánh 20](#_Toc20580104)

[Hình 2.2 Đồ thị kiểu thanh ngang 20](#_Toc20580105)

[Hình 2.3 Đồ thị kiểu cột đứng 21](#_Toc20580106)

[Hình 2.4 Đồ thị kiểu đường 21](#_Toc20580107)

[Hình 2.5 Đồ thị kiểu diện tích 22](#_Toc20580108)

# TỔNG QUAN VỀ BÀI TẬP LỚN

## Tổng quan về đề tài

### Tính ứng dụng của đề tài

Tổng quan của một hệ thống số gồm có 3 module chính, đó là module cảm biến, module xử lý và module truyền thông.

Nhằm mục đích học hỏi và tìm hiểu về thiết kế hệ thống số, nhóm chúng em được giao đề tài thiết kế một Module có thể giao tiếp với ADC, xử lý dữ liệu và truyền thông bằng UART, mô tả trên nền tảng FPGA.

Trong các ứng dụng thực tế, nhiều khi dữ liệu cần được xử lý song song, nhiều tác vụ cùng một lúc, như vậy sử dụng nền tảng vi điều khiển cơ bản không đáp ứng được đa tác vụ thời gian thực, vì vậy học hỏi về thiết kế hệ thống số là điều cần thiết.

### Yêu cầu đặt ra của bài tập lớn

* Đọc giá trị Analog từ cảm biến
* Sử dụng ADC ngoại để chuyển dữ liệu đọc từ cảm biến từ Analog sang Digital
* Sử dụng FPGA để giao tiếp nhận dữ liệu từ ADC và xử lý dữ liệu
* Truyền thông bằng giao thức UART
* Có hiển thị thông số cảm biến Local bằng LCD hoặc Led 7 thanh

## Giới thiệu về FPGA và VHDL

### Giới thiệu về công nghệ FPGA

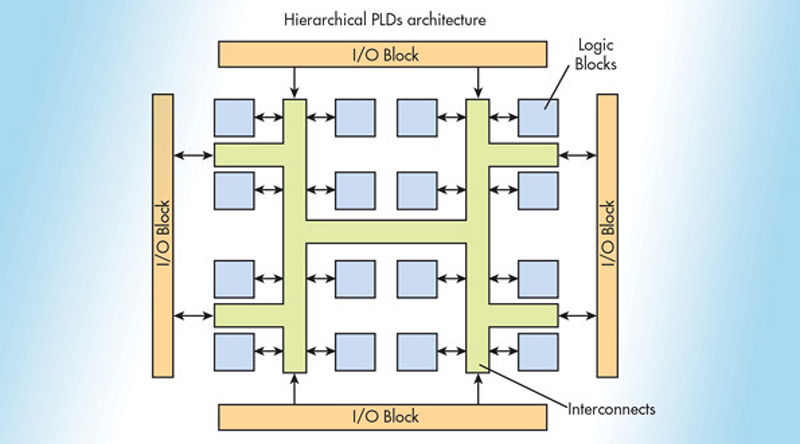
Field-programmable gate array (FPGA) là một loại mạch tích hợp cỡ lớn dùng cấu trúc mảng phần tử logic mà người dùng có thể lập trình được. Chữ field ở đây muốn chỉ đến khả năng tái lập trình "bên ngoài" của người sử dụng, không phụ thuộc vào dây chuyền sản xuất phức tạp của nhà máy bán dẫn. Vi mạch FPGA được cấu thành từ các bộ phận:

* Các khối logic cơ bản lập trình được (logic block)
* Hệ thống mạch liên kết lập trình được
* Khối vào/ra (IO Pads)
* Phần tử thiết kế sẵn khác như DSP slice, RAM, ROM, nhân vi xử lý...

Graphical user interface, application

Description automatically generated

Hình 1‑1 : Kiến trúc FPGA



Hình 1‑2 : Cấu tạo của FPGA

Để thực hiện dự án trên, chúng em sử dụng FPGA do FPGA có một số ưu điểm vượt trội so với thiết kế mạch in sử dụng vi điều khiển như sau:

- Giảm thời gian thiết kế phần cứng,

- Khả năng độc lập với các nhà sản xuất và cung cấp linh kiện,

- Khả năng tái sử dụng cao,

- Giảm thời gian đưa sản phẩm ra thị trường

### Giới thiệu về ngôn ngữ mô tả VHDL

VHDL là một ngôn ngữ mô tả phần cứng (HDL) được sử dụng để mô tả một hệ thống thiết kế logic. Được dùng trong thiết kế CPLD hoặc FPGA, phần mềm sẽ nạp chương trình vào CPLD hoặc FPGA để có được một hệ thống logic mà chúng ta đã thiết kế.

VHDL viết tắt của VHSIC Hardware Description Language. VHSIC là viết tắt của Very High Speed Integrated Circuit. VHDL là ngôn ngữ mô tả phần cứng được phát triển dùng cho chương trình VHSIC (Very High Speed Intergrated Circuit) của bộ quốc phòng Mỹ.

Ngoài VHDL, hiện nay nhiều ngôn ngữ mô tả phần cứng khác thông dụng như Verilog HDL, System Verilog,… tuy nhiên VHDL vẫn là ngôn ngữ tối ưu nhất để học tập và nghiên cứu.

## Giới thiệu về các linh kiện được sử dụng

### LCD\_16X2

- LCD 16×2 được sử dụng để hiển thị trạng thái hoặc các thông số.

- LCD 16×2 có 16 chân trong đó 8 chân dữ liệu (D0 – D7) và 3 chân điều khiển (RS,

RW, EN).

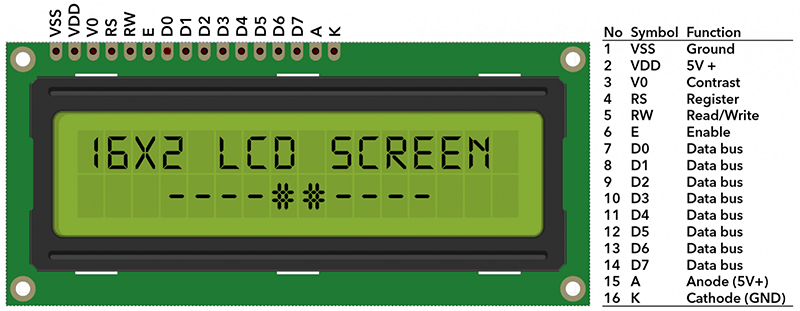
- 5 chân còn lại dùng để cấp nguồn và đèn nền cho LCD 16×2.

- Các chân điều khiển giúp ta dễ dàng cấu hình LCD ở chế độ lệnh hoặc chế độ dữ

liệu.

- Chúng còn giúp ta cấu hình ở chế độ đọc hoặc ghi.

- LCD 16×2 có thể sử dụng ở chế độ 4 bit hoặc 8 bit tùy theo ứng dụng ta đang làm.



Hình 1‑3 : LCD 16x2 với 16 kí tự 2 hàng

### Kit FPGA

Kit FPGA DE2-70 là một phiên bản cụ thể của kit DE2 của hãng Altera (nay là Intel). Dưới đây là một số thông số kỹ thuật chính của kit DE2-70:

* FPGA: Kit DE2-70 sử dụng chip FPGA Cyclone II EP2C70F896C6 của Altera. Chip FPGA này có 70,000 logic elements (LEs), 4,608 kilobits of embedded memory, và 288 multipliers.
* Bộ nhớ: Kit DE2-70 đi kèm với 8 megabytes (64 megabits) bộ nhớ SDRAM, 512 kilobytes (4 megabits) bộ nhớ flash và 4 kilobytes bộ nhớ EEPROM.
* Giao tiếp: Kit DE2-70 hỗ trợ nhiều giao tiếp và kết nối, bao gồm:

+ 2 cổng VGA cho hiển thị đồ họa.

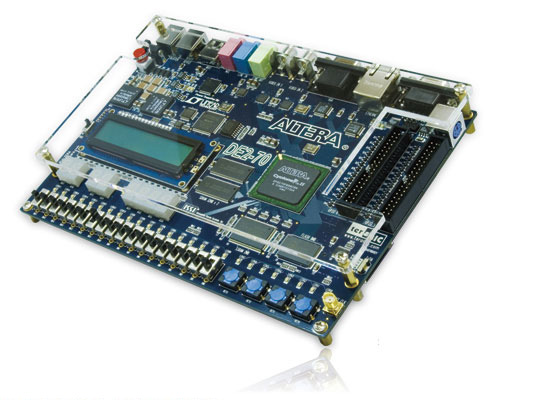
+ 4 cổng RS-232 cho giao tiếp nối tiếp.

+ 4 cổng USB 2.0 cho kết nối với máy tính.

+ 1 cổng Ethernet 10/100 Mbps cho mạng.

+ 1 cổng âm thanh stereo và đầu vào/đầu ra âm thanh line-in/line-out.

* Điều khiển: Kit DE2-70 có các nút bấm và công tắc để điều khiển và thực hiện các thao tác trên kit.
* Nguồn cung cấp: Kit DE2-70 được cung cấp bởi một nguồn cấp 12V-DC và hỗ trợ nhiều điện áp khác nhau để cấp nguồn cho các thành phần khác nhau trên kit.

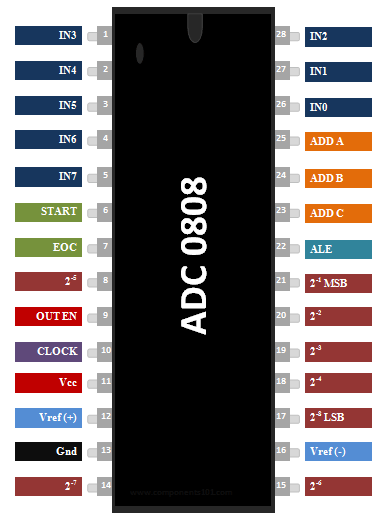


Hình 1‑4 : Kit DE2-70

### ADC 0808

ADC0808 là một loại mạch chuyển đổi tương tự-số (ADC) 8-bit. Dưới đây là một số thông số kỹ thuật chính của ADC0808:

* Độ phân giải: ADC0808 có độ phân giải 8-bit, cho phép chuyển đổi một tín hiệu analog thành một giá trị số có 256 mức độ khác nhau.
* Số kênh: ADC0808 hỗ trợ một kênh đầu vào analog. Điều này có nghĩa là nó có thể chuyển đổi một tín hiệu analog duy nhất vào một thời điểm.
* Dải đầu vào: ADC0808 hỗ trợ dải đầu vào analog từ 0V đến Vref, trong đó Vref là điện áp tham chiếu được cung cấp bên ngoài. Với một đầu vào 8-bit, dải đầu vào này sẽ được chia thành 256 phạm vi nhỏ hơn tương ứng với từng mức độ đầu vào.
* Giao tiếp: ADC0808 sử dụng giao tiếp đồng bộ 8-bit. Nó cung cấp các tín hiệu đồng bộ như START, EOC (End of Conversion), INTR (Interrupt Request), và các tín hiệu điều khiển khác để kiểm soát quá trình chuyển đổi.
* Tốc độ chuyển đổi: ADC0808 có tốc độ chuyển đổi tối đa là 640 kSPS (kí tự trên giây). Điều này cho phép nó chuyển đổi một tín hiệu analog thành giá trị số với tốc độ cao.
* Điện áp hoạt động: ADC0808 hoạt động với điện áp đầu vào từ 4.5V đến 6.3V. Điện áp cung cấp cho mạch này phải nằm trong khoảng này để đảm bảo hoạt động chính xác.



Hình 1‑5 : ADC0808

|  |  |  |
| --- | --- | --- |
| Số chân | Tên chân | Mô tả |
| 1 đến 5, 27, 28 | Kênh Analog 1 đến 5 | 7 chân này là chân đầu vào điện áp Analog (từ cảm biến) |
| 6 | START | Là chân đầu vào, nếu được cấp mức logic cao sẽ bắt đầu quá trình chuyển đổi tín hiệu |
| 7 | End of Conversion (EOC) | Là chân đầu ra, sẽ có mức logic cao khi quá trình chuyển đổi tín hiệu kết thúc |
| 8,14,15,18,19,20,21 | Output (2-1 đến 27) | Các chân đầu ra digital xuất kết quả chuyển đổi ADC |
| 9 | OUT EN | Cấp mức logic cao vào chân này để có tín hiệu đầu ra trên các chân đầu ra |
| 10 | CLOCK | Chân cấp tín hiệu xung clock (0V-5V) khoảng 20Mhz. |
| 11 | Vcc | Cấp nguồn cho IC thường dùng điện áp 5V |
| 12 | V ref (+) | Chân điện áp tham chiếu, thường dùng điện áp+ 5V |
| 13 | Ground | Chân nối đất |
| 16 | Vref (-) | Vref được kết nối với đất |
| 22 | Address Latch Enable (ALE) | Chân được kích tạm thời lên mức logic cao để chọn kênh ADC |
| 23,24,25 | ADDA, ADDB,  ADDC | Ba chân này được sử dụng để chọn kênh |

**Diagram, schematic

Description automatically generated**

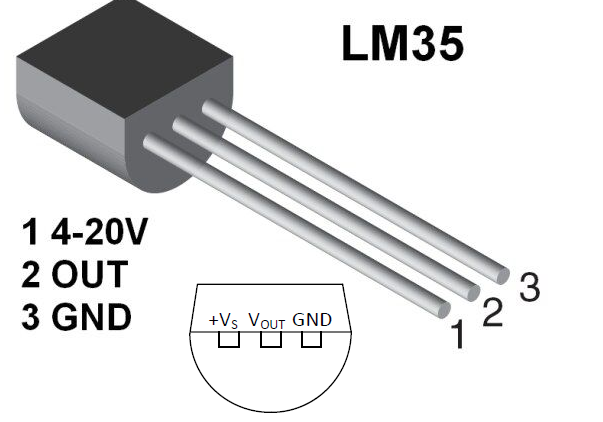
Hình 1‑6 : Biểu đồ Timing của ADC0808

Lý do chọn ADC0808 : Độ phân giải đáp ứng được yêu cầu của bài toán, phổ biến và có giá thành phù hợp

### Cảm biến LM35

LM35 là một cảm biến nhiệt độ linh hoạt và chính xác được sử dụng để đo nhiệt độ trong các ứng dụng điện tử. Dưới đây là một số thông số kỹ thuật chính của LM35:

* Phạm vi đo nhiệt độ: LM35 có khả năng đo nhiệt độ từ -55°C đến +150°C. Điều này cho phép nó áp dụng trong nhiều ứng dụng có yêu cầu đo nhiệt độ rộng.
* Độ chính xác: LM35 có độ chính xác ±0.5°C tại 25°C và ±2°C trong phạm vi nhiệt độ hoạt động (-55°C đến +150°C). Điều này đảm bảo độ chính xác cao cho việc đo nhiệt độ.
* Đầu ra tương tự: LM35 có đầu ra tương tự, tức là nó cung cấp một điện áp tương tự tỉ lệ thuận với nhiệt độ đo được. Điện áp đầu ra của LM35 tăng 10 mV cho mỗi độ C tăng.
* Điện áp hoạt động: LM35 hoạt động với điện áp đơn từ 4V đến 30V. Điều này cho phép nó được sử dụng với nhiều nguồn cấp điện khác nhau.
* Tiêu thụ điện năng: LM35 tiêu thụ rất ít điện năng, chỉ khoảng 60 μA trong điều kiện hoạt động bình thường. Điều này làm cho nó phù hợp cho các ứng dụng yêu cầu tiết kiệm năng lượng.
* Giao diện dễ dàng: LM35 có giao diện đơn giản với ba chân: chân nguồn (VCC), chân đất (GND) và chân đầu ra (OUT). Chân đầu ra sẽ cung cấp một tín hiệu tương tự phản ánh nhiệt độ đo được.



Hình 1‑7 : Cảm biến nhiệt độ LM35

# MÔ TẢ PHẦN CỨNG BẰNG NGÔN NGỮ VHDL

## Các khối tổng quát

Tổng quan các khối cơ bản :

A picture containing text, diagram, line, font

Description automatically generated

Hình 2‑1 : Swo đồ RTL các khối cơ bản

|  |  |  |
| --- | --- | --- |
| Chân | In/Out | Chắc năng |
| Clk | In | Cấp xung clock cho FPGA |
| Start\_TX | In | Nối với nút nhấn, để yêu cầu truyền dữ liệu UART |
| TX | Out | Chân dữ liệu TX nối với máy tính |
| start\_ADC | Out | Nối với chân start của ADC để thông báo bắt đầu chuyển đổi dữ liệu |
| Ale | Out | Kích lên mức cao để chọn kênh ADC |
| oe | Out | Cấp logic cao để sữ liệu từ thanh ghi trong ADC xuất ra chân tín hiệu |
| data\_adc\_in | In(8 bit) | Chân nhận data từ ADC |
| eoc | In | Thông báo quá trình chuyển đổi ADC hoàn tất |
| clk\_adc | Out | Cung cấp tần số 200MHz cho ADC |
| start\_alarm\_light | Out | Nối với đèn cảnh báo quá ngưỡng nhiệt độ |
| rw, rs, e | Out | Chân điều khiển LCD |
| lcd\_data\_x | Out(8 bit) | 8 bit dữ liệu cấp cho LCD |
| Tt,tt2 | Out | Điều khiển bật tắt LCD |

## Khối CLK

Vì ADC0808 có tần số Max là 256KHz, vì vậy muốn cấp tần số cho ADC hoạt động chúng ta tiến hành chia nhỏ tần số, chia từ 50MHz xuống 200KHz để cấp tín hiệu clock cho ADC

Với tính toán của nhóm, tiến hành chia 400000 lần xung clock 50MHz chúng ta thu được xung Clock 200KHz

A green rectangle with blue text

Description automatically generated with low confidence

Hình 2‑2 : Khối CLK

|  |  |  |
| --- | --- | --- |
| Tên chân | In/Out | Chức năng |
| Clk\_in | In | Tần số 50MHz đầu vào |
| Clk\_out | Out | Đầu ra 200KHz |

## Khối ADC

**Diagram

Description automatically generated**

Hình 2‑3 : Lưu đồ thuật toán khố ADC

A green rectangle with black text

Description automatically generated with low confidence

|  |  |  |
| --- | --- | --- |
| Tên chân | In/Out | Chức năng |
| clk | In | Cấp xung clock cho khối hoạt động |
| start | Out | Cấp tín hiệu bắt đầu chuyển đổi ADC |
| ale | Out | Chân chọn kênh ADC |
| oe |  | Cấp logic cao để sữ liệu từ thanh ghi trong ADC xuất ra chân tín hiệu |
| data\_adc\_in | In(8 bit) | Chân nhận data từ ADC |
| eoc | In | Thông báo quá trình chuyển đổi ADC hoàn tất |
| start\_tx | Out ( dự phòng) | Nối với nút nhấn, để yêu cầu truyền dữ liệu UART |
| start\_alarm | Out | Cảnh báo nếu nhiệt độ vượt ngưỡng |

## Khối LCD\_CT

A picture containing diagram, text, circle, line

Description automatically generated

Hình 2‑4 : Đồ hình trạng thái khối LCD Controller

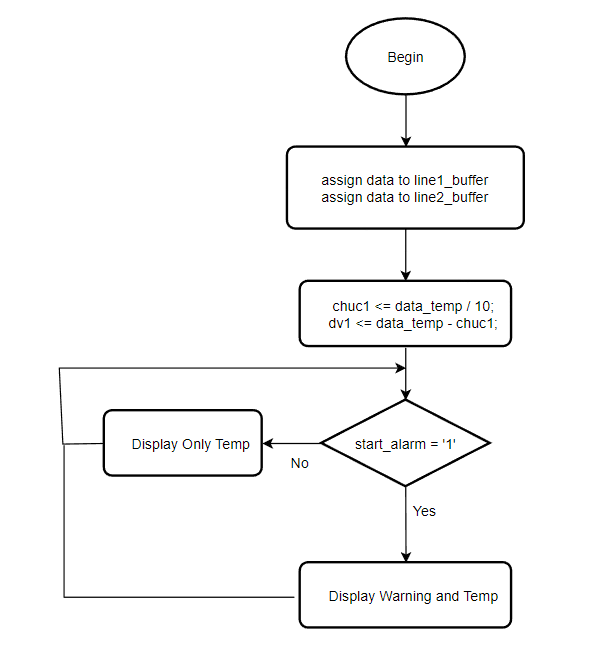
Chức năng : Hiện thị thông tin dữ liệu đọc được lên LCD

A picture containing text, font, screenshot, line

Description automatically generated

|  |  |  |
| --- | --- | --- |
| Tên chân | In/Out | Chức năng |
| clk | In | Cấp xung clock cho |
| reset\_n | In | Reset LCD |
| rw, rs, e | Out | Các chân điều khiển LCD |
| lcd\_data\_x | Out(8 bit) | Chân dữ liệu cấp cho |
| line1\_buffer | In (128 bit) | Dữ liệu cho hàng 1 |
| line2\_buffer | Ịn (128 bit) | Dữ liệu cho hàng 2 |

## Khối LCD\_DATA

****

Hình 2‑5 : Lưu đồ thuật toán khối LCD DATA

A picture containing text, screenshot, font, line

Description automatically generated

|  |  |  |
| --- | --- | --- |
| Tên chân | In/Out | Chức năng |
| Data | In (8 bit) | Dữ liệu từ khối cảm biến |
| start\_alarm | In | Nhận tín hiệu cảnh báo |
| line1\_buffer | Out (128 bit) | Dữ liệu cho hàng 1 LCD |
| line2\_buffer | Out (128 bit) | Dữ liệu cho hàng 2 LCD |
| chuc1 | Out | Dữ liệu nhiệt độ hàng chục |
| dv1 | Out | Dữ liệu nhiệt độ hàng đơn vị |

## Khối truyền thông UART

A picture containing diagram, text, circle

Description automatically generated

Hình 2‑6 : Máy trạng thái của khối UART

A picture containing text, screenshot, font, line

Description automatically generated

|  |  |  |
| --- | --- | --- |
| Tên chân | In/Out | Chức năng |
| start | In | Tín hiệu bắt đầu gửi từ nút nhấn |
| CLK | In | Xung clock cho khối hoạt động |
| TX | Out | Chân dữ liệu truyền UART |
| chuc1 | In | Giá trị nhiệt độ hàng chục |
| dv1 | In | Giá trị nhiệt độ hàng đơn vị |

# KẾT QUẢ VÀ PHƯƠNG HƯỚNG PHÁT TRIỂN

## Kết quả thực hiện được

Nhóm đã thực hiện được các yêu cầu cơ bản của bài tập lớn:

* Thực hiện đọc dữ liệu từ cảm biến analog sử dụng ADC
* Giao tiếp ADC với FPGA
* Hiển thị dữ liệu và cảnh báo
* Truyền thông dữ liệu lên máy tính bằng giao thức UART

A picture containing computer, computer, computer component, computer hardware

Description automatically generated

Hình 3‑1 : Sơ đồ kết nối thiết bị thực tế

A close up of a circuit board

Description automatically generated with medium confidence

Hình 3‑2: Kết quả được hiển thị trên LCD

A screenshot of a computer

Description automatically generated

Hình 3‑3 : Giá trị được truyền thông lên phần mềm

## Phương hướng phát triển sản phẩm

# TÀI LIỆU THAM KHẢO

|  |  |
| --- | --- |
| [1] |  |