



Avaliação 01 - Semestre 2021.2

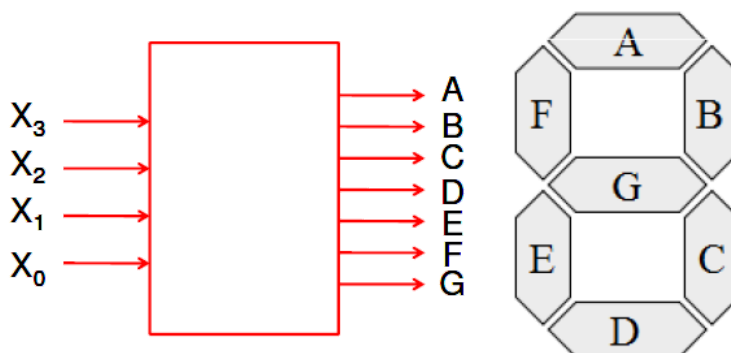
Circuitos Lógicos II

Centro de Informática - UFPB

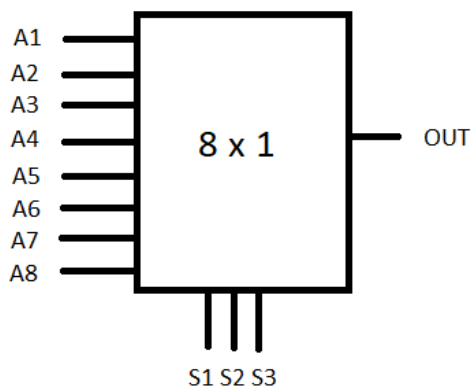
Docente: Veronica Maria Lima Silva

OBS: Para a resolução completa de todas as questões, solicito os códigos em SystemVerilog, as formas de onda de simulação do funcionamento do circuito bem como o RTL View. Entregue somente pelo SIGAA. Verifiquem o horário limite da entrega no SIGAA.

01. Um display de 7 segmentos pode ser usado na implementação de um relógio. Para isso é preciso conceber um conversor BCD-7SEG, tal como ilustrado abaixo, no qual cada palavra BCD na entrada (X_3 , X_2 , X_1 , X_0) acione apenas os leds correspondentes ao número em questão. Como exemplo, quando $X_3X_2X_1X_0 = "0001"$, apenas B e C devem ser 1 (ou seja, os led B e C devem ficar acesos). Projete um conversor BCD-7SEG em SystemVerilog. (2,5 pontos)



02. Multiplexadores são circuitos que roteiam ou redirecionam duas ou mais entradas para uma única saída. Eles são extensivamente utilizados em sistemas digitais pois permitem que se selecione uma de muitas possíveis fontes de dados. Implemente um multiplexador 8x1, com as entradas e saídas apresentadas na figura abaixo. (2,5 pontos)

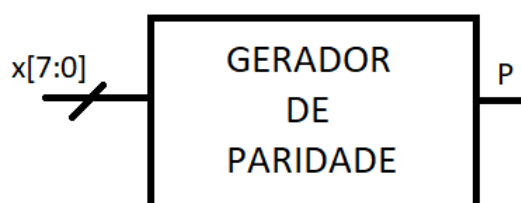


03. Quando dados binários são transmitidos por um meio de transmissão qualquer, erros de transmissão podem ocorrer. Uma das maneiras de detectar erros é a utilização do bit de paridade. Para entender o método do bit de paridade é preciso antes saber dois conceitos:

Paridade Par: diz-se que um número binário tem **paridade par** quando o mesmo, independentemente da quantidade de bits, possui um **número PAR de 1**. Ex.: 11000, 1010, 0000, 1111.

Paridade Ímpar: diz-se que um número binário tem **paridade ímpar** quando o mesmo, independentemente da quantidade de bits, possui um **número ÍMPAR de 1**. Ex.: 1101, 1110011101.

Desenvolva um módulo em SystemVerilog de um circuito combinacional utilizando operadores lógicos ou de redução que implemente um gerador de paridade de uma variável de 8 bits. Caso a entrada tenha paridade par, a variável de saída deve ser igual a 1, caso contrário a variável de saída deve ser igual a 0. (2,5 pontos)



04. Implemente uma Unidade Lógica Aritmética (ULA) em SystemVerilog que recebe como entrada **operandos A e B de 8 bits cada** e executa as operações de acordo com a tabela abaixo:

Op	S1	S2	OUT (operação)
0	0	0	out = A+B (soma)
0	0	1	out = A-B (subtração)
0	1	0	out = A +1 (incremento)
0	1	1	out= B +1 (decremento)
1	0	0	out = not(A)
1	0	1	out = not(B)
1	1	0	out = A and B
1	1	1	out = A or B

A variável **Op** determina o **tipo de operação** que será realizada. Se Op = 0, serão realizadas as operações aritméticas. Caso Op = 1, serão realizadas as operações lógicas de acordo com a tabela. As variáveis **S1 e S2** selecionam **qual das operações listadas na tabela serão realizadas**. (2,5 pontos)