



**FACULTAD  
DE INGENIERIA**

---

Universidad de Buenos Aires

# Implementación de Interfaz SDI en FPGA Cyclone V

Autor:

Joaquin Gaspar Ulloa

Director:

Diego Marcelo Martin (MPS)

*Esta planificación fue realizada en el curso de Gestión de proyectos  
entre el 23 de Octubre de 2020 y el 11 de diciembre de 2020.*

## Índice

Registros de cambios . . . . .	3
Acta de constitución del proyecto. . . . .	4
Descripción técnica-conceptual del proyecto a realizar . . . . .	5
Identificación y análisis de los interesados. . . . .	6
1. Propósito del proyecto. . . . .	7
2. Alcance del proyecto . . . . .	7
3. Supuestos del proyecto. . . . .	7
4. Requerimientos . . . . .	7
Historias de usuarios ( <i>Product backlog</i> ) . . . . .	8
5. Entregables principales del proyecto . . . . .	9
6. Desglose del trabajo en tareas . . . . .	9
7. Diagrama de Activity On Node . . . . .	10
8. Diagrama de Gantt. . . . .	12
9. Matriz de uso de recursos de materiales . . . . .	14
10. Presupuesto detallado del proyecto . . . . .	16
11. Matriz de asignación de responsabilidades . . . . .	16
12. Gestión de riesgos. . . . .	16
13. Gestión de la calidad . . . . .	17
14. Comunicación del proyecto . . . . .	18
15. Gestión de compras. . . . .	18
16. Seguimiento y control. . . . .	18
17. Procesos de cierre. . . . .	19

## Registros de cambios

Revisión	Detalles de los cambios realizados	Fecha
1.0	Creación del documento	23/10/2020
1.1	Avances hasta entregables principales del proyecto	06/11/2020
1.2	Se agregan historias de usuarios y se hacen correcciones	15/11/2020
1.3	Se agrega hasta el punto 11	23/11/2020

## Acta de constitución del proyecto

Buenos Aires, 23 de Octubre de 2020

Por medio de la presente se acuerda con el Ing. Joaquin Gaspar Ulloa que su Trabajo Final de la Carrera de Especialización en Sistemas Embebidos se titulará “Implementación de Interfaz SDI en FPGA Cyclone V”, consistirá esencialmente en un módulo de procesamiento serie digital, como remplazo del IP-SDI-II Core de Intel, capaz de transmitir, recibir y procesar tanto los datos entregados por el cable drivers, como por el core de la FPGA y tendrá un presupuesto preliminar estimado de 704 hs de trabajo y \$XXX, con fecha de inicio 23 de Octubre de 2020 y fecha de presentación pública 22 de agosto de 2021.

Se adjunta a esta acta la planificación inicial.

Ariel Lutenberg  
Director posgrado FIUBA

Marcelo Indarramendi  
VideoSwitch

Diego Marcelo Martin  
Director del Trabajo Final

## Descripción técnica-conceptual del proyecto a realizar

En este proyecto se busca desarrollar un módulo SDI (del inglés Serial Digital Interface) para reemplazar el módulo que se utiliza actualmente, que es un IP (del inglés Intellectual Property) Core de Intel, lo que implica que es pago y está sujeto a una versión del IDE de desarrollo. Se busca implementar una interfaz bidireccional conformada por dos partes principales, la física y la de protocolo.

Uno de los principales objetivos de este desarrollo es que mediante un módulo de FPGA auto contenido la empresa pueda dar un paso hacia la independencia tecnológica en los productos que desarrolla. Este aspecto es de vital importancia, ya que los productos de la empresa se encuentran en constante desarrollo y muchas veces la dependencia de alguna plataforma de desarrollo o propiedad intelectual generan demoras en los desarrollos y hasta limitaciones a la hora de implementar nuevas tecnologías. Se considera que esta idea va en la misma línea de pensamiento, que la misión de la empresa:

”Diseñar y desarrollar equipamiento, desde la excelencia, tanto en Hardware como en Software, de tal forma que permitan cubrir las necesidades de nuestros clientes y agregar valor a sus servicios de Televisión estableciendo una comunicación que nos permita una mejora continua a través de producciones de alta tecnología apuntando a establecer una red de comercialización global en un futuro cercano.”

Los principales aspectos técnicos de este trabajo se pueden agrupar en dos. Por un lado, los conocimientos sobre el estándar de comunicación y sus aplicaciones, donde tendrá un rol central la experiencia con la que cuenta la empresa. Por otro lado, la experiencia en desarrollos en FPGA, particularmente en aplicaciones para TV digital, donde será clave la opinión del director.

En lo referido al estándar es importante contextualizar su área de aplicación. En el ambiente de la televisión es muy común tener que transmitir señales digitales no comprimidas y por medios compatibles con los medios analógicos. Con tal fin, muchos equipos de televisión digital cuentan con interfaces SDI, para transmitir señales de alta calidad. El estándar SDI, creado por la SMPTE en 1989, es una interfaz digital serie asincrónica, cuya principal aplicación es la transmisión de señales de video digital profesional no comprimido y no encriptado, por cables coaxiales de 75 ohm. Este estándar tiene como principal característica que admite muy alto bitrate y no agrega grandes retardos.

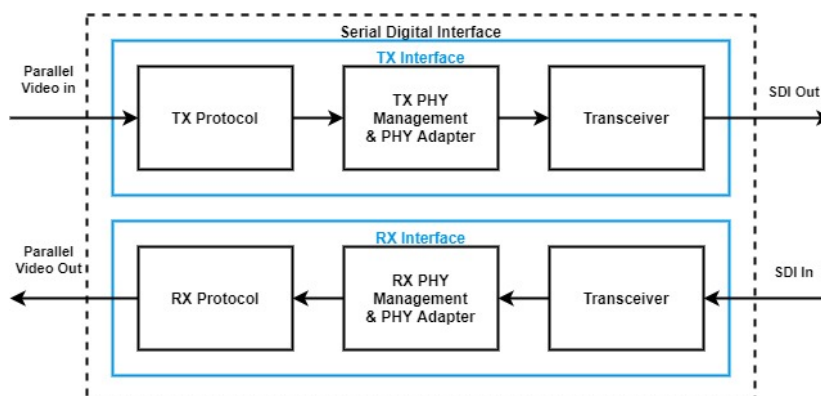


Figura 1. Diagrama en bloques de la interfaz SDI

En cuanto a la implementación en FPGA, la interfaz SDI consta de dos capas independientes, que se pueden visualizar en la Figura 1, la de recepción/transmisión y la de protocolo, por tal motivo el módulo deberá implementar ambas instancias de manera separada. Para la primera se suelen usar hard-transceivers, contenidos en la FPGA o soft-transceivers instanciados con lógica, para las aplicaciones con menor demanda de bitrate. Este módulo se encarga de muestrear la entrada asincrónica, sincronizarse a la misma y deserializar los datos. Para la segunda etapa, se debe implementar un submódulo que trabaje en el dominio de los datos paralelizados y tenga la información propia del protocolo para interpretar, acondicionar y validar la señal. Esta parte del desarrollo se encarga principalmente de la sincronización de paquetes y de la detección de errores. Aunque la interfaz funciona en un solo sentido, debe ser configurable para funcionar como transmisor y receptor de manera separada, como se ilustra en la Figura 1. Por lo tanto, el módulo a desarrollar debe ser capaz de tomar la señal serie que llega a la FPGA desde el driver del cable, deserializarla y procesarla en un sentido y paquetizar la señal acorde al protocolo y serializarla en el otro sentido.

Debido a la creciente demanda de procesamiento y consiguientemente el mayor uso de recursos en la FPGA, debe diseñarse el módulo de forma tal que solo se instancie lo mínimo indispensable, para el funcionamiento en el formato que se configure, ya sea por el sentido de los datos o el bitrate de los mismo.

El desarrollo debe estar pensado para su implementación sobre el hardware de los equipos de la empresa, que ya cuenta con un driver apropiado para tal fin y un microcontrolador capaz de controlar el módulo. Por tal motivo, la implementación debe hacerse con una FPGA Cyclone V de Intel, que son las que usan los equipos más modernos de la empresa, pero en lo posible debe ser independiente del modelo de dispositivo a usar, para asegurar portabilidad.

## Identificación y análisis de los interesados

Rol	Nombre y Apellido	Organización	Puesto
Auspiciante	Roberto Maury	VideoSwitch	CEO
Cliente	Marcelo Indarramendi	VideoSwitch	Development Engineering Manager
Responsable	Joaquin Gaspar Ulloa	FIUBA	Alumno
Orientador	Diego Marcelo Martin	MPS	Director Trabajo final

- Auspiciante: Roberto, promueve los desarrollos y las capacitaciones, es exigente con el cumplimiento de los horarios y las normas.
- Cliente: Marcelo, tiene gran conocimiento en el desarrollo de proyectos, conoce los equipos de la empresa y las normas de TV digital.
- Orientador: Diego, tiene amplio conocimiento sobre desarrollos en FPGA y buen manejo de normas de TV digital.

## 1. Propósito del proyecto

El propósito de este proyecto es realizar una interfaz SDI para FPGA con la capacidad de transmitir y recibir señales de video digital de alto bitrate, para en un futuro utilizarlo tanto en los equipos que actualmente comercializa la empresa, así como también en futuros desarrollos.

## 2. Alcance del proyecto

En este proyecto se diseñará e implementará la descripción de los circuitos digitales en lenguaje VHDL para implementar en una FPGA Cyclone V, cuya funcionalidades serán tanto recibir y decodificar como serializar y transmitir datos entre una interfaz SDI y el core de procesamiento de la FPGA. Del lado de la FPGA la información será entregada en palabras, cuyo largo y bitrate será acordado con el cliente.

Se incluirán los archivos complementarios necesarios para el correcto funcionamiento del módulo, ya sean SDC o scripts de TCL del proyectos. Además, se incluirá la documentación del diseño y para la operación del módulo por una persona capacitada.

El control de la configuración del módulo será por medio en una interfaz SPI-Avalon ya implementada en VHDL.

En el presente proyecto no se incluirán ningún tipo de diseño ni implementación de hardware o firmware complementaria al diseño. El diseño no cumplirá con estándares SDI con tasas de bitrate superiores a los 3 Gbit/s.

## 3. Supuestos del proyecto

Para el desarrollo del presente proyecto se supone que:

- Se cuenta con el hardware necesario para su implementación, con driver SDI y una FPGA Cyclone V con hard-transceivers.
- Se cuenta con los instrumentos de medición necesarios.
- Se cuenta con las licencias de software necesarias para el desarrollo.
- Se cuenta con el módulo que se desea reemplazar.
- Se cuenta con el tiempo necesario dentro de la empresa para hacer el desarrollo y las pruebas.
- Se cuenta con las normas en cuestión.

## 4. Requerimientos

### 1. Validación

- 1.1. Medición y observación de audio y video luego de pasar por el sistema completo.

- 1.2. Medición de los los paquetes con un analizador según la norma.
- 1.3. Cumplir con el bitrate de los estándares dentro del rango de SD-SDI y 3G-SDI.
2. Funcionalidad
  - 2.1. Obtener las tasas de bitrate contempladas dentro del rango de los estandares SD-SDI y 3G-SDI.
  - 2.2. Obtener un diseño sin problemas de timing en las señales entre dominios de clock dentro del módulo.
  - 2.3. Obtener un módulo sin problemas de timing por setup o hold en las señales de entrada y salida.
  - 2.4. La implementación del sistema no debe ocupar más del 3000 Logic Array Blocks en la FPGA.
3. Metodología de trabajo
  - 3.1. Control de versiones mediante SVN.
  - 3.2. Desarrollo en Quartus con licencias para análisis de timing y simulaciones.
  - 3.3. Planificación y documentación mediante Redmine.
  - 3.4. Diseño modular.
4. Documentación
  - 4.1. Confección de la memoria técnica.
  - 4.2. Confección de documentación del diseño del módulo.
  - 4.3. Confección de documentación de uso del módulo.

### Historias de usuarios (*Product backlog*)

- Como desarrollador de hardware, necesito que la interfaz SDI se comunique con el driver mediante un puerto LVDS, para no tener que modificar la placa. Story point: 1
- Como desarrollador de firmware, necesito poder configurar el módulo escribiendo registro de 32 bits, para que se maneje de la misma manera que los demás módulos de FPGA. Story point: 1
- Como desarrollador de firmware, necesito que el microcontrolador se comunique con el módulo mediante una interfaz SPI común a toda a FPGA, para no tener que modificar el driver. Story point: 2
- Como encargado del producto Encoder, necesito que la interfaz soporte tasas de datos compatibles al menos con videos de calidad HD, para recibir video no comprimido. Story point: 13
- Como supervisor de desarrollo, necesito que la interfaz soporte videos de calidad 3G o por lo menos permita la posibilidad de hacer el desarrollo a futuro, para futuros desarrollos. Story point: 40
- Como supervisor de desarrollo, necesito que el módulo use los clock y señales actualmente disponibles, para que sea retrocompatible. Story point: 3



- Como supervisor de desarrollo, necesito que el módulo funcione en Cyclone V y en las configuraciones que sea posible lo haga sin hard-transceivers, para poder abaratar costos cuando sea posible. Story point: 13
- Como encargado del producto Encoder, necesito que el módulo sea compatible con paquetes de transport stream de 188 Bytes y 204 Bytes, para poder ser usado en distintas etapas de la cadena transmisión de TV digital. Story point: 8

El story point de cada historia de usuario fue definido según un formato similar a la serie de Fibonacci, tomando los valores: 0, 0.5, 1, 2, 3, 5, 8, 13, 20, 40, 100. Contemplando la complejidad de la tarea con un peso de 0.3, el volumen de la misma con un peso de 0.25, la incertidumbre con un peso de 0.35 y potenciales riesgos con un peso de 0.1, sobre un total unitario. El conocimiento del equipo está implícito en las otras cuatro categorías dado que de momento soy el único integrante.

## 5. Entregables principales del proyecto

- Diseño en VHDL y archivos complementarios.
- Manual de implementación.
- Diagrama esquemático y memoria de decisiones de diseño.
- Informes de avances mediante tareas de Redmine.
- Informe final.

## 6. Desglose del trabajo en tareas

1. Investigación preliminar (56 hs)
  - 1.1. Búsqueda de documentación, material y desarrollos. (8 hs)
  - 1.2. Estudio de normas. (8 hs)
  - 1.3. Estudio de hojas de datos de componentes con esta funcionalidad. (4 hs)
  - 1.4. Estudio de desarrollos similares. (12 hs)
  - 1.5. Estudio de documentación de productos similares. (20 hs)
  - 1.6. Discutir resultados obtenidos con el director y el cliente. (4 hs)
2. Planificación (12 hs)
  - 2.1. Planificación de tareas. (8 hs)
  - 2.2. Documentación de la planificación. (4 hs)
3. Diseño (116 hs)
  - 3.1. Definición parámetros de diseño. (20 hs)
  - 3.2. Definición de interfaces del sistema. (12 hs)
  - 3.3. Diseño del diagrama en bloques. (16 hs)
  - 3.4. Investigar que módulos ya se encuentran desarrollados. (4 hs)

- 3.5. Diseño detallado de los bloques. (40 hs)
- 3.6. Definición de pruebas. (16 hs)
- 3.7. Discutir resultados obtenidos con el director y el cliente. (8 hs)
- 4. Desarrollo (256 hs)
  - 4.1. Descripción de cada módulo de la parte física de transmisión. (20 hs)
  - 4.2. Descripción de cada módulo de la parte física de recepción. (40 hs)
  - 4.3. Descripción de cada módulo de la parte del protocolo de transmisión. (40 hs)
  - 4.4. Descripción de cada módulo de la parte del protocolo de recepción. (40 hs)
  - 4.5. Integración de módulos. (40 hs)
  - 4.6. Implementación del control. (16 hs)
  - 4.7. Reuniones con el director y el cliente. (20 hs)
  - 4.8. Simulaciones. (40 hs)
- 5. Pruebas (124 hs)
  - 5.1. Por módulo. (24 hs)
  - 5.2. Por bloques funcionales. (40 hs)
  - 5.3. Del sistema completo. (40 hs)
  - 5.4. Integración en equipo. (20 hs)
- 6. Documentación (140 hs)
  - 6.1. Avances. (24 hs)
  - 6.2. Mediciones. (16 hs)
  - 6.3. Diseño e implementación. (40 hs)
  - 6.4. Informe Final. (40 hs)
  - 6.5. Presentación. (20 hs)

Cantidad total de horas: (704 hs)

## **7. Diagrama de Activity On Node**

En el activity on node de la Figura 2 se indica por colores el tipo de cada tarea se eligió como unidad temporal un día laboral de 8 hs. Además, con flechas en negrita se indica el camino crítico.

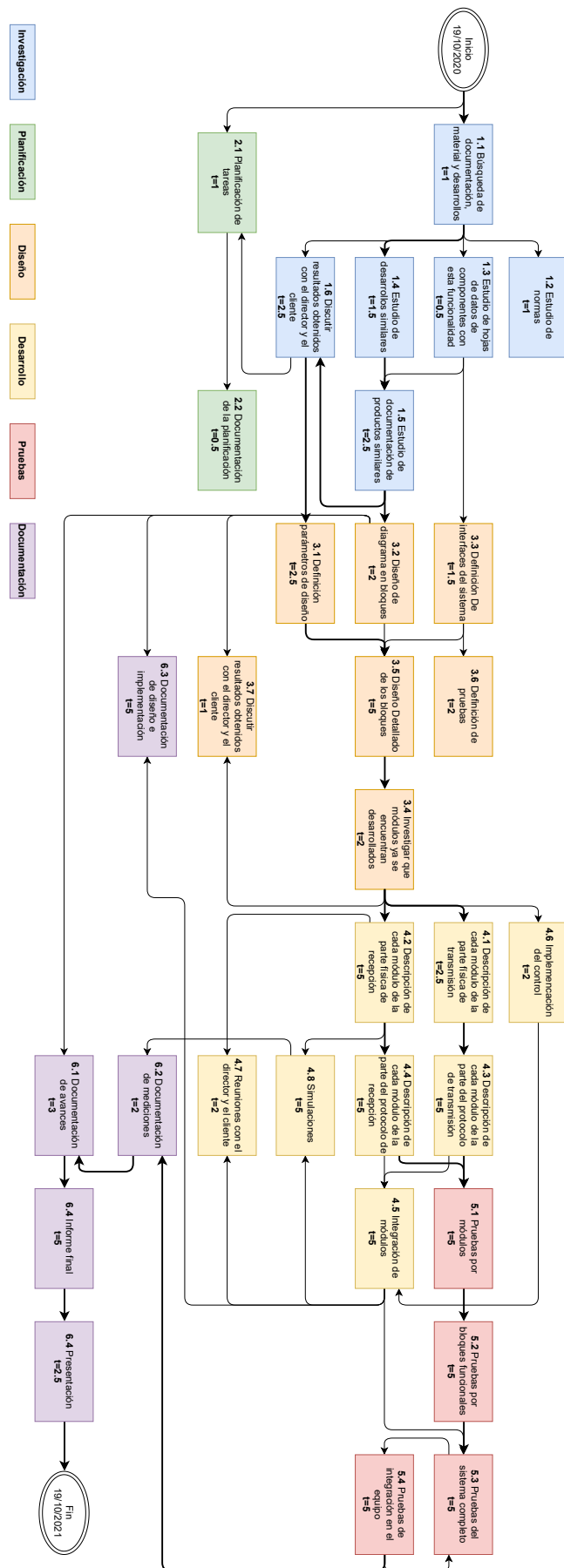



Figura 2. Diagrama en *Activity on Node*

## 8. Diagrama de Gantt

El diagrama de Gantt expresado en la lista de la Figura 3 y el gráfico de la Figura 4 fueron confeccionados suponiendo una dedicación de una jornada laboral completa de lunes a viernes. El proyecto puede sufrir demoras en su fecha de inicio o interrupciones durante su desarrollo debido a cambio de prioridades de la empresa.

 gantter™

Project Name <b>Implementación de Interfaz SDI en FPGA Cyclone V</b>								
	WBS		Name	Duration	Start	Finish	Predecessors	Resources
1	1		Búsqueda de documentación, material y desarrollos.	1day	19/10/2020	20/10/2020		Joaquin
2	2		Estudio de normas.	1day	20/10/2020	21/10/2020	1	Joaquin
3	3		Estudio de hojas de datos de componentes con esta funcionalidad.	0.5day	22/10/2020	22/10/2020	1	Joaquin
4	4		Estudio de desarrollos similares.	1.5days	23/10/2020	26/10/2020	1	Joaquin
5	5		Estudio de documentación de productos similares.	2.5days	26/10/2020	29/10/2020	3,4	Joaquin
6	6		Discutir resultados obtenidos con el director y el cliente.	1day	28/10/2020	29/10/2020	1	Joaquin
7	7		Planificación de tareas.	1day	19/10/2020	20/10/2020		Joaquin
8	8		Documentación de la planificación.	0.5day	29/10/2020	29/10/2020	7	Joaquin
9	9		Definición parámetros de diseño.	2.5days	30/10/2020	03/11/2020	6	Joaquin
10	10		Definición de interfaces del sistema.	1.5days	03/11/2020	04/11/2020	3	Joaquin
11	11		Diseño del diagrama en bloques.	2days	09/11/2020	10/11/2020	5	Joaquin
12	12		Investigar que módulos ya se encuentran desarrollados.	0.5day	18/11/2020	18/11/2020	13	Joaquin
13	13		Diseño detallado de los bloques.	5days	11/11/2020	17/11/2020	11	Joaquin
14	14		Definición de pruebas.	2days	04/11/2020	06/11/2020	10	Joaquin
15	15		Discutir resultados obtenidos con el director y el cliente.	1day	06/11/2020	09/11/2020	5	Joaquin
16	16		Descripción de cada módulo de la parte física de transmisión.	2.5days	18/11/2020	20/11/2020	12	Joaquin
17	17		Descripción de cada módulo de la parte física de recepción.	5days	23/11/2020	30/11/2020	12	Joaquin
18	18		Descripción de cada módulo de la parte del protocolo de transmisión.	5days	30/11/2020	07/12/2020	16	Joaquin
19	19		Descripción de cada módulo de la parte del protocolo de recepción.	5days	07/12/2020	14/12/2020	17	Joaquin
20	20		Integración de módulos.	5days	21/12/2020	28/12/2020	18,19,21,22	Joaquin
21	21		Implementación del control.	2days	18/11/2020	20/11/2020	12	Joaquin
22	22		Reuniones con el director y el cliente.	2.5days	26/11/2020	30/11/2020	12	Joaquin
23	23		Simulaciones.	5days	14/12/2020	21/12/2020	18,19	Joaquin
24	24		Pruebas por módulo.	3days	29/12/2020	01/01/2021	19,19	Joaquin
25	25		Pruebas por bloques funcionales.	5days	01/01/2021	08/01/2021	24	Joaquin
26	26		Pruebas del sistema completo.	5days	08/01/2021	15/01/2021	25	Joaquin
27	27		Pruebas de integración en equipo.	2.5days	18/01/2021	20/01/2021	25	Joaquin
28	28		Documentación de avances.	3days	29/10/2020	03/11/2020	5	Joaquin
29	29		Documentación de mediciones.	2days	13/01/2021	15/01/2021	15,16	Joaquin
30	30		Documentación de diseño e implementación.	5days	24/12/2020	31/12/2020	5	Joaquin
31	31		Informe Final.	5days	20/01/2021	27/01/2021	27,28,29,30	Joaquin
32	32		Presentación	2.5days	27/01/2021	29/01/2021	31	Joaquin

Figura 3. Lista de tareas para *Diagrama de Gantt*



## 9. Matriz de uso de recursos de materiales

Código WBS	Nombre tarea	Recursos requeridos (horas)			
		PC	Quartus	Equipo JTAG y	Instrumental
1	Investigación	56			
2	Planificación	12			
3	Diseño	116			
4.1	Descripción de cada módulo de la parte física de transmisión.	20	20		
4.2	Descripción de cada módulo de la parte física de recepción.	40	40		
4.3	Descripción de cada módulo de la parte del protocolo de transmisión.	40	40		
4.4	Descripción de cada módulo de la parte del protocolo de recepción.	40	40		
4.5	Integración de módulos.	40	40		
4.6	Implementación del control.	16	16		
4.8	Simulación	32	32		
5.1	Pruebas de módulos	40	40		
5.2	Pruebas de bloques funcionales	40	28	12	
5.3	Pruebas del sistema completo	40	24	16	
5.4	Pruebas de integración en el equipo	40		40	40
6	Documentación	140			

## 10. Presupuesto detallado del proyecto

Dado que este proyecto es parte del desarrollo de un producto que lleva 6 años de desarrollo y que el equipamiento que se utilizará para el desarrollo no es exclusivo de este submódulo, sino que se usó para todo el desarrollo y otros desarrollos, se lo considera amortizado. Consiguientemente en el desglose de se consideran solamente las horas de trabajo. Por el mismo motivo se calcularan los costos indirectos como un proporcional de los costos directo.

COSTOS DIRECTOS			
Descripción	Cantidad	Valor unitario	Valor total
Desarrollador de FPGA	704	550	387200
Director de Tesis	44	800	35200
Cliente/Gerente Ing.	36	1350	48600
SUBTOTAL			471000
COSTOS INDIRECTOS			
20 % de los costos directos			94200
TOTAL			565200

## 11. Matriz de asignación de responsabilidades

Código WBS	Nombre de la tarea	Listar todos los nombres y roles del proyecto			
		Responsable Joaquin Gaspar Ulloa	Orientador Diego Marcelo Martin	Equipo Pablo Rachov	Cliente Marcelo Indarramendi
1	Investigación	P	S	C	I
2	Planificación	P	I	-	A
3	Diseño	P	S	C	A
4	Desarrollo	P	S	C	A
5	Pruebas	P	I	S	A
6	Pruebas	P	C	-	I

Referencias:

- P = Responsabilidad Primaria
- S = Responsabilidad Secundaria
- A = Aprobación
- I = Informado
- C = Consultado

## 12. Gestión de riesgos

a) Identificación de los riesgos (al menos cinco) y estimación de sus consecuencias:

Riesgo 1: detallar el riesgo (riesgo es algo que si ocurre altera los planes previstos)

- Severidad (S): mientras más severo, más alto es el número (usar números del 1 al 10). Justificar el motivo por el cual se asigna determinado número de severidad (S).
- Probabilidad de ocurrencia (O): mientras más probable, más alto es el número (usar del 1 al 10). Justificar el motivo por el cual se asigna determinado número de (O).



Riesgo 2:

- Severidad (S):
- Ocurrencia (O):

Riesgo 3:

- Severidad (S):
- Ocurrencia (O):

b) Tabla de gestión de riesgos: (El RPN se calcula como  $RPN=S \times O$ )

Riesgo	S	O	RPN	S*	O*	RPN*

Criterio adoptado: Se tomarán medidas de mitigación en los riesgos cuyos números de RPN sean mayores a...

Nota: los valores marcados con (\*) en la tabla corresponden luego de haber aplicado la mitigación.

c) Plan de mitigación de los riesgos que originalmente excedían el RPN máximo establecido:

Riesgo 1: plan de mitigación (si por el RPN fuera necesario elaborar un plan de mitigación). Nueva asignación de S y O, con su respectiva justificación: - Severidad (S): mientras más severo, más alto es el número (usar números del 1 al 10). Justificar el motivo por el cual se asigna determinado número de severidad (S). - Probabilidad de ocurrencia (O): mientras más probable, más alto es el número (usar del 1 al 10). Justificar el motivo por el cual se asigna determinado número de (O).

Riesgo 2: plan de mitigación (si por el RPN fuera necesario elaborar un plan de mitigación).

Riesgo 3: plan de mitigación (si por el RPN fuera necesario elaborar un plan de mitigación).

### 13. Gestión de la calidad

Para cada uno de los requerimientos del proyecto indique:

- Req #1: copiar acá el requerimiento.

Verificación y validación:

- Verificación para confirmar si se cumplió con lo requerido antes de mostrar el sistema al cliente. Detallar

- Validación con el cliente para confirmar que está de acuerdo en que se cumplió con lo requerido. Detallar

Tener en cuenta que en este contexto se pueden mencionar simulaciones, cálculos, revisión de hojas de datos, consulta con expertos, mediciones, etc.

## 14. Comunicación del proyecto

El plan de comunicación del proyecto es el siguiente:

PLAN DE COMUNICACIÓN DEL PROYECTO					
¿Qué comunicar?	Audiencia	Propósito	Frecuencia	Método de comunicac.	Responsable

## 15. Gestión de compras

En caso de tener que comprar elementos o contratar servicios: a) Explique con qué criterios elegiría a un proveedor. b) Redacte el Statement of Work correspondiente.

## 16. Seguimiento y control

Para cada tarea del proyecto establecer la frecuencia y los indicadores con los se seguirá su avance y quién será el responsable de hacer dicho seguimiento y a quién debe comunicarse la situación (en concordancia con el Plan de Comunicación del proyecto).

El indicador de avance tiene que ser algo medible, mejor incluso si se puede medir en % de avance. Por ejemplo, se pueden indicar en esta columna cosas como “cantidad de conexiones ruteadas” o “cantidad de funciones implementadas”, pero no algo genérico y ambiguo como “%”, porque el lector no sabe porcentaje de qué cosa.

SEGUIMIENTO DE AVANCE					
Tarea del WBS	Indicador de avance	Frecuencia de reporte	Resp. de seguimiento	Persona a ser informada	Método de comunic.
1.1	Fecha de inicio	Única vez al comienzo	Joaquin Gaspar Ulloa	Marcelo Indarramendi, Diego Marcelo Martin	email

Continúa

SEGUIMIENTO DE AVANCE					
Tarea del WBS	Indicador de avance	Frecuencia de reporte	Resp. de seguimiento	Persona a ser informada	Método de comunic.
2.1	Avance de las subareas	Mensual mientras dure la tarea	Joaquin Gaspar Ulloa	Marcelo Indarramendi, Diego Marcelo Martin	email

SEGUIMIENTO DE AVANCE					
Tarea del WBS	Indicador de avance	Frecuencia de reporte	Resp. de seguimiento	Persona a ser informada	Método de comunic.

## 17. Procesos de cierre

Establecer las pautas de trabajo para realizar una reunión final de evaluación del proyecto, tal que contemple las siguientes actividades:

- Pautas de trabajo que se seguirán para analizar si se respetó el Plan de Proyecto original: - Indicar quién se ocupará de hacer esto y cuál será el procedimiento a aplicar.
- Identificación de las técnicas y procedimientos útiles e inútiles que se utilizaron, y los problemas que surgieron y cómo se solucionaron: - Indicar quién se ocupará de hacer esto y cuál será el procedimiento para dejar registro.
- Indicar quién organizará el acto de agradecimiento a todos los interesados, y en especial al equipo de trabajo y colaboradores: - Indicar esto y quién financiará los gastos correspondientes.