

SPEZIFIKATION

Flexible ALU

Version	Bearbeiter	Neuerung
1.0		

Inhaltsverzeichnis

1	Datenblatt	2
1.1	Einsatzbereich	2
1.2	Features	2
1.3	Funktion	2
1.4	Blockschaltbild	2
1.5	Schnittstellen	3
1.6	Gate-Count	3
1.7	Timing-Diagramm	3
1.8	Leistungsabschätzung	3
2	Spezifikation	5
2.1	Register	5
2.1.1	RegA	5
2.1.2	RegB	5
2.1.3	AccuA	5
2.1.4	AccuB	5
2.1.5	CMD	5
2.1.6	Flags	5
2.2	Modul-Beschreibung	6
2.2.1	74_181	6
2.2.2	MUL-4	6
2.2.3	Barrel-Shifter-8	6
2.2.4	Bi-Reg-n	6
2.2.5	Uni-Reg-n	6
2.2.6	MC-PROM	6
2.3	Detailblockschaltbild	6

1. *Datenblatt*

1.1 Einsatzbereich

1.2 Features

1.3 Funktion

CMD			Logisch/arithmetischer Ausdruck
2	1	0	
0	0	0	AND
0	0	1	OR
0	1	0	NOT
0	1	1	ADD
1	0	0	SUB
1	0	1	MUL
1	1	0	MCo
1	1	1	MC1

Tabelle 1.1: Befehls-Codierung

1.4 Blockschaltbild

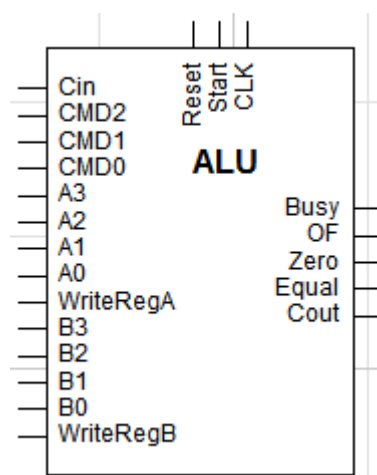


Abbildung 1.1: Äußeres Blockschaltbild

Port	Typ	Funktion
Cin	Input	
WriteRegA	Input	Wenn 1, wird Operand 1 in Register A geschrieben (solange die Arbitrierung außer Acht gelassen wird).
WriteRegB	Input	Wenn 1, wird Operand 2 in Register B geschrieben.
Reset	Input	Register werden zurückgesetzt.
Start	Input	Die Operation wird mit den angelegten Operanden durchgeführt.
CLK	Input	Takt.
CMD0..2	Input	Auswahl des Befehls. Codierung siehe S. 2
A0..3	Bidirektional	IN: Operand 1 wird mit WriteRegA angelegt. OUT: Ist Busy 0, liegt hier das Ergebnis der Berechnung an. Die Subtraktion liefert das 2er-Komplement. Multiplikation liefert hier die LSBits des Ergebnisses.
B0..3	Bidirektional	IN: Operand 2 wird mit WriteRegB angelegt. OUT: Wird Busy 0, liegt hier 0 an, die Multiplikation liefert hier die MSBits des Ergebnisses.
Busy	Output	Ist 1, solange die ALU arbeitet. Wird Busy 0, liegt das Ergebnis an A0..3 und B0..3 an.
OF	Output	OF ist 1, wenn die letzten beiden Übertragsbits ungleich sind und somit ein Overflow auftritt.
Zero	Output	Zero ist 1, wenn alle Ergebnisbits 0 sind.
Equal	Output	Equal ist 1, wenn die 4 Ergebnisbits von A und B bitweise gleich sind.
Cout	Output	Tritt während der Berechnung ein Übertrag über die letzte Bitstelle auf, wird Cout 1 und kann weiter behandelt werden.

Tabelle 1.2: Liste aller Ports

1.5 Schnittstellen

Siehe Seite 3.

flags hahaa

1.6 Gate-Count

Für eine detaillierte Angabe der Gatteräquivalente siehe S. 4.

1.7 Timing-Diagramm

1.8 Leistungsabschätzung

watt pro gatter pro mhz als energieverbrauch

Typ	Gatteräquivalente	Anzahl	Summe
Gatter			
AND2	1,5	65	97,5
AND3	2	13	26
AND4	2,5	12	30
AND5	3	4	12
Inv	0,5	11	5,5
Mult2:1	3	28	84
Mult4:1	7	0	0
Mult8:1	16	9	144
NAND2	1	6	6
NAND3	1,5	0	0
NAND4	2	0	0
NAND6	4,5	0	0
NAND8	5,5	0	0
NOR2	1	0	0
NOR3	1,5	0	0
NOR4	2	0	0
OR2	1,5	21	31,5
OR3	2	4	8
OR4	2,5	9	22,5
OR5	3	4	12
XNOR2	3	0	0
XOR2	3	32	96
Speicher (Angabe / bit)			
DFF	7	4	28
DFF-R	8	0	0
DFF-S	8	0	0
DFF-SR	9	0	0
DRAM	5	0	0
DRAM (o. Anst.)	0,25	0	0
SRAM	7,5	0	0
SRAM (o. Anst.)	1	0	0
Buffer4	4	19	76
74_181	108,5	1	108,5
Gesamtsumme:			787,5

Tabelle 1.3: Gatteräquivalente

2. *Spezifikation*

2.1 Register

2.1.1 RegA

Register für Operand A und das low-nibble des Ergebnisses. Es handelt sich um ein Bi-Reg-4. Die Arbitrierung des Registers liegt intern, solange busy=0 ist. Das Ergebnis liegt am Ausgang an, sobald busy=0 wird.

2.1.2 RegB

Analog zu RegA

2.1.3 AccuA

Akkumulatorregister für das low-nibble des Ergebnisses. Es handelt sich um ein Uni-Reg 4. Die Ausgänge des Registers können als Operand A verwendet werden.

2.1.4 AccuB

Analog zu AccuB

2.1.5 CMD

Register für den Befehlscode. Es handelt sich um ein Uni-Reg-3. Wir geschrieben sobald Start=1 gesetzt wird.

2.1.6 Flags

Register für die Flags. Es handelt sich um ein Uni-Reg-4. Die Flags liegen am Ausgang an, sobald busy=0 wird.

2.2 Modul-Beschreibung

2.2.1 74_181

2.2.2 MUL-4

2.2.3 Barrel-Shifter-8

2.2.4 Bi-Reg-n

2.2.5 Uni-Reg-n

2.2.6 MC-PROM

Programmierung

2.3 Detailblockschaltbild

Für das innere Schaltbild siehe Seite 6.

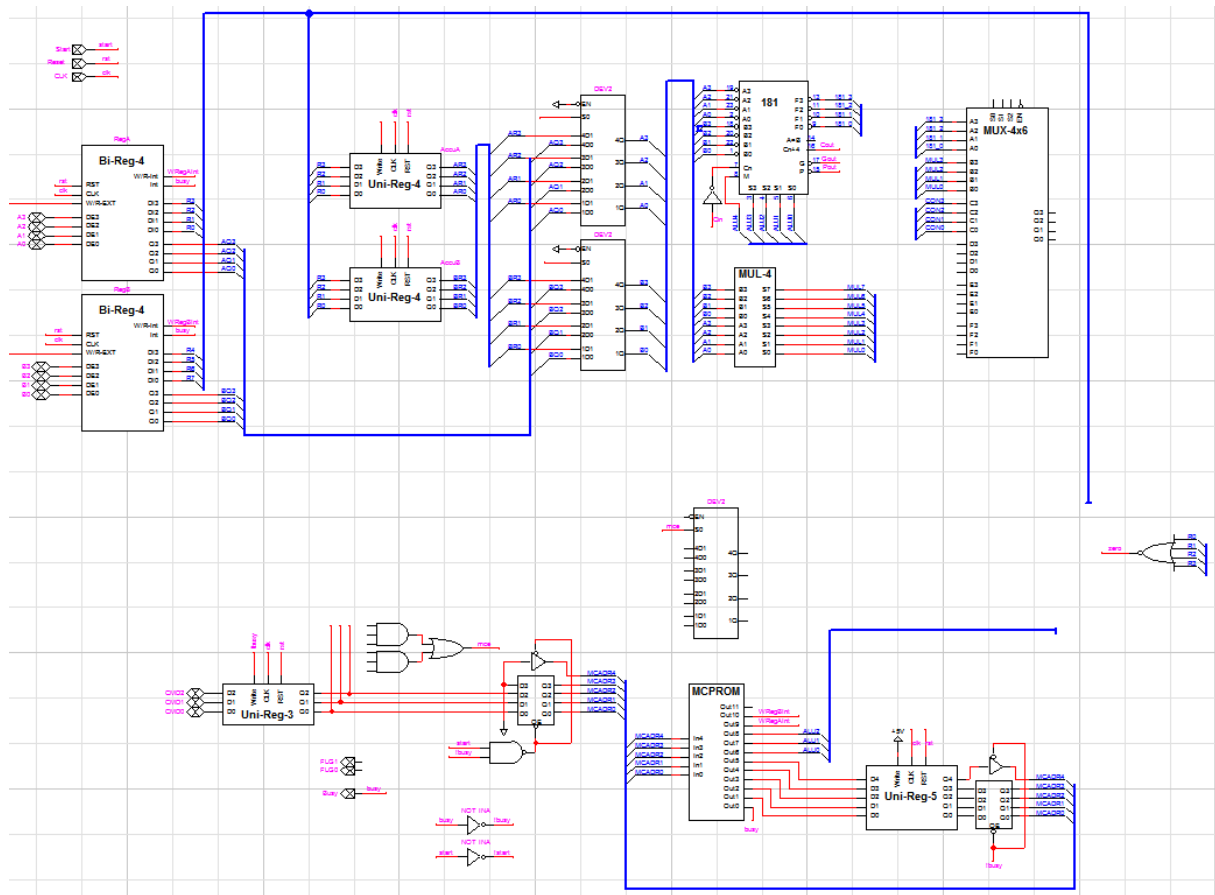


Abbildung 2.1: Inneres Blockschaltbild